

FUSION2000 による論理合成

1K-6 栗原 武* 村上 敦子* 吉川 浩* 一柳 洋* 高崎 茂* 李 京†

*NEC †NEC 情報システムズ

1 はじめに

FUSION2000は、NECの論理合成システムであるVarchsynに、NEC社内のハードウェア記述言語FDLからの合成機能を付加し、従来より当事業部で使用してきたツールのインテグレーションを行ったVLSI設計のための論理合成環境であり、スーパーコンピュータやメインフレームコンピュータ用の高性能LSIの設計に利用されている。

本論文では、FUSION2000の機能、特に高性能LSIの設計に適用するために開発した機能について述べる。

2 HDL 上の詳細指定機能

FUSION2000の入力となるFDL[2]はRTLの社製ハードウェア記述言語である。

2.1 パターンマッチングによる合成

論理合成技術の進歩によりランダムロジックの合成に関しての最適化能力は向上しているものの、まだ、演算器系の回路については最適な回路を完全自動で合成するのは難しい。そこで、FUSION2000では、FDLからの合成においては以下にあげる回路についてそのFDLのパターンにマッチした部分を機能ブロックに置き換える処理を行っている。また、FDLのパターンによるマッチングであるため、記述したFDLが非常に読みやすいものになっている。

- スキャンバス付きFF
- デコーダ
- デコーダ付きマルチプレクサ
- 加減算器
- パリティジェネレータ

Logic Synthesis using FUSION2000

T. Kurihara*, A. Murakami*, K. Yoshikawa*,
H. Ichiryu*, S. Takasaki*, J. Li†

*NEC Corporation, †NEC Information Systems Corporation

図1にデコーダの記述例を示す。

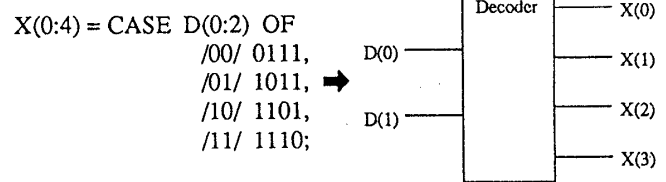


図 1: デコーダの記述例

2.2 ファンクションブロック指定

高性能のLSIを効率良く設計するためには、設計者に最適解が判っているような時は、設計者が部分的に回路を指定したほうが良い場合がある。そこでFDLの専用のコメントで合成するブロックを指定することを可能にした。

図2(a)の記述例は、2入力ANDのFDL記述からファンクションブロックF312を合成するための指定方法を表している。同様な方法によりラッチ、FFについても指定したファンクションブロックを合成できる(図2(b))。

本指定の特徴は、FDLを見れば、ファンクションブロック自身の論理を覚えていなくても論理が判る点であり、FDLの解釈性を高めたまま、ファンクションブロックの指定が可能となる。

```

*#BLK F312                *#BLK G601
Y(0:8) = A(0:8) .AND. B(0:8);  REG X(0:8) = IF CLK THEN
*#BLKEND                    D(0:8) ELSE NOC;
                                *#BLKEND
(a)                            (b)
    
```

図 2: ファンクションブロック指定

2.3 その他の指定機能

LSIを論理合成できる程度の大きさに分割したものをサブブロックと呼ぶ。

サブブロック間の接続は、レイアウト上、離れた場所に置かれたピンペアを接続する場合があります、この部分が非常に遅延時間を要してしまう場合があります。そこで、このネットのソースには、駆動能力の

高いインバータやバッファを合成することで、大幅に遅延改善を行える場合がある。そのため、FUSION2000では、簡単な指定でFDLを修正する必要なく、指定されたサブブロックの出力に指定されたインバータまたはバッファを合成する機能を持っており、遅延改善に大きく貢献している。

また、サブブロック間の信号では、ロードとなるサブブロックが複数存在する場合、それらがソースとなるサブブロックから見て異なる方向に配置されている場合がある。このような場合、1つのネットとして配線すると、配線長が増大してしまい、遅延時間に問題が発生する場合がある。そこで、FDL中に専用のコメントを記述し、本来同一の信号を複数に分割する機能を付加した。図3にその例を示す。図のBは、Bという機能信号を正極性で3本、負極性で2本出力することを意味し、Aは、複数出力されているAのうちで、+2番の信号を受け取ることを意味している。

このようなコメントで対応したことにより、全体の論理を全く変更することなく、信号の分配を制御できるので、再度、FDLでのシミュレーションを行う必要がないという効果もある。

```
INPUT A; "+2"
OUTPUT B; "+1,+2,+3,-1,-2"
```

図 3: 同一の機能信号を複数出力する機能

3 最適化

3.1 トランスダクション法

当事業部でVarchsynに追加したトランスダクション法による最適化手法について説明する。

トランスダクション法[4]は、許容関数を用いて、多段回路の論理最適化を行うアルゴリズムである。今回、当方で実現したトランスダクション法は、以下の特徴を持っている。

- Single Gate Substitution [4] と、Connectable and Disconnectable [4] を、使用している。
- 最適化は、MAPPING済みの回路に適用する。よって、コスト(面積、遅延)の見積もりが、正確である。

- 現状は、面積優先の最適化を行っているが、最適化の対象となっているゲートより、遅延の悪いゲートのコネクタを抑制することで、遅延をあまり悪化させずに、面積の良い回路が得られるようにしている。

トランスダクション法による最適化手法の他にVarchsynの多様な最適化アルゴリズム[3,5,6]を組み合わせることで、より高性能なLSIを設計することが可能となる。

4 まとめ、結果

以上のように、FUSION2000は高性能なLSIを設計するためにFDLからの入力時に機能ブロックの合成や指定されたブロックの合成を行ったり、また、サブブロックの切り口での信号の分配を制御したり、そして、遅延を考慮した論理最適化を行うことでスーパーコンピュータ、メインフレームのような高性能LSIの論理設計工数を従来の2/3程度にすることができた。

参考文献

- [1] 谷下 他, 「論理合成システムの実用化について」, 第25回 FTC研究会, 1991
- [2] S. Kato, et.al., "FDL: A Structural Behavior Description Language", 6th International Symposium on Computer Hardware Description Language, 1983, pp.137-152
- [3] 前田 他, "Varchsyn(1)~(8)", 情処 第46回全国大会, 1993
- [4] S. Muroga, et.al., "The Transduction Method - Design of Logic Networks Based on Permissible Functions", IEEE Transactions on Computers, Vol.38 No.10, 1989, pp.1404-1423
- [5] Y. Nakamura, et.al., "A Partitioning-based Logic Optimization Method for Large Scale Circuits with Boolean Matrix", 32th DAC, 1995, pp.653-657
- [6] M. Yuguchi, et.al., "Multi-Level Logic Minimization based on Multi-Signal Implications", 32th DAC, 1995, pp658-662