

6P-2

教育用 32 ビット RISC マイクロプロセッサ DLX-FPGA のラピッドプロトタイピング

井上 弘士† 奥村 勝† 久我 守弘† 末吉 敏則†

†九州工業大学 情報工学部 知能情報工学科

†九州工業大学 マイクロ化総合技術センター

1 はじめに

我々は、計算機工学における上級コースでの教育を支援する有効な教材として DLX-FPGA を開発している [1][2]。DLX-FPGA は、実装デバイスとして書換え可能な FPGA を利用した教育用マイクロプロセッサであり、整数乗除算命令や浮動小数点命令をサポートした場合、FPGA 換算ゲート数で 10 万ゲートを越える規模となる。そのため、現行 FPGA のゲート規模を考慮すると複数 FPGA へ分割実装せざるを得ない。

そこで、本研究では、複数 FPGA に対する回路分割案の検討や回路規模調査、さらには、ソフトウェアを含めたシステム検証を行うため、再配線可能なプリント基板である FPCB(Field Programmable Circuit Board)[3] を利用した DLX-FPGA のラピッドプロトタイピングを行った。以下、本ラピッドプロトタイピングの結果について報告する。

2 教育用 RISC マイクロプロセッサ DLX-FPGA

2.1 DLX-FPGA の特徴

DLX-FPGA は、基本となるプロセッサモデルとして DLX アーキテクチャを採用している。DLX は、米国の教育機関において教科書として広く利用されている文献 [4] で紹介される RISC 型の 32 ビットマイクロプロセッサである。

DLX-FPGA は、DLX アーキテクチャを採用することで、命令パイプラインなどの高速化技法や、パイプライン処理の流れを乱す様々なハザードに対する回避法(フォワーディング、分岐予測、最適化コンパイラなど)といったような、実用レベルに近いシステム設計教育を支援する教材として利用できる。また、実装デバイスとして書換え可能な FPGA を使用するため、マイクロプロセッサの設計完了後、手で短時間に LSI 化でき、即座に動作検証を行える。さらに、書換えの回数に制限がなく、デバッグや回路の改良のために再実装することも可能である。

2.2 設計仕様

DLX-FPGA の設計仕様は、基本的に DLX アーキテクチャに準拠している。全ての命令は 32 ビット固定長であり、倍精度浮動小数点命令を除く全 75 命令をサポートする。レジスタセットとしては、整数用および浮動小

数点用にそれぞれ 32 個の汎用レジスタを持つ。また、命令レジスタやプログラム・カウンタなど 8 個の特殊レジスタを備えている。

DLX-FPGA は、整数パイプラインと浮動小数点パイプラインで構成され、各命令は 5 段のパイプラインステージ(命令フェッチ、命令デコード、実行、メモリアクセス、レジスタ書込み)を処理することで実行を完了する。また、割込みとしては、10 レベルの例外と 8 レベルの内部割込み、および、7 レベルの外部割込みをサポートしており、正確な割込みを保証する。

3 ラピッドプロトタイピング

3.1 ラピッドプロトタイピング環境

図 1 にラピッドプロトタイピングの支援環境を示す。本ラピッドプロトタイピングの実装ボードとしては、複数 FPGA が搭載可能な Aptix 社の FPCB を利用した。FPCB には 12 個(別に入出力用として 2 個)の FPGA が搭載されており、FPGA に米国 Xilinx 社の XC4013(約 13,000 ゲート相当の論理回路を実装可能 [5]) を使用した場合、約 156,000 ゲート相当の論理回路を実装可能である。また、各 FPGA は FPID(Field Programmable Interconnect Device) を介して接続され、FPID に構成データをダウンロードする事で自由に FPGA 間の配線を変更できる。FPCB の外部には、表示/メモリボードを接続しており、DLX-FPGA 実行の様子を観測できる。また、表示/メモリボードは、ホスト I/F ボードを介してホストコンピュータとのデータ転送が可能である。

複数 FPGA に対する DLX-FPGA の回路分割には、本研究室で開発しているマルチ FPGA 実装支援ツール [6] を利用した。このマルチ FPGA 実装支援ツールは、設計者から与えられた回路データと分割情報を用いて論理回路の分割を行う。そして、回路分割が成功した場合、複数 FPGA 用のネットリスト、および、各 FPGA 間の配線を定義した FPID 用ネットリストを生成する。一方、分割に失敗した場合には、分割失敗時の分割状況レポート(使用ピン数や FPGA 間の接続状況など)を出力する。設計者は、この分割状況レポートを基にして論理回路の再設計や分割情報の変更を行い、再度回路分割を行う。

3.2 ラピッドプロトタイピングの結果

DLX-FPGA の設計手法としては、回路図入力、および、ハードウェア記述言語(VHDL を利用)を使用した。また、マルチ FPGA 実装支援ツールの入力となる分割情報においては、DLX-FPGA が教材として利用されることを考慮し、DLX-FPGA を 8 つのユニットに機能分割 [7] するよう指定した。

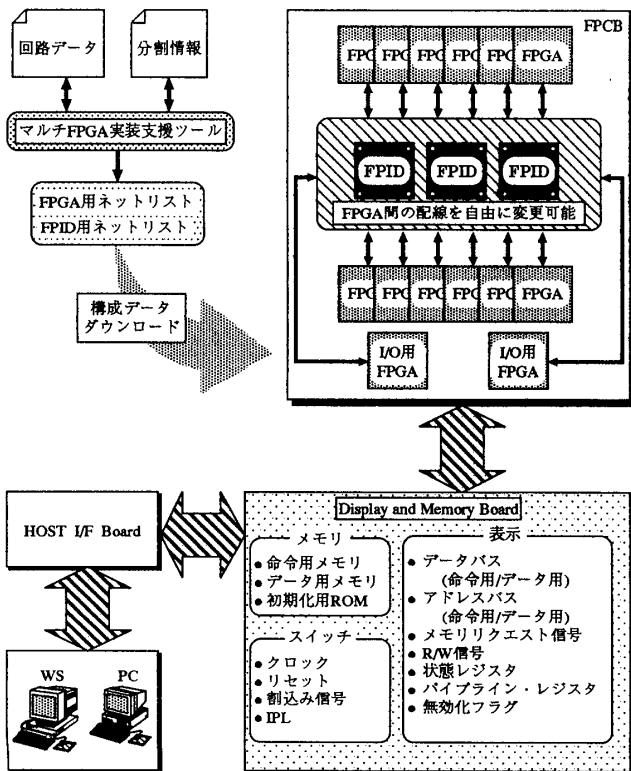


図 1: ラピッドプロトタイピングの支援環境

回路図入力による設計では、予め回路分割を意識して設計を行っている。そのため、マルチ FPGA 実装支援ツールを用いることで問題なく円滑な回路分割を行うことができた。

一方、ハードウェア記述言語による設計では、回路分割を意識せずに DLX-FPGA のトップダウン設計 (HDL 記述) を行った。その後、論理合成・最適化を行い、生成した回路データをマルチ FPGA 実装支援ツールに入力した結果、各 FPGA の使用可能ピン数の制限を満たすことができず、回路分割がうまくいかない結果となった。マルチ FPGA 実装支援ツールの出力として得た分割状況レポートを解析した結果、32 ビット単方向データバスが複数 FPGA 間で入出力されているため、各 FPGA において多くの入出力ピンを使用している事が判明した。そこで、DLX-FPGA の再設計 (単方向データバスを双方向データバスで置換えるなど) を行い、再度マルチ FPGA 実装支援ツールを用いることで回路分割を完了した。

DLX-FPGA の実装結果を図 2 に示す。図中の () の値は FPGA の論理セル (CLB) 利用率を表す。VHDL による設計では、整数パイプラインに 4 個、浮動小数点パイプラインに 8 個の FPGA を利用した。同様に、回路図入力による設計では、整数パイプラインに 4 個、浮動小数点パイプラインに 5 個の FPGA を利用することで DLX-FPGA を実装できた。その後、HOST I/F ボードを使用して各種アプリケーションプログラムを実行させ、その動作確認を行った。

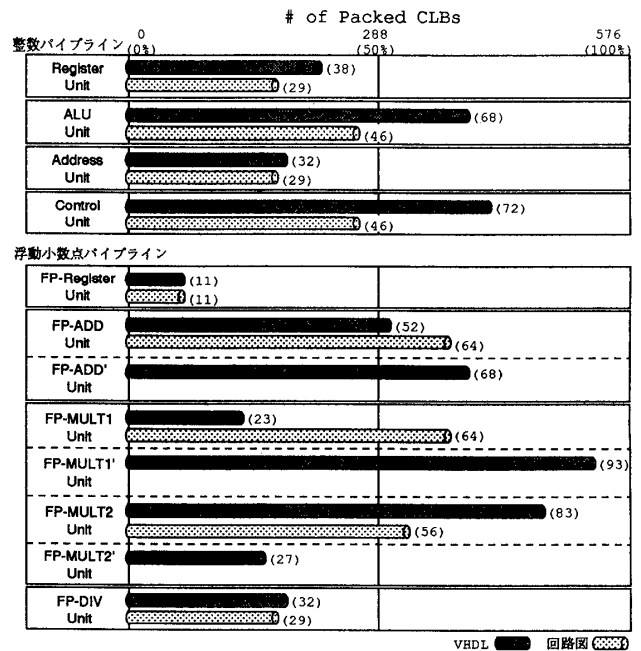


図 2: DLX-FPGA の実装結果

4 おわりに

本稿では、上級コース向き教育用マイクロプロセッサ DLX-FPGA のラピッドプロトタイピングを紹介した。従来の FPCB ツールでは、FPID 用ネットリストを生成するために、各 FPGA 間の接続を回路図入力により 1 本ずつ定義する必要があった。そのため、回路の分割実装には多くの開発期間を費やした。これに対し、本ラピッドプロトタイピングでは、マルチ FPGA 実装支援ツールを利用することによって、様々な回路分割案の検討や複数 FPGA に対する DLX-FPGA の分割実装を短期間で完了した。また、表示/メモリボードや HOST I/F ボード等を利用してアプリケーションプログラムを実行させ、円滑なソフトウェア開発を行うことができた。

参考文献

- [1] 中垣, 井上, 久我, 末吉: “上級コース向き教育用マイクロプロセッサ DLX-FPGA の設計と実現,” 信学技法 CPSY94-57, 1994.
- [2] 井上, 中垣, 大内, 柘山, 久我, 末吉: “DLX-FPGA マイクロプロセッサにおける浮動小数点パイプラインの実現,” 情報処理学会研究報告, 95-ARC-110-19, 1995.
- [3] Aptix Corporation: System Data Book, 1993.
- [4] Hennessy, J.L., and Patterson, D.A., Computer Architecture: A Quantitative Approach, Morgan Kaufmann Publishers, Inc., 1990.
- [5] Xilinx Inc.: The Programmable Logic Data Book, 1994.
- [6] 末吉, 大内, 田中: “マルチ FPGA によるラピッドシステムプロトタイピング環境,” 本論文集, 講演番号 6P-01, 1995.
- [7] 井上, 中垣, 大内, 久我, 末吉: “教育用 RISC 型マイクロプロセッサ DLX-FPGA とそのラピッドシステムプロトタイピング,” 信学技法 CPSY95-20, 1995.