

マルチ FPGA によるラピッドシステム プロトタイピング環境

6P-1

末吉 敏則† 大内 正英† 田中 康一郎†

†九州工業大学 情報工学部 知能情報工学科
‡九州工業大学 マイクロ化総合技術センター

1 はじめに

集積回路技術の進歩により集積度がめざましく向上し、システム自体を LSI に詰め込むシステム集積化 LSI が実現できるようになった。このシリコン技術とシステム技術の融合に伴い、コンセプトメーカーから、評価、設計、動作検証、実装、アプリケーション開発までのすべてを効率よく総合的に行えるシステム集積化 LSI 開発のための統合環境が求められている。これを実現するには、従来のハードウェア/ソフトウェア・コデザイン手法に加え、ラピッドプロトタイピングのための設計支援環境を統合することが不可欠と考えられる。そこで我々は、上述のようなハードウェア/ソフトウェア・コデザイン環境の基盤としてラピッドシステムプロトタイピングを位置付け、書換え可能な FPGA(Field Programmable Gate Array) を利用したシステム集積化 LSI 開発環境の構築を行っている。本稿では、このラピッドシステムプロトタイピングのためのマルチ FPGA 実装支援環境について述べる。

2 FPGA によるラピッドプロトタイピング

我々が理想とするシステム集積化 LSI 開発環境とは、(1)コンセプト創出や方式設計におけるアイデアの評価を短期間に行え、(2)最適なアルゴリズムやシステム構成を選択するために必要な試行錯誤が容易に実施でき、かつ(3)その設計データを用いて最終的に実システムとして実現できること。また、(4)ハードウェア設計と並行してソフトウェア開発も同時に行え、(5)ソフトウェアを含むシステム検証が円滑にできること。そのような真の意味での統合設計技術を実現する環境としてのハードウェア/ソフトウェア・コデザイン環境である [1]。そこで、書換え可能な FPGA によるラピッドプロトタイピング環境を EDA 環境に統合することにより、シミュレーションに基づく設計環境で問題となるソフトウェア開発や性能評価におけるシミュレーション速度および評価精度の改善を図った。さらに、ハードウェアならびにソフトウェアの仕様を変更する可能性を残したまま実際のソフトウェアを実行できるため、従来は難しかったソフトウェア/ハードウェア化のトレードオフの探求も可能である (図 1)。

FPGA は比較的大規模な回路を利用者側でプログラム可能な論理デバイスとして急速に高性能化してきており、最近では単体で 2 万ゲートを超えるものも入手できるようになった。しかしながら、システムレベルのプロトタイピングを行うにはなお FPGA 単体では難しく、複数の FPGA による実装にならざるを得ないのが実状である。そこで、書換え可能な FPGA と、FPGA 間の配線を自由にプログラムできる配線用デバイス FPID(Filed Programmable Interconnect Device) を搭載したプリント基板を利用して、複数の FPGA による分割実装に基づくラピッドシステムプロトタイピングを行った [2]。

3 マルチ FPGA 実装支援環境

3.1 マルチ FPGA 実装支援ツール

システムを設計する際、特定の機能を提供するモジュールを一つの単位として階層設計するため、モジュール単位で回路を分割・実装できることが望ましい。そこで、複数 FPGA による分割実装の場合、各モジュールをどのデバイスに分割するか情報が必要不可欠となる。マルチ FPGA 実装支援環境 (図 2) では、回路データと共にこのような情報を分割情報として与えることで、設計者の意図を反映した回路分割が行える。以下に示す情報を分割情報としてテキスト形式で、マルチ FPGA 実装支援ツールに与える。

- 各デバイスのグループ名およびパーツタイプの指定
マルチ FPGA 実装支援環境では、全ての FPGA に固有のグループ名を付けて取扱う。また、デバイスはパーツタイプにより、その実装可能規模、ピン名、およびピン数が異なるため、実際に使用するデバイスのパーツタイプを指定しなければならない。
- 各モジュールのデバイス割付け
それぞれのグループに割付けるモジュール名を記述する。

マルチ FPGA 実装支援ツールは、上に示した分割情報と HDL あるいは回路図入力によって設計した回路データから、各々の FPGA 用ネットリストならびに FPID 用ネットリストを生成し、複数 FPGA への分割実装を可能にする。

3.2 実装環境

実装環境は、図 3 に示すようにプロトタイピングボード、表示/メモリボード、そしてホスト I/F ボードで構成される。プロトタイピングボードは、書換え可能な FPGA を実装用として 12 個 (別に入出力用として 2 個) 搭載している。実装デバイスとして XC4010 や XC4013(Xilinx 社の FPGA) を利用すると全体で約十数万ゲート相当の回路規模まで実装でき、ASIC エミュレータと組み合わせれば数十万ゲート相当の大規模システムにも対応可能である。また、配線用デバイスである 3 個の FPID に構成データをダウンロードすることにより FPGA 間の配線が自由に変更でき、異なるシステム構成を短期間で実現できる。入出力用の FPGA を介した外部からのデータアクセスが可能で、表示/メモリボードを使用して、プロトタイピングボード上に実装したシステムの内部動作の観測や動作検証が行える。表示/メモリボードにはデュアルポート構成の SRAM を搭載しており、ホスト I/F ボードの接続により各種ホストコンピュータからのプログラムのロードやデータ転送が可能である。

3.3 設計の流れ

図 4 にマルチ FPGA 実装支援環境における設計の流れを示す。本実装支援環境は、設計者が HDL または回路図入力を用いて設計した設計データから、論理合成および

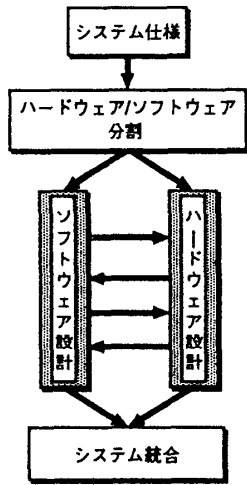


図 1: ソフトウェア/ハードウェア化のトレードオフ

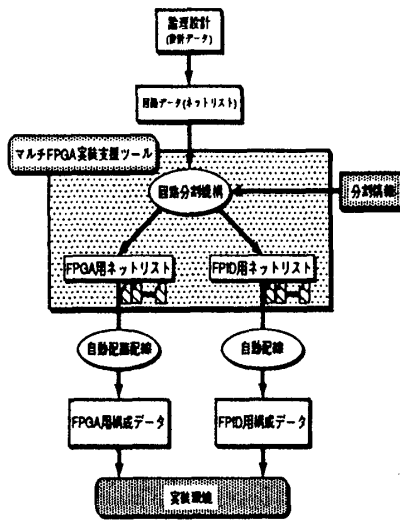


図 2: マルチ FPGA 実装支援環境

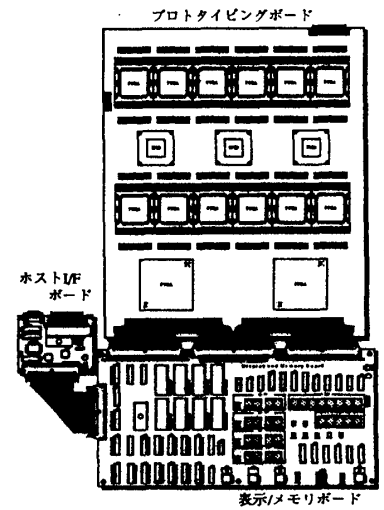


図 3: 実装環境

ネットリストジェネレータによりネットリスト形式の回路データを生成する。回路データとともに分割情報を回路分割機構に渡して、ネットリストレベルで回路分割を実現する。ここで、分割の対象をネットリストとすることで、設計手法に依存しない回路分割を可能にした。論理回路の分割により、各々のFPGA用ネットリストおよびFPGA間の配線を定義したFPID用ネットリストを自動生成する。生成したFPGA用ネットリストを自動配置配線プログラム、ビットストリームジェネレータによってプロトタイピングボードに実装可能なフォーマットへ変換する。同様にしてFPID用ネットリストの変換を行いプロトタイピングボードに実装し、動作検証を行う。

本実装支援ツールは、回路分割時において実装デバイスの物理的制限(使用ピン数や実装規模など)のため分割情報に従った回路分割が実行できない場合、分割不可能であったことを通知すると同時に、現在の分割状況レポート(使用ピン数やFPGA間の接続状況など)を設計者にフィードバックする。設計者はこれらの情報に基づいて、分割情報の変更や論理回路の再設計を行い、再度回路分割を実行する。

4 おわりに

本稿では、ラピッドシステムプロトタイピングのためのマルチFPGA実装支援環境について述べた。これまでに本環境を使用して、教育用32ビットRISCマイクロプロセッサDLX-FPGA[3]および、ニューラルネットワーク・エミュレータのプロトタイピングを行った[4]。これらの事例から、設計者の意図を反映した回路分割が行えることを確認した。今後は、設計者とマルチFPGA実装支援環境間でのインタラクティブな回路分割がスムーズに行えるような、グラフィカルユーザインタフェース(GUI)面での充実を図る予定である。

参考文献

[1] 末吉: “計算機アーキテクチャ設計のためのCADツールの在り方,” 情報処理学会 合同研究会 (95-ARC-102, 95-DA-73) パネル討論用メモ, 1995.

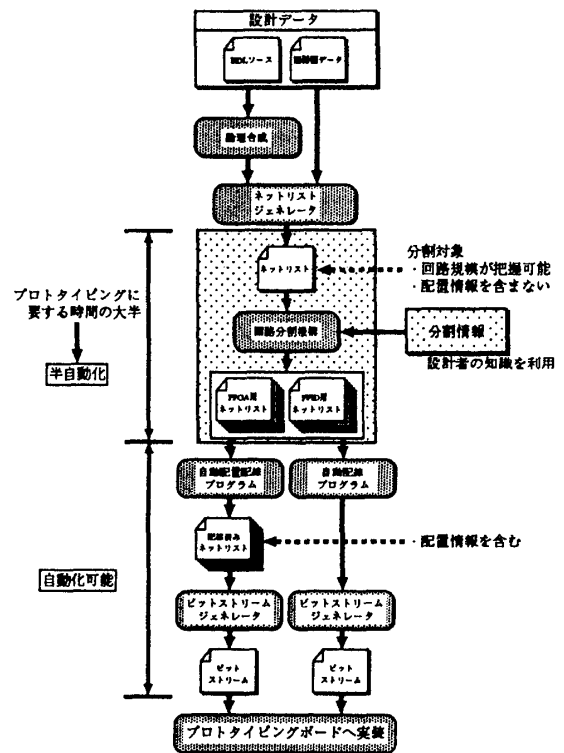


図 4: マルチ FPGA 実装支援環境における設計の流れ

[2] 末吉, 大内: “システムラピッドプロトタイピングへのFPGA応用例,” 電子情報通信学会総合大会講演論文集, SA-3-3, PP.447-448, 1995.
 [3] 井上, 奥村, 久我, 末吉: “教育用32ビットRISCマイクロプロセッサDLX-FPGAのラピッドプロトタイピング,” 本論文集, 6P-02, 1995.
 [4] 山中, 久我, 末吉: “FPGAによるニューラルネットワーク・エミュレータのラピッドプロトタイピング,” 本論文集, 6P-03, 1995.