

エンベデッドアレイ用レイアウト設計支援システム

5P-1

林越 美智子 中尾 博臣 寺井 正幸 佐藤 興二
三菱電機株式会社 システムLSI開発研究所

1. まえがき

近年、セルベース設計手法とゲートアレイ設計手法の各々の利点を兼ね備えたエンベデッドアレイ(EA)の開発が増えてきている。EA設計では、チップ毎に最適なサイズ、最適なメガセルの配置位置を論理設計のなるべく早い段階で決定しベースアレイの製造を始めることが必要である。

ゲートアレイ設計では、種々のサイズのベースアレイの選択とフロアプランニングを繰り返すことにより最適なチップサイズを決定する手法[1]が提案されている。EAにこの方法を適応すると、チップサイズ変更の度にベースアレイを設計し直す必要があり、この作業に大きな労力が必要となる。特に最適なチップサイズを求める場合は、チップサイズの変更回数が多くなるため、ベースアレイ開発期間の増大を招く。

本稿では、開発期間短縮のために開発したEA用レイアウト設計支援システムの、ベースアレイ生成ツールの機能の概要と適用結果について述べる。

2. エンベデッドアレイの設計上の問題

ゲートアレイやEAでは、ベースアレイと呼ばれるトランジスタを敷き詰めたシリコン基盤の上に、セルを配置し、セル間を金属配線で結ぶこと(配置配線設計)により、所望の回路を実現する。遅くとも配置配線設計までには、ベースアレイの設計を全て終えておかななくてはならない。この際、作成すべきデータとしては、ベースアレイ製造用のマスクデータ(下地と呼ぶ)の他に、各種設計ツール(自動配置配線やフロアプランナ等)用のチップ構造データがある。これには、マクロセルの配置可能/禁止領域の情報や、主要な電源やクロックの配線パターン、配線格子等、多種多様なデータが含まれる。ベースアレイ製造用のマスクデータと設計ツール用チップ構造データを総称して、ベースアレイデータと呼ぶ。

ゲートアレイでは、サイズの異なるベースアレイデータをあらかじめ数種類用意し、それらの中から1つを選んで使用する。これに対しEAでは、ベースアレイデータは以下の理由で、品種毎に作成している。①コスト低減のため、品種毎に最適なチップサイズにする、②メガセルが配置される場所は、そのメガセル専用の下地にする。メガセルの種類や数、位置は品種毎に異なる、③メガセルの動作を保証するために、電源とクロック配線のパターンをメガセルの配置位置によって変更する、④出力電流値等の特性最適にするように設計するため、周辺のI/Oセルの下地を品種毎に変える。

従ってEAのベースアレイを効率良く設計するには、次の2つの問題を解決しなければならない。(i)最適なチップサイズやメガセルの配置位置を決定しな

ければならない。(ii)これらを反映したベースアレイデータを作成しなければならない。この際、ベースアレイデータには、非常に多種多様なデータが含まれるため、データの作成だけでなく、データ間の整合性のチェックにも大きな労力が必要となる。

EA用ベースアレイを短期間に開発するためのツールに関する発表は著者らが知る限りではない。ゲートアレイ設計ではこれまでに、チップサイズを見積もるために、統計的な計算式[2]や、フロアプランナを用いる手法が提案されている。しかし、前者の方法では、最適なチップサイズを求めることは一般に困難である。後者の方法では、まず、ある大きさのベースアレイ上で、フロアプランナにより、回路のブロック分けや、ブロック配置を行い、配線可能性を判定する。不可能な場合は、別のサイズのベースアレイを用いて同様の操作を行なう。これを繰り返すことにより適当なサイズのベースアレイを求める。EAにおいても、この方法はベースアレイのサイズやメガセル配置位置の決定には適用できるが、先に述べた通りサイズを替える毎に、ベースアレイデータの多くは前章の②④の再設計が必要となる。特に最適なサイズを決める場合は繰り返し数が多くなるため、設計期間の増大を招く。

3. エンベデッドアレイの設計フロー

2章の問題を解決するために、我々は以下の方法でEA用のベースアレイを開発することを考えた。

- ・最適なチップサイズやメガセルの配置位置決定のためにフロアプランニング、配置配線の試行の繰り返しを行う。
 - ・所望のサイズのEA用ベースアレイが短期間に作成できるようにする。特にサイズの変更に対してEA用ベースアレイの再設計が短期間にできる様にする。具体的には次のようなEA用ベースアレイ設計フローを提案する。図1において実線の矢印は設計の流れ、波線の矢印はデータの流れを示す。
- (1)ピンペア数とメガセルの配置数、あるいは外部ピン数によってチップサイズを見積もる。
 - (2)指定されたチップサイズの基本ベースアレイを自動生成する。ここで、基本ベースアレイとは、トランジスタやI/Oセルの下地が標準的に並べられたもので、チップ専用のベースアレイを作成する際のひな形として使用する。
 - (3)基本ベースアレイを前記②③④について必要な部分をカスタマイズする。
 - (4)フロアプランナを用いてチップサイズとメガセルの配置位置を見積もる。この時タイミング制約を考慮する。フロアプランニングの結果、チップサイズに変更が生じる場合は(2)に戻る。メガセルの配置位置が変更した場合は(3)に戻る。
 - (5)更に詳細にチップサイズ等を見積もる場合は、フロアプランニングの結果と仮のネットリストを用いて配置配線の試行を行う。この結果、ベースアレイを変更する必要がある場合は、(2)または(3)に戻る。
 - (6)カスタマイズ後のベースアレイのマスク製造を行

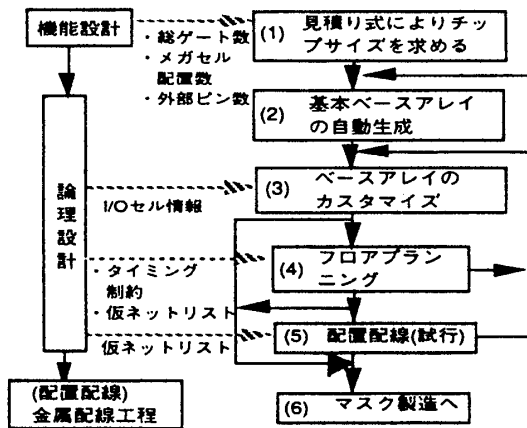


図1 EA用ベースアレイ設計フロー

4. システム構成

図1のフローにより、効率よくEAのレイアウト設計を行うためのシステムを開発した。本システムは、ベースアレイ生成ツールとフロアプラナ、高速配置配線ツール[3]から構成される。図2にシステム構成図を示す。ベースアレイ生成ツールは図1のフローのうち、チップサイズの見積り、基本ベースアレイの自動生成、ベースアレイのカスタマイズを行う。

5. ベースアレイ生成ツールの機能

(1) 基本ベースアレイ自動生成機能

入力は、チップサイズと生成規則である。チップサイズは、図1の(1)の計算より求めた結果か、フロアプラナ、配置配線ツールの実行によって求めたものである。生成規則とは、基本ベースアレイデータを自動生成するための規則である。本ツールでは、基本ベースアレイの、トランジスタやI/Oセルの下地等の並びの規則性を利用し、モジュールジェネレータで用いられるタイル方式により生成している。

(2) 対話編集機能

ベースアレイのカスタマイズをグラフィック上で対話的に行うためのものである。本機能で編集した結果は全ての関連するベースアレイデータに反映するので、データ間の整合性は常に保証されている。以下の編集が可能である。図3に画面の例を示す。

(i) 下地編集機能

自動生成した基本ベースアレイを画面に表示させて、下地を対話的に編集する。基本ベースアレイのI/Oセルの下地を、品種毎に設計されたI/Oセルの下地と入れ換えるために、最もよく使用される。本機能では、チップサイズを最適にするために、入れ換えた後の下地に合ったチップサイズを再計算し、ベースアレイを自動コンパクション/ストレッチする。

(ii) メガセル配置位置指定機能

本機能はメガセルの配置位置を対話的に指定する機能である。メガセルの配置後は、基本ベースアレイの下地をメガセルの下地で置き換えたベースアレイとチップ構造データを生成する。

(iii) 電源、クロック配線編集機能

EAではメガセルの動作を保証するために、メガセルの配置位置によって電源とクロック配線の幅や本数をカスタマイズしたり、配線を迂回させる。本機能では配線の幅と配線の概略経路を画面上で指定することにより配線パターンを生成すると同時に、デザインルールチェックとメガセルに必ず主要電源が

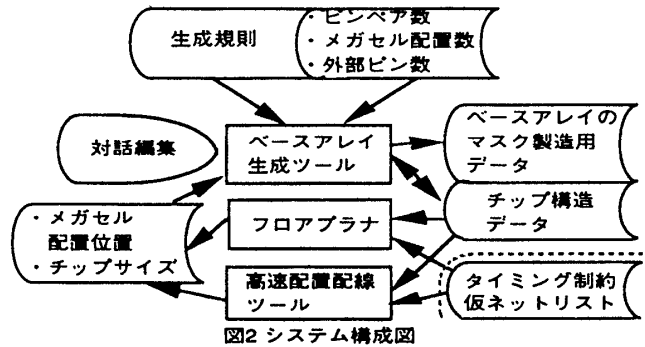


図2 システム構成図

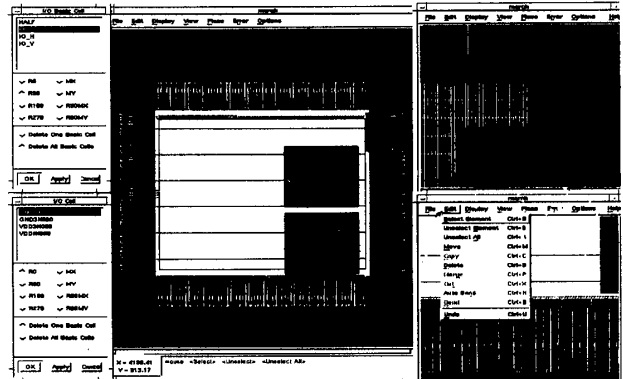


図3 ベースアレイ生成ツールの編集画面

配線されているかのチェックを行う。

(3) カスタマイズデータ保存型自動サイズ変更機能

フロアプランニングや配置配線の試行の結果、チップサイズ変更の必要性が出た場合、カスタマイズの結果(入れ換えたI/Oセルの下地の種類、個数、相対位置)を保存してチップサイズを変更する機能である。保存した全ての結果がそのまま使用できる訳ではないが、設計者はこれらを元に必要に応じて更にベースアレイをカスタマイズする。これによりチップサイズ変更後のカスタマイズが容易にできる。

(4) EA設計用データ生成機能

ベースアレイ生成ツールは、ベースアレイ製造用のレイアウトデータの他に、種々の設計ツール(自動配置配線ツールやフロアプラナ、外部ピン割り当てツール等)用のチップ構造データを全て生成する。

6. システムの適用例

本システムは、当社のEA事業に適用されており、EA用ベースアレイの開発期間を大幅に削減した。外部ピン200ピン、200kゲート規模のEA用のベースアレイを開発した例では、メガセルを4個配置し、50個のI/Oセルの下地の入れ換えを行った。チップサイズを見積もるための配置配線の試行は3回行った。本システムを用いた結果、最適なサイズをもつものを従来の人手で作成する場合と比べて約1/10以下の期間で開発できた。

7. 結び

本システムは現在、EAの設計において実用中で、既に、15以上のチップ開発に適用実績がある。

【参考文献】

[1]野田他「ゲートアレイ・・・GALET(2)-フロアプラン機能」平6年情報学会後期全国大会,pp.6-117-118
 [2]斎藤他「格子使用率を用いた配置配線面積予測手法」平7年信学会春季総合大会,pp.A-131
 [3]M.Terai,et al.:"A New Efficient Routing Method for Channel-less Sea-of-Gates Arrays",IEEE 1994 CICC,pp.651-654