

バウンダリスキャン設計、テスト支援システム

6B-5

橘田光弘¹ 山元浩幸¹ 山崎秀誉¹ 内山宗彦² 佐藤雅樹²

¹三菱電機（株） ²三菱電機エンジニアリング（株）

1 はじめに

従来、基板レベルのテストは、基板上の各信号線上にテスト用プローブを接触させ、搭載されている部品単位にテストを行なうインサーキットテスト手法が広く用いられてきた。しかし、最近の電子機器の小型化・高密度実装化・大規模化により、テスト用プローブの接触が困難、テストパターンの作成が困難となりつつあり、高密度実装基板およびマルチチップモジュール（以下、MCM）のテストバリエーションの向上が大きな課題となってきている。これを解決する手段として、バウンダリスキャンテスト手法が提案され、1990年にIEEE1149.1として標準化されており、最近では汎用のLSIおよびASICなどに内蔵されるようになってきている。

本論文では、ASICにおけるバウンダリスキャン設計から基板およびMCMのバウンダリスキャンテストまでを支援するシステムを開発したので紹介する。

2 システム概要

本システムの概略フローを図1および図2に示す。システムは、大きく分けて2つのシステムから構成されており、1つは、ASICのバウンダリスキャン設計とテストを支援、もう1つは、基板およびMCMのバウンダリスキャン設計とテストを支援することができる。基板およびMCMのバウンダリスキャン設計とテスト支援システムでは、バウンダリスキャンテストとインサーキットテストの混在、組合せによるテストもサポートすることができる。

また、ASIC内のバウンダリスキャンに関する設計情報はBSDL (Boundary Scan Description Language) を使って2つのシステム間のインターフェースをとる。

Boundary scan design and boundary scan test support system

Mitsuhiro Kitta¹, Hiroyuki Yamamoto¹, Iidetaka Yamazaki¹, Munehiko Uchiyama², Masaki Satoh²

¹Mitubishi Electric Corporation, Electronic Design Engineering Center

325, Kamimachiya kamakura kanagawa 247, Japan

²Mitubishi Electric Engineering Corporation

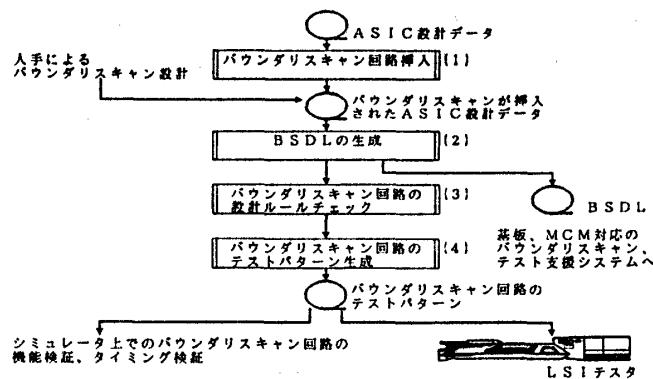


図1 ASICのバウンダリスキャン設計、テスト支援システム

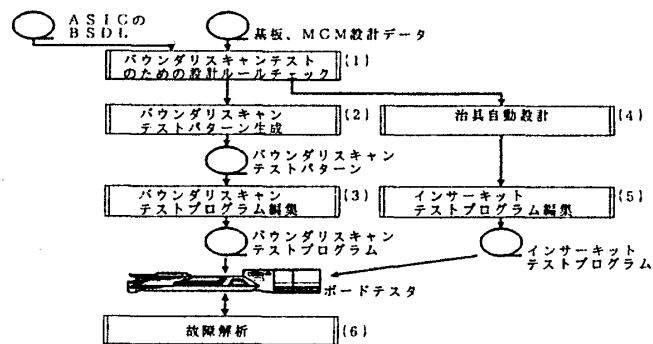


図2 基板、マルチチップモジュールのバウンダリスキャン設計、テスト支援システム

3 ASICのバウンダリスキャン設計、テスト支援システム

ASICのバウンダリスキャン設計からテストを支援するシステムは、次の機能を有する。

- (1) バウンダリスキャン回路の挿入
用意されたバウンダリスキャンレジスタ、制御回路等のライブラリをもとに、ASIC内にIEEE1149.1に準拠したバウンダリスキャン回路を挿入する。
- (2) BSDLの生成
バウンダリスキャン回路の設計情報であるBSDLをASIC設計データから抽出する。
- (3) バウンダリスキャン回路に対する設計ルールチェック
ASIC内に組み込まれたバウンダリスキャン回

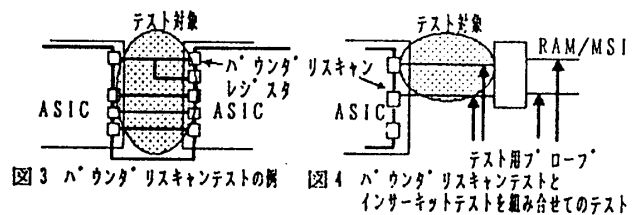
路がIEEE 1149.1に準拠しているかどうかチェックする。

- (4) バウンダリスキャン回路のテストパターン生成
ASIC内に組み込まれたバウンダリスキャン回路の機能/タイミング検証および、LSIテストでのテスト用のテストパターンを自動生成する。ここで、生成されたテストパターンにより、シミュレータ上でのバウンダリスキャン回路の機能タイミング検証が可能となる。

4 基板及びMCMのバウンダリスキャン設計、テスト支援システム

基板及びMCMのバウンダリスキャン設計からテストを支援するシステムは、次の機能を有する。

- (1) バウンダリスキャン回路の設計ルールチェック
MCMおよび基板上のバウンダリスキャン回路が正しく接続されているかどうかチェックする。
- (2) バウンダリスキャンテストパターン生成
ASICのBSD LとMCMおよび基板の設計データをもとにして、以下のバウンダリスキャンテストのためのテストパターンを自動生成する。
 - a) バウンダリスキャン回路のテスト
MCM、基板上に搭載されているASICのバウンダリスキャン回路およびMCM、基板上のバウンダリスキャンパス等をテストする。
 - b) バウンダリスキャンテスト
図3に示すバウンダリスキャンレジスタで囲まれた回路を対象にASIC間の接続をバウンダリスキャンを使ってテストすることにより、信号間のショート、ASICのピン間のブリッジ、信号の断線、ASICのピンが基板に接続されないオープン不良（組立基板の製造不良）を検出する。さらに、ASIC内部のバウンダリスキャンレジスタから入出力バッファ、入出力ピンまでの回路も同時にテストできる。
 - c) バウンダリスキャンテストとインサーキットテストを組み合わせたテスト
図4に示すバウンダリスキャンレジスタで囲まれない回路は、バウンダリスキャンレジスタとテスト用プローブを組合せてテストを行なう。これにより、バウンダリスキャンを適用しているASICとバウンダリスキャンを適用していないRAM/MSI等の部品間の信号の断線、ASICのピンのオープン等の不良（組立基板の製造不良）を検出する。



以上のテストパターン生成後、ASIC内のバウンダリスキャン制御回路（TAPコントローラ）を制御してスキャンイン/スキャンアウトを行ない実際のテストを行なうためのテストシーケンスを生成する。

- (3) バウンダリスキャンテストプログラム編集
(2)で生成されたテストパターン、テストシーケンスより最終的なテスターのテストプログラムを自動編集する。
- (4) 治具自動設計
バウンダリスキャンテストを考慮してインサーキットテスト用のテストプローブが必要な基板上の信号を検索し、基板上の最適なポイント（ピンピッチ、スペース等を考慮して一番安定してプローブ接触できる箇所）にプローブを配置する。また、治具上の配線データ、治具製作用のデータを自動生成する。
- (5) インサーキットテストプログラム編集
インサーキットテスト用のテストプログラムを自動編集する。
- (6) 故障解析
バウンダリスキャンによるテストでは、テスト後にどの部分に故障があるか解析する必要がある。本システムでは、テスト時のフェイルログからフェイル箇所を自動的に指摘する。

5 おわりに

本システムによりASICのバウンダリスキャン設計からテストまでが自動化された。また、従来のテスト手法ではテストが困難であった高密度実装基板やMCMに対して、バウンダリスキャンテストを実現、MCMおよび基板の製造不良に関して高い故障検出率のテストを実現することができた。

なお、本システムは、既にコンピュータをはじめとする高密度実装基板やMCMに適用しており、高い故障検出率のテストを実現している。

参考文献

- [1] IEEE Standard 1149.1-1990(Includes IEEE Std 1149.1a-1993), "IEEE Standard Test Access Port and Boundary-Scan Architecture", October 21, 1993