

確率多項式表現の STAFAN への適用

6B-2

吉田清明 朱雀保正 元石浩二
(久留米工業大学)

1. はじめに

論理回路の統計的故障解析法として, Jain等が提案したSTAFAN[1][2]がある. STAFANは故障シミュレーションの代用として, より計算コストの小さい論理シミュレーションを用いる. STAFANは与えたランダム入力パターン集合に対する検査対象回路の故障検出率を, 高速に高精度で予測する手法であり, その計算量は回路の信号線数に線形比例する. しかしながらSTAFANはあくまでも, 実際に与えた入力パターン集合に対する予測を行うため, 完全な予測を行うためには, 2^n 乗個の入力パターン (n は外部入力端子数) による論理シミュレーションが必要となる.

本稿ではまず, 与えられた論理関数 f をブール代数と等価な数式表現 (ここでは確率多項式表現[3]と呼ぶ) を用いて表すことにより, f の1になる確率が得られるという性質について述べる. 次にこの性質を利用することにより, 2^n 乗個の入力パターンを与えたSTAFANと同等な結果が得られることを示す.

2. 確率多項式表現

ブール代数は表1のような等価な数式表現が可能である.

表1 ブール代数と等価な数式表現

ブール代数	確率多項式表現
論理積	$x \wedge y \Rightarrow x \cdot y$
論理和	$x \vee y \Rightarrow x + y - x \cdot y$
論理否定	$\bar{x} \Rightarrow 1 - x$

また各変数には0または1しか代入されないため次の定理1が言える.

[定理1] x を任意の変数として,

$$x^n = x \quad (\text{ただし, } n \text{ は自然数})$$

ここで次のような定理2を新しく導入する.

[定理2] n 変数の論理関数 f に表1や定理1を適用して得られた多項式 f' において各変数に

0.5を代入すると, 各変数が均等の確率で0また

は1になると仮定した場合の f の1になる確率が求められる(証明省略).

[定理3] 論理関数 f のカルノマップ上での被覆率は f の確率多項式表現 f' に定理1を適用した後, 各々の変数に0.5を代入することにより求められる(定理2と同値).

[例題] $f = (a \cap b) \cup (b \cap c)$ の確率多項式表現

$a \backslash b$	c	0	1
00			
01			
11			
10			

f' に定理1を適用すると
 $f' = a \cdot b + b \cdot c - a \cdot b \cdot c$
 ここで各々の変数に0.5を代入すると $f' = 0.375$ となる. これは図1から判るように, (被覆されたセル数)/(全体のセル数) = $3/8$ に等しい.

図1

3. 確率多項式表現のSTAFANへの適用

前述した確率多項式表現をSTAFANに適用するにあたり, まずSTAFANについて簡単に説明する. STAFANは次ぎの3つの操作をL回実行することにより与えられた回路の故障検出率の予測を行う.

Step1: ランダム入力パターンで論理シミュレーションを行い, 各信号線の3つのカウンター ZERO, ONE, SENSITIZATION-COUNTERのセットを行う. これをN個の入力パターンについて繰り返す. 各々のカウンタがセットされる条件は以下の通りである.
 ZERO-COUNTER(k): 信号線kの値が0になった時インクリメントされる.
 ONE-COUNTER(k): 信号線kの値が1になった時インクリメントされる.
 SENSITIZATION-COUNTER(k): 信号線kからそのゲート出力端子までの経路が活性化された時インクリメントされる. 例えば図2の信号線kは活性化されている.



図2 信号線の活性化例

Step2: 各信号線の0 (1) 可制御率 C_0 (C_1), 可観測率 B_0 (B_1), 活性化率Sの計算を行う. 各々の確率の定義や意味は以下の通りである.
 $C_0(k) = \text{ZERO-COUNTER}(k) / N$: 信号線kが0にな

Applicaton of Probability Polinomial to STAFAN. Kiyooki YOSHIDA, Yasumasa SUJAKU and Kohji MOTOISHI. Kurume Institute of Technology, 2228 Kamitsu-machi, Fukuoka 830, Japan

る確率.

$C1(k) = \text{ONE-COUNTER}(k)/N$: 信号線 k が 1 になる確率.

$S(k) = \text{SENSITIZATION-COUNTER}(k)/N$: 信号線 k の値がゲートの出力へ伝搬する確率.

$B0$ ($B1$) は図 2 のような NOR ゲートの出力信号線 k の場合, 次のように定義される.

$B0(k) = B1(1) \cdot C1(1)/C0(k)$: 信号線 k が 0 である条件のもとに, 信号線 k が外部出力において観測される確率.

$B1(k) = B0(1) \cdot \{(S(K) - C1(1))/C1(k)\}$: 信号線 k が 1 である条件のもとに, 信号線 k が外部出力において観測される確率.

Step3: 各信号線の 0 (1) 縮退故障に対する検出可能性率 $D0$ ($D1$) を計算し, これらの値を基に回路全体の検出率の予測を行う. $D0$ ($D1$) の定義式とその意味は次の通りである.

$D0(k) = B1(k) \cdot C1(k)$: 信号線 k における 0 縮退故障の検出可能性確率.

$D1(k) = B0(k) \cdot C0(k)$: 信号線 k における 1 縮退故障の検出可能性確率.

以上のように STAFAN は $V = N \cdot L$ 個の入力パターンに対する故障検出率を予測する. 従って STAFAN では, 各々の確率の値を求めるために $N \cdot L$ 回の論理シミュレーションを行う必要があり, 回路が大規模化すると論理シミュレーションの計算時間が増大するという問題がある. 一方, 今まで述べたように STAFAN では $C0, C1, S$ を求められれば他の確率は定義式から計算で求めることが可能である. 本稿ではこの点に着目し, 前述した確率多項式表現を STAFAN に用いる手法を提案する.

4. 例題

図 3 の回路において信号線 I の活性化率 $S(I)$ を本手法で求めてみる.

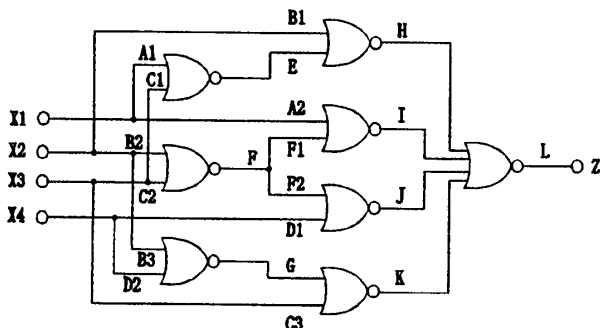


図 3 Schneider の反例

信号線 H, J, K を入力信号線 $X1, X2, X3, X4$ で表現すると式 (1) (2) (3) のようになる.

$$H = X1 - X1 \cdot X2 + X3 - X1 \cdot X3 - X2 \cdot X3 + X1 \cdot X2 \cdot X3 \tag{1}$$

$$J = X2 + X3 - X2 \cdot X3 - X2 \cdot X4 - X3 \cdot X4 + X2 \cdot X3 \cdot X4 \tag{2}$$

$$K = X2 - X2 \cdot X3 + X4 - X2 \cdot X4 - X3 \cdot X4 + X2 \cdot X3 \cdot X4 \tag{3}$$

ここで信号線 I の活性化率 $S(I)$ は式 (4) のように表現される.

$$\begin{aligned} S(I) &= \text{Prob}\{H = 0, J = 0, K = 0\} \\ &= (1-H) \cdot (1-J) \cdot (1-K) \\ &= 1 - X1 - X2 + X1 \cdot X2 - X3 + X1 \cdot X3 + X2 \cdot X3 - X1 \cdot X2 \cdot X3 - X4 + X1 \cdot X4 + X2 \cdot X4 - X1 \cdot X2 \cdot X4 + X3 \cdot X4 - X1 \cdot X3 \cdot X4 + X1 \cdot X2 \cdot X3 \cdot X4 \end{aligned} \tag{4}$$

各々の入力信号線が 0 あるいは 1 になる確率は各々 1/2 であるので $X1 = X2 = X3 = X4 = 0.5$ とすると信号線 I の活性化率 $S(I)$ は 0.1875 となり, これは $2^4 = 16$ 個の入力パターンを与えた時に信号線 I の値がゲート出力 L に伝搬する確率に等しい.

5. おわりに

論理回路の統計的故障解析法 STAFAN に確率多項式表現を適用することを提案した. 今後は本手法をプログラム化し, 計算機実験を行う予定である. またテスト入力生成への応用についても現在検討中である.

文献

[1] S. K. Jain, V. D. Agrawal: Statistical Fault Analysis, IEEE Design and Test, vol.2, No.1, PP.38-44(1985).
 [2] L. M. Huisman: The Reliability of Approximate Testability Measures, IEEE Design & Test of Computers, vol.5, No.6, PP.57-67(1988).
 [3] 加納弘: 確率的手法による組合せ回路のテストパターンの生成, 情報処理学会論文誌, vol.20, No.2, PP.138-144(1979).
 [4] S. C. Seth c V. D. Agrawal: An Exact Analysis for Efficient Computation of Random-pattern Testability in Combinational Circuits, IEEE Design and Test, vol.2, No.1, PP.38-44(1985).
 [5] M. Abramovichi: Digital Systems Testing and Testable Design, Computer Science Press (1990).