

OpenGL ベース Radiosity 法 CG 生成の並列化検討

4 B-2

高野裕之 高橋真史 金子栄美  
株式会社 東芝 研究開発センター ULSI 研究所

1 はじめに

開発するマイクロプロセッサのパフォーマンスがピーク性能に比して有為な結果を有するためには、仕様設計の段階で、ベンチマークカーネルからアプリケーションまでの各種レベルのプログラムを用いた評価と、それによる仕様へのフィードバックが必要である。

一方、高性能 RISC プロセッサや並列プロセッサ上で走らせるアプリケーションとして今後更に重要さを増すものとして3次元コンピュータグラフィックスがある。特に、現在各種 WS をはじめ、グラフィックスボード、OS、グラフィックソフト上への実装が進んでいる『OpenGL』[1]と呼ばれるユーザーインターフェースは、ジオメトリ処理からレンダリング処理までの全てを含む3次元 CG-API として世界的な標準としての地位を占めつつあり注目される。また、CG 画像生成においては二つのポイント、速度と高品質化があるが、速度については、レンダリング処理では専用ハード化により、ジオメトリ処理では汎用 RISC あるいは並列化による処理が主流になってきている。高品質化については、代表的な手法として、Radiosity と Raytracing があるが、どちらも未だ OpenGL では採用されていない。

注意すべきは、前者がジオメトリ処理であるのに対し後者はレンダリング処理である。

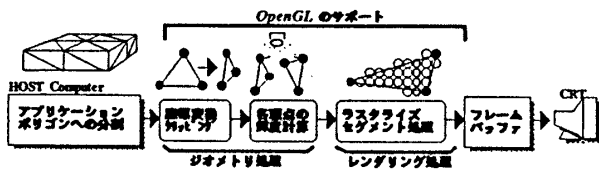


図1 画像生成のフロー

本研究では、この Radiosity プログラムを OpenGL ジオメトリ処理における輝度計算の内部ルーチンとして作成し、これにより、開発中の並列処理プロセッサの性能を評価したので、これについて報告する。

2 並列プロセッサモデルアーキテクチャ

開発中の並列プロセッサモデル CPE (the Cluster of Processor Elements) のブロック図を図2に示す。

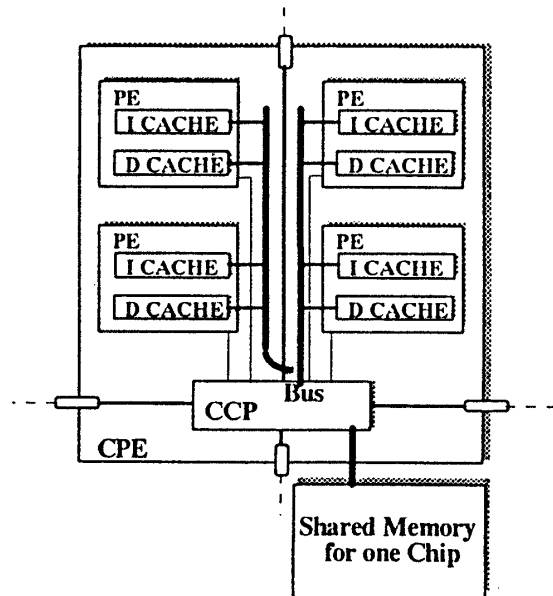


図2 並列プロセッサモデル CPE

CPE は1チップに相当し、内部に複数の PE (上図では 4PE) を有するが、ユーザーからはチップ内の各々の PE はスレッドとして認識される。チップ毎に共有メモリを有し、キャッシュコヒーレンスのためのバスコントロールを集中的に管理する回路として CCP (Coherency-control and Communication Processor) を持つ。CCP は PE から依頼された隣接チップ間通信も担当する。

そのチップに対し静的に割り当てられたデー

タを、必要な数のスレッドに動的に割り当て処理を行う。

各PEは隣接通信命令など並列処理用命令を実行可能にしたRISCプロセッサでIU部は5段パイプライン、命令キャッシュ・データキャッシュ共に16Kbyteを持つ。クロック周波数は500MHzを仮定している。

また、図では、陽に示されていないが、CPEは全PEで共有するFPUを有する[2]。FPU内にはFALU, FMUL, FDIV, FSQRT各モジュールがある。

### 3 Radiosity法によるCG生成

Radiosity法は、間接光中の全拡散反射光を取り入れて、ポリゴンの輝度を再計算する方法で、各頂点が拡散反射光と取り入れ終えた結果次の式が成り立つことを用いる。

$$B_i = E_i + \sigma_i \sum_{j=1}^N B_j F_{ji} \frac{A_j}{A_i}$$

ここで、

$B_i$ :ポリゴンiの単位面積当りのラジオシティ、  
 $E_i$ :ポリゴンiの単位面積当りの自発エネルギー、  
 $\sigma_i$ :ポリゴンiの反射率、N:ポリゴンの総数、  
 $A_i$ :ポリゴンiの面積、 $A_j$ :ポリゴンjの面積、

であり、特にフォームファクタ $F_{ij}$ は、

「ポリゴンjから放出されるエネルギーのうちポリゴンiに到達するエネルギーの割合」

を意味する。

Radiosity法を実際に行うには、連立方程式の反復解法として知られるガウス・ザイデル法を物理的に解釈しなおしたPR(Progressive Refinement)法を用いた[3]。

### 4 結果と考察

Radiosityを含めたジオメトリ処理プログラムを、並列プロセッサモデルシミュレータ[2]上で実行した結果を以下に示す。ただし、ジオメトリ処理プログラムへの入力としては、部屋の中に机や植木などを置いたモデルをOpenGL-APIを用いて

作成したものを用いた。モデルのポリゴン数は414である。

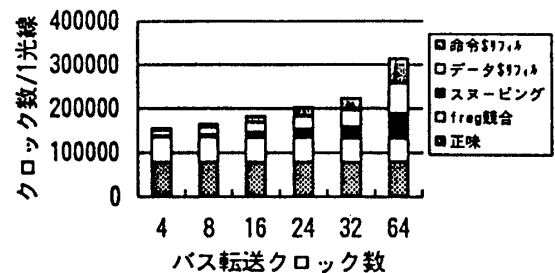


図3 バス転送効率による比較 (4PE/CPE)

図3から分かるように、画像生成のようなメモリアクセスの大きいアプリでも、バスを内部に置き集中管理する(転送クロック=4)ことで、チップ外バス(転送クロック=32~)を使用した一般の共有メモリ型マシンで起きるようなバスネックを避けることが可能となる。

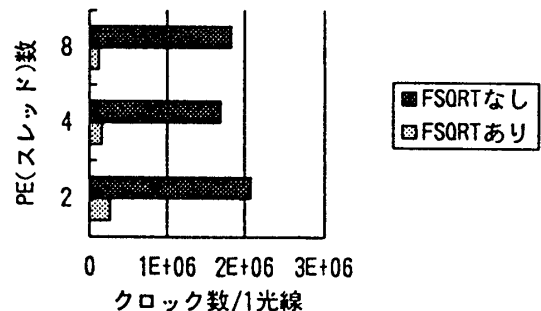


図4 FSQRTの効果

また、図4から分かるようにFSQRTをFPUに実装するか否かで実行クロック数のオーダー及び台数効果に大きな差が生じることがわかる。

### 参考文献

- [1] OpenGL Architecture Review Board: "OpenGL Programming Guide", Addison-Wesley Publishing Company, 1993
- [2] 高野, 他: "イオン注入シミュレータ並列化による並列プロセッサアーキテクチャの定量的評価", 第48回情報処理学会大会, 2B-7
- [3] M.F.Cohen, J.R.Wallace: "Radiosity and Realistic Image Synthesis", Academic Press Professional, 1993