

# マルチプロセッサチップを想定した 1B-5 並列計算機テストベッド ATTEMPT-1 - 概要 -

寺澤 卓也† 井上 敬介† 黒澤 飛斗矢† 天野 英晴†

東京工科大学 情報通信工学科†  
慶應義塾大学 理工学部†

## 1 はじめに

バス結合型マルチプロセッサは、安価に小規模の並列計算機を構成する方法として注目され、商用機も普及している。現在のバス結合型マルチプロセッサの多くは、バスの混雑と遅延を縮小するため、各プロセッサにスヌープキャッシュを装備しており、プロセッサとキャッシュを搭載したプロセッサボードが、バックプレーン上の共有バスを介して共有メモリボードに接続された構成になっている。

しかし、デバイス技術と実装技術の発達に伴い、近い将来、バス結合型マルチプロセッサの実装形態は大きく変化する可能性がある。WSI(Wafer Scale Integration)技術の進展を考えると、1チップ上に32bit程度の既に技術の確立されたRISCプロセッサとキャッシュが複数個実現されることが予想される。

我々は現在、このようなチップの検討を含め、様々な並列処理研究を行なうためのテストベッドとしてATTEMPT-1というプロトタイプを実装している。本稿では、マルチプロセッサチップの構想とATTEMPT-1の概要について報告する。

## 2 マルチプロセッサチップ

最近のWSI技術の発達により、プロセッサとスヌープキャッシュを機能ブロックとしてウエハ上に複数実装し、1チップ上にマルチプロセッサを構成することが可能になってきた。ここではこのようなチップをマルチプロセッサチップと呼ぶ。図1にマルチプロセッサの概念を示す。マルチプロセッサチップは次のようなものになると考えられる。

- 1チップ上に複数の命令ユニットと、スヌープキャッシュを実装する。

チップ内バスを有効に使用するために、各命令ユニットにキャッシュが装備される。

- チップ上のプロセッサはバスによって結合する。パッケージングの際のピン数を考慮すると、各プロセッサがそれぞれのバスをチップ外に出すことは困難であるため、これらの結合には共有バス型が向いていると考えられる。
- チップ内のバスとチップ外はバスインターフェースを介して接続する。  
チップ内バスの動作速度はバックプレーン上のバスに比べてはるかに高速になる反面、チップ内外の転送容量のギャップが問題になる。そのため、チップ内バスの性能を十分に生かすには、外部バスとの間に何らかのインターフェースが必要となる。
- チップ外のメモリシステムには、強力なブロック転送能力を持つ同期型DRAM、あるいはRambus型DRAMを使用する。

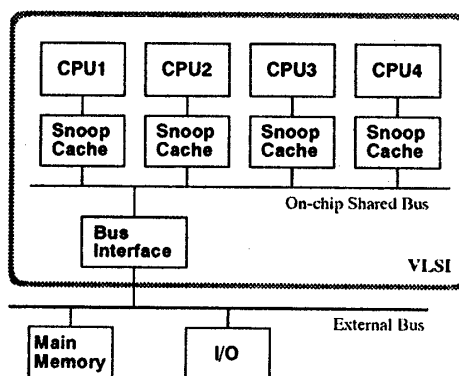


図1: マルチプロセッサチップの構成

1チップ上にマルチプロセッサを複数実現する試みはすでに行なわれている [1] が、このような実装形態に

ATTEMPT-1: A test-bed for on-chip multiprocessors - Overview -

Takuya TERASAWA, Tokyo Engineering University  
Keisuke INOUE, Hitoshi KUROSAWA, Hideharu AMANO, Keio University

適したキャッシュコヒーレンシプロトコルの検討は行われていない。

### 3 新 Keio プロトコル

そこで、我々は以下の方針で、マルチプロセッサチップに適したキャッシュプロトコル、新 Keio プロトコルの設計を行なった。

- 強力なチップ内バスによる転送能力の増加によって、バス飽和による性能低下は起こりにくくなると考えられる。これにより、プロセッサ間通信をより頻繁に行なうアプリケーションの効率的な並列処理が可能になる。

このようなアプリケーションでは書き込み更新型プロトコルが有利であるが、命令コードや局所変数、スタックなどへの効率的なアクセスのためには、書き込み無効化型のプロトコルが有利である。また、チップ内のキャッシュメモリでは容量の制限が厳しいことが予想されるため、両者のプロトコルをサポートし、キャッシュを最大限有効に活用する。

- キャッシュ間の通信は、チップ内の転送で収まるため、高速に行なうことが出来る。一方、主記憶との通信はチップ外交信となり、チップ内通信と比べて低速となるため、極力避けなければならない。
- 同期型 DRAM、Rambus 型 DRAM の特徴を生かすため、主記憶との転送は出来る限りブロック単位で行なう。
- 同期操作とメッセージ転送も原則としてキャッシュ間転送のみで行なう。

マルチプロセッサチップにおいては、同期操作、プロセッサ間割り込みについても主記憶をアクセスすることなしに、キャッシュ上ですべて行なうことが望ましい。新 Keio プロトコルでは書き込み更新型キャッシュもサポートするため、このキャッシュの操作を拡張して、同期機構専用の制御ハードウェアを設けることなしに、同期操作とプロセッサ間割り込みを実現する。同期プリミティブとしては Fetch&Decrement を用意する。

キャッシュミスの際、新 Keio プロトコルでは、共有メモリとの通信を減少させるため、いずれかのプロセッサのキャッシュに当該ラインが存在すれば、共有

メモリからではなく、そのキャッシュから供給する。このため、キャッシュラインの送り主を特定するために ownership の概念を導入している。

### 4 ATTEMPT-1

ATTEMPT-1 はこれまで説明したマルチプロセッサチップの構成うち、特にキャッシュ部分の実際的な評価を行なうことを目的としたテストベッドである。

また、その他にも I/O の検討などの様々な並列処理関連のハードウェア/ソフトウェアの評価を行なうため、メモリシステムを中心に、様々なコンフィギュレーションを実現できるように工夫されている。

プロセッサは R3000 ベースのものを使用し、中心となるキャッシュ部分は PLD を用いて構成されている。また、バスには Futurebus+ を基本に、独自に機能変更したものとなる予定である。

### 5 まとめ

WSI 技術を用いたマルチプロセッサチップの構想について述べた。マルチプロセッサチップでは、データの性質に応じたプロトコル切り替えと ownership の導入、キャッシュ中での同期のサポートにより、主記憶へのアクセスを最小限に抑え、性能を向上させる。

並列計算機シミュレータ MILL[2] による評価では、新 Keio プロトコルの優位性が示されている [3] もの、より実際的な詳しい評価が必要である。そこで現在、我々はより詳しい評価を行なうためのテストベッド ATTEMPT-1 を実装中である。今後は、ATTEMPT-1 を用いてマルチプロセッサチップのメモリシステムについて実際的な評価を行なう予定である。

### 参考文献

- [1] M. Hanawa, et al, "On-chip Multiple Superscalar Processors with Secondary Cache Memories." Proc. ICCD, pp. 128-131, 1991.
- [2] T.Terasawa, H.Amano, "Performance Evaluation of the Mixed-protocol Caches with Instruction Level Multiprocessor Simulator." Proc. of IASTED International Conference on Modeling and Simulation MS'94, May 1994.
- [3] 小椋, 寺澤, 井上, 天野, "WSI を意識したマルチプロセッサ用のキャッシュプロトコル." 電子情報通信学会 WSI 技術とその応用システム時限研究専門委員会 WSIA94-5, Mar. 1994.