

低消費電力 CMOS セルライブラリの設計と評価

李 副 烈[†] 瀧 和 男^{††}
堀 貴 代 秀[†] 村 田 豊[†]

既存の中高速向けセルライブラリに追加することによって、通常の論理合成方法を変えずに、低消費電力化設計の可能なセルライブラリを設計した。提案セルライブラリは以下の2つの特徴を持つ。(1)出力段にインバータを配置するセルを積極的に用いることで、小さいサイズのトランジスタを用いながら負荷遅延の増加を抑える。(2)拡散2段縦積み構造を用いてセルレイアウトを行い、セルの高さを変えることなくセル面積を削減する。既存のセルライブラリに提案セルライブラリを追加し、ベンチマーク回路を合成後、配置・配線を行った。シミュレーションにより消費電流を計測した結果、遅延制約が緩い場合は既存のセルライブラリのみで合成した回路に比べると、同じ遅延制約値にもかかわらず、面積で12%減、消費電流で42%減と良好な結果が得られた。また、実際の回路として8ビットCPUに適用した結果、面積で6.6%減、消費電流で32.8%減という良好な結果が得られた。

Design and Evaluation of Low-power CMOS Cell Library

BU-YEOL LEE,[†] KAZUO TAKI,^{††} KIYOHIDE HORI[†]
and YUTAKA MURATA[†]

In this paper we present a new design of a low-power CMOS standard cell library. It reduces the power dissipation by transistor sizing and small cell area without changing the design flow. However, naive transistor sizing causes large output delay. Our method has the following favorable properties: (1) Use positively 'an output inverter' in a cell, in which we reduce the transistor size without increasing output delay. (2) Place transistors in double rows in both PMOS and NMOS areas, in which we reduce the cell area without changing the cell height. We synthesize and layout MCNC benchmark circuits with a low-power cell library. In comparison with conventional CMOS cell library, the results show that our method reduces the power dissipation by 42% and the chip area by 12% on average without losing the operation speed. Furthermore, we applied our method to an 8-bit CPU, and the results show that the power dissipation is reduced by 32.8% and the chip area by 6.6%.

1. ま え が き

近年、携帯情報機器の普及・高性能化やLSIの高速化・高集積化による消費電力の増大にともない、LSIの低消費電力化への要求が高まっている^{1),9)}。そのため、システムレベルからデバイスレベルに至るまで多様な低消費電力化技術が研究開発されている^{3),9)}。その中でLSIのランダムロジック部分は、LSIの大規模化や短い開発期間のため論理合成手法を用いて設計が行われることが多い。

ランダムロジックの低消費電力化手法として、クリ

ティカルパス以外の部分回路を低消費電力化する方法がある。その方法には大きく、電源電圧を下げる方法と負荷容量を下げる方法がある。電源電圧を下げる方法としてクリティカルパス上の動作電圧はもとのまま維持し、それ以外の部分回路の動作電圧を下げる手法、Clustered Voltage Scaling法(CVS法)^{5),6),11)}がすでに提案されている。消費電力はおおよそ電源電圧の2乗に比例するため複数の電源を用いるCVS法の低消費電力化効果は大きい。しかしながら、電圧のレベルコンバータが必要であり、異なる電圧のセルをセル列ごとに分けて配置しなければならない。一方、負荷容量を下げる方法は、クリティカルパス以外の部分回路に小さいトランジスタを用いて、トランジスタのコンデンサ分と貫通電流を削減する方法である。トランジスタのサイジングを行う1つの方法として、あらかじめトランジスタサイズが小さいセルライブラリを用

[†] 神戸大学自然科学研究科
Graduate School of Science and Technology, Kobe University

^{††} 神戸大学工学部
Faculty of Engineering, Kobe University

意し、回路の合成時に論理合成ツールによって必要な駆動力のセルを選択させる方法が考えられる。また小さいトランジスタのセルの面積を小さく設計すれば、セル間の配線長を短くし消費電力をさらに削減することができる。しかしながら、微細化が進むにつれ配線に起因する遅延が支配的になるため、単にトランジスタサイズを小さくするのはセルの駆動力が著しく低下し、そのようなセルは合成に使われなくなる。

そこで本論文では、出力段にインバータを配置したセルが駆動力を落とさずにトランジスタのサイジングを行えることを示し、このセルを積極的に用いたセルライブラリを設計する。またセルのレイアウト設計の際、拡散層を縦積みすることで、セルの高さを変えることなくセル面積を削減する。提案セルライブラリをベンチマーク回路を用いて単にトランジスタサイズを小さくしたセルライブラリと比較し、その有効性を確認する。以下、2章でセル設計について述べ、3章ではそれらを基に設計したライブラリについて説明を行う。次に4章では、ベンチマーク回路を用いて提案手法と単純なサイジングとの比較評価を行う。最後に、5章で提案セルライブラリを8ビットCPUに適用した設計事例について報告する。

2. セルの基本設計

本章ではスタンダードセルの基本的な設計方針について述べ、提案手法の特徴である出力段にインバータを配置する手法と拡散層を2段積みにするレイアウト手法について述べる。

2.1 セル設計の基本方針

提案セルライブラリは既存の中高速向けスタンダードセルライブラリに追加することで、中高速動作の回路から低速動作の回路までを低消費電力化することを目的とする。

中高速動作の回路を低消費電力化するためにはED積（エネルギー遅延積）を低減したセルを用いる。ED積の低減は、駆動力を確保して負荷遅延を抑えながらトランジスタのサイジングを行うことによって得られる。提案セルライブラリでは出力段にインバータを配置したセルを積極的に利用することによって実現する。また、低速動作の回路を低消費電力化するためにPD積（電力遅延積、すなわち動作エネルギー）を低減したセルを用いる。PD積の低減は、セルを最小トランジスタ数で構成し、可能な限り小さいサイズのトランジスタを用いることで実現する。

設計した各セルは拡散層を2段縦積みレイアウトする手法を用いてセル面積の削減を行う。拡散2段縦

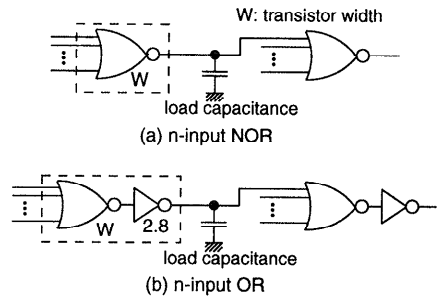


図1 n入力NORゲートとORゲート
Fig.1 n-input NOR and OR gate.

積み構造は以下の利点を持つ。

- セルの高さを変えることなく、セル面積を削減できる。
- 出力段にインバータを配置したセルの面積削減率が大きい。

2.2 出力段のインバータの効果

出力段にインバータを配置するセルは出力の負荷容量を駆動するトランジスタの直列個数がつねに1個で構成される。したがって、負荷遅延を抑えながら、出力段のインバータのサイズを小さくできる。また、論理を構成するトランジスタは出力段のインバータのみを駆動すればよいので、トランジスタのサイズを小さくし、消費電力を削減できる。これらのことから負荷遅延が大きくなるほど、出力段にインバータを配置するセルがED積の面で有利であると考えられる。

そこで反転論理ゲートのNORと非反転論理ゲートORを用いて出力段にインバータを配置するセルのED積を比較する（図1）。NORゲートは論理を構成するトランジスタで直接出力負荷を駆動するセルであり、ORゲートは出力段にインバータを配置したセルである。各負荷容量に対する最小のED積を求めるために、まず各負荷容量ごとに最もED積が小さくなるトランジスタサイズを求め、そのときのED積を比較した。ED積の計算には、遅延は入力信号がインバータの閾値に達してから出力信号がインバータの閾値に達するまでの時間 t_{prop} とし、エネルギーは負荷容量によって消費されるエネルギーを含まずトランジスタの充放電に用いられたエネルギーのみを用いた。シミュレーションはプロセス0.35 [μm]、電源電圧3.3 [V]で行い、トランジスタサイズが0.4~4.2 [μm]の範囲で最も小さいED積を求めた。ただし、ORゲートの出力段のインバータのサイズは2.8 [μm]に固定した。各シミュレーションは入力数2~4までそれぞれ行った。図2

☆ 立上り時間と立下がり時間の最大値。

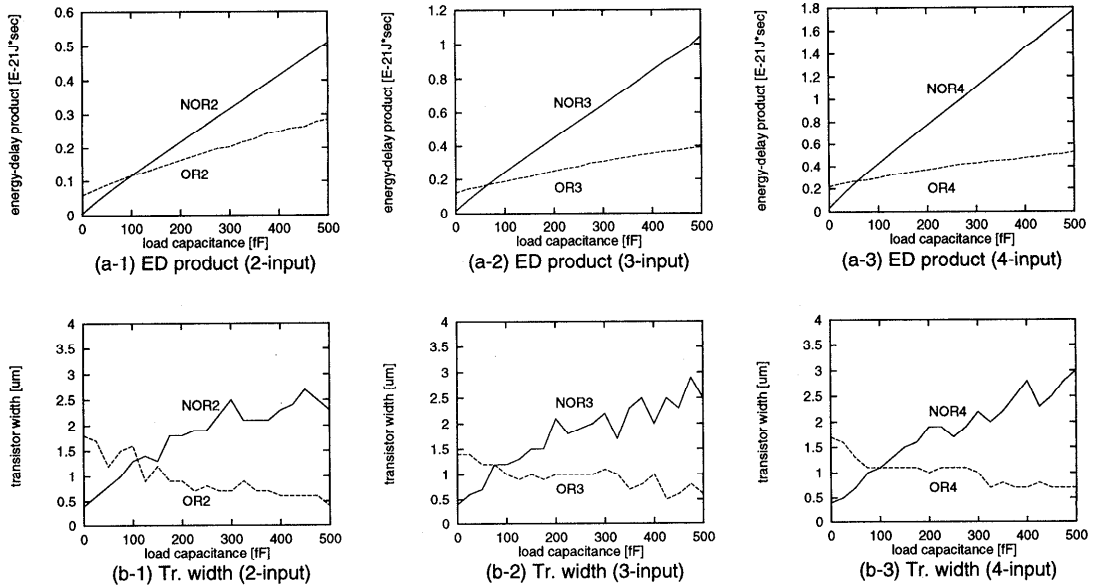


図2 反転論理セル NOR と非反転論理セル OR の比較
Fig. 2 Comparison OR gates with NOR gates.

に NOR ゲートと OR ゲートの ED 積とそのときのトランジスタサイズを示す。

図 2 に示すように負荷容量が増加するにつれ OR ゲートが NOR ゲートよりも ED 積が小さくなる結果となった。さらにそのときのトランジスタのゲート幅 (ED 積最小となるゲート幅) は, NOR ゲートの場合は負荷容量が増加するにつれゲート幅も増加するが, OR ゲートの場合は逆に減少する傾向が現れた。NOR ゲートの場合は負荷容量が大きくなると, 遅延を短縮するためにトランジスタのゲート幅を大きくしなければならないが, OR ゲートの場合は出力段のインバータによって駆動力が確保されているので内部遅延が大きく増加しない程度にトランジスタのゲート幅を小さくできるためである。この傾向は入力数 n が大きくなるに従い顕著に現れた。

2.3 拡散 2 段積み構造

小さいトランジスタで構成されるスタンダードセルの場合, セルのレイアウトを工夫することでセル面積を削減できる。セル面積を削減すると, 回路レイアウト時のセル間配線長 (配線容量) を削減することができ, 低消費電力化に有効である。セル面積削減には以下の 2 つの方法が考えられる。

- セルの高さを低くする⁴⁾。
- トランジスタを 2 次元に配置する^{2), 10)}。

セルの高さを低くする方法では小さいトランジスタで構成されるすべてのセルの面積を削減できるが, 大

きいトランジスタのセルはかえってセル面積が増加する。したがって, 小さいトランジスタのセルが主に使われる低速向けの回路では総セル面積は削減できるが, 大きいトランジスタのセルが主に使われる中高速向けの回路では総セル面積はかえって増加する。

一方, トランジスタを 2 次元に配置する方法はセル内のトランジスタを左右に配置するだけでなく, 小さいトランジスタを上下に配置することで, セルの高さを変えずに小面積設計を行う。セルの高さを変えないため, 既存の大きいトランジスタのセルの面積を増やすことなく, 小さいトランジスタのセルの面積を削減できる。提案セルライブラリでは拡散 2 段縦積み構造¹⁰⁾を用いてセルを設計し, セル面積を削減する。拡散 2 段縦積み構造はセル内の配線を考慮してトランジスタを配置することで, 単にトランジスタを 2 次元に配置する方法に比べてより小面積に設計できる。特に出力段にインバータを配置したセルを含む多段論理ゲートのセル面積削減に効果的である。図 3 の 2 入力 AND ゲートを用いて具体的に説明を行う。拡散層を縦積みする際, 内側に回路の入力段の NAND を, 外側に出力段の INV (インバータ) を割り当てる。NAND と INV の接続にはメタル 1 層配線を用い, INV の出力はメタル 2 層配線を用いて前述のメタル 1 層配線の上層を通過させる。このような構造を用いることで, 入出力信号以外のメタル 2 層配線をなくし, セル面積を NAND と同じにすることができる。この

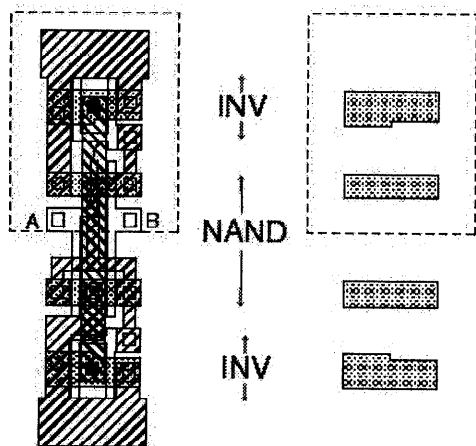


図3 2入力ANDゲートの拡散2段積み配置^{☆1}

Fig. 3 Placement of transistors in double rows in case of 2-input AND.

例では面積を25%削減できた。

実際にセルライブラリを用いてセルの高さを低くする方法と拡散2段縦積み構造との面積削減率を比較した。主なトランジスタサイズが $4.2\ [\mu\text{m}]$ のセルライブラリに $0.9\sim 2.8\ [\mu\text{m}]$ と小さいトランジスタで構成されるセルライブラリを追加する場合^{☆2}について実験を行った。既存セルの高さは11グリッド($15.4\ [\mu\text{m}]$)である。追加のセルライブラリを拡散2段縦積み構造で設計した場合と、既存のセルライブラリと追加のセルライブラリのセルの高さを11グリッドから9グリッドに低くした場合を比較した。セルの高さを低くする方法と拡散2段縦積み構造で設計したセルの平均面積を比較した結果を表1に示す。各値は従来のセルの平均面積との比である。表1のTr.幅はそれぞれ、 $1.4\ [\mu\text{m}]$ 以下で構成される追加ライブラリ、 $2.8\ [\mu\text{m}]$ 以下で構成される追加ライブラリ、 $2.8\ [\mu\text{m}]$ 超過の大きいサイズで構成される従来のライブラリを表す。 $1.4\ [\mu\text{m}]$ 以下と $2.8\ [\mu\text{m}]$ 以下の場合セルの高さを低くする方法が拡散2段縦積み構造と同程度かさらに6%の面積を削減したが、 $2.8\ [\mu\text{m}]$ 超過の場合は逆に面積が30%増加した。このことから中高速向けのセルライブラリに追加する提案セルライブラリを設計する際は、拡散2段縦積み構造が有利であるといえる。

3. 低消費電力セルライブラリの試作

本章では既存のセルライブラリ、比較評価用にサイジングのみを行ったセルライブラリ、提案セルライブ

表1 平均セル面積率
Table 1 Cell area ratio.

Tr. 幅 $W\ [\mu\text{m}]$	セル高さ減	拡散層2段積み
$W \leq 1.4$	0.82	0.82
$1.4 < W \leq 2.8$	0.82	0.88
$2.8 < W$	1.30	1.00

ラリの3つのセルライブラリについて説明する。

3.1 既存のCMOSセルライブラリ

提案手法の評価に用いた既存の中高速動作向けCMOSセルライブラリ(以下、Org-Lib)について述べる。Org-Libの論理は評価用に市販のスタンダードセルライブラリから以下に示すゲートを抜き出したサブセットで構成される。論理はNAND, NOR, AND, OR, INV, BUFの基本ゲート20種, AND-OR-INV, OR-AND-INV, AND-OR, OR-ANDの複合ゲート16種, NAND, NORの拡張ゲート12種, その他MUX, XORゲート等7種, 合計55種類で構成されている。各論理には駆動力2倍, 4倍のパワーゲートがあり, 総セル数は171個である^{☆3}。

Org-Libのテクノロジーは $0.35\ [\mu\text{m}]$ ポリ1層メタル3層配線であり, セルの高さは $15.4\ [\mu\text{m}]$ である。また, ゲートを構成する基本トランジスタサイズはPMOS, NMOSともに $4.2\ [\mu\text{m}]$ である。

3.2 サイジングのみを行った比較評価用のセルライブラリの設計

提案手法の比較評価用にサイジングのみを行ったライブラリ(以降, SZ-Lib)を設計した。SZ-LibはOrg-Libと同じ論理55種で構成されている。それぞれの論理はトランジスタサイズが $2.8\ [\mu\text{m}]$ と $1.4\ [\mu\text{m}]$ の2個のセルで実現されており, 総セル数は110個である。SZ-LibはOrg-Libと混在して使用するため, セルの高さとウェルの高さをOrg-Libと同じ値にした。

3.3 低消費電力セルライブラリの設計

3.3.1 低消費電力セルライブラリの構成

低消費電力セルライブラリ(以下, LP-Lib)の論理はOrg-Libと同じ論理55種にAND-OR, OR-ANDの4種を加えて^{☆4}, 合計59種類で構成した。LP-Libの各論理はそれぞれ2個のセルで実現されている。まず, 可能な限り低消費電力化を目指したSingle Width Set(以下, SWset)である。SWsetでは遅延時間を犠牲にしても消費電力を減らすため, 出力を駆動するトランジスタのサイズを $1.4\ [\mu\text{m}]$ に, 論理を構成する

^{☆3} INV/BUFのセル数は6個ずつである。

^{☆4} 反転論理のAND-OR-INV, OR-AND-INVしかない論理(4種)に関してはそれらの非反転論理であるAND-OR, OR-ANDを追加した。

^{☆1} 図3のレイアウトに関し特許出願されている。

^{☆2} 3章のOrg-LibにLP-Libを追加する場合である。

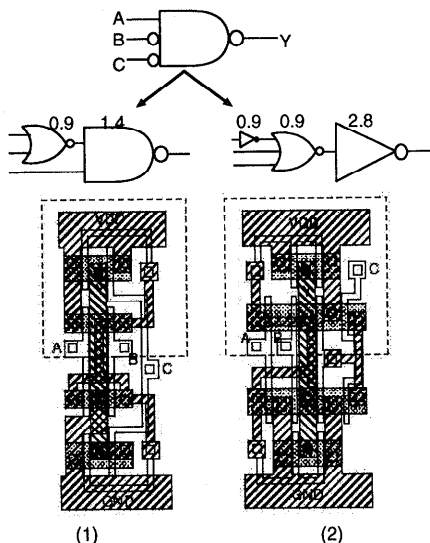


図4 NAND32ゲートの論理の表現。(1) SWset用,
(2) DWset用[☆]

Fig. 4 Representations of NAND32. (1) for SWset,
(2) for DWset.

トランジスタのサイズを $0.9[\mu\text{m}]$ にした。もう1つのセルは、遅延時間の増加を抑えながら ED 積の削減を目指した Double Width Set (以下, DWset) である。DWset では遅延時間の増加を抑えるために、出力を駆動するトランジスタのサイズを $2.8[\mu\text{m}]$ に、論理を構成するトランジスタのサイズを $0.9[\mu\text{m}]$ または $1.4[\mu\text{m}]$ にした^{☆☆}。SWset と DWset のセル数はそれぞれ 59 個で、LP-Lib は合計 118 個のセルで構成される。LP-Lib は Org-Lib と混在して使用するため、セルの高さとウェルの高さを Org-Lib と同じ値にした。

3.3.2 Single Width Set の設計

SWset は回路の動作速度を多少犠牲にしても回路合成後の消費電力を抑えることを目的としたサブセット・ライブラリである。すなわち、エネルギー最小を目指したものである。各論理は最もトランジスタ数が少なくなるようなトランジスタ構成を用いて設計する。具体的に NAND32ゲートを用いて説明する。NAND32ゲートは図4に示すように複数の構成方法が存在する。SWset ではこの中でトランジスタ数が最も少ない図4の(1)の構成方法を用いる。SWset の構成はインバータ/バッファ2個 (3.4%) と出力段にインバータ

を配置したセル 19 個 (32.2%), NAND32 と同様の 2 段論理セル 26 個 (44.1%), 1 段の反転論理セル 12 個 (20.3%) である。

3.3.3 Double Width Set の設計

DWset は負荷遅延の増加を抑えながら ED 積の削減を目的とするサブセット・ライブラリである。各論理はできるだけ出力段にインバータを配置する構成をとり、負荷遅延を抑えつつ、セル内のトランジスタのサイズを小さくする。SWset 同様に NAND32ゲートを用いて具体的に説明する。図4の(1)の構成はトランジスタ数は少ないが、出力の駆動にトランジスタが直列に2個接続されることになる。この場合、 $2.8[\mu\text{m}]$ のトランジスタサイズでは駆動力を十分確保することができない場合がある。それに対し、出力段にインバータを配置するセルでは、トランジスタ1個で駆動できるため、負荷遅延をトランジスタサイズが $4.2[\mu\text{m}]$ の Org-Lib と同等かそれ以下に改善することができる。そこで、DWset では出力段にインバータを置く構造を積極的に用いて、小さいサイズのトランジスタで駆動力を確保する構造をとる。NAND32の例では DWset の場合、図4の(2)に示すようにトランジスタ数が増加したが、論理を構成するトランジスタのサイズを小さくできたため、トランジスタサイズの総和 (トランジスタの W をすべて加えたもの) を Org-Lib より小さく抑えることができた。この例では Org-Lib の約 38% である。DWset はインバータ/バッファ2個 (3.4%) と出力段にインバータを置くセル 30 個 (50.8%), 2 段論理セル 15 個 (25.4%), 1 段の反転論理セル 12 個 (20.3%) で構成した。SWset に比べて、出力段にインバータを置くセルの割合を 32.2% から 50.8% に増加させた。

4. 評価

本章では提案ライブラリ LP-Lib と、単に小さいトランジスタのセルで構成したライブラリ SZ-Lib の比較評価を行う。評価に用いたライブラリは以下の3種である。

- 既存の CMOS ライブラリ, Org-Lib
- Org-Lib に SZ-Lib を追加したライブラリ (以下, SZmx-Lib)
- Org-Lib に LP-Lib を追加したライブラリ (以下, LPmx-Lib)

ただし, SZmx-Lib と LPmx-Lib の論理合成用ライブラリを作成するとき, 同論理, 同面積のセルが複数存在する場合は, より消費電力の低いセルの面積値を微

[☆] 図4のレイアウトに関し特許出願されている。

^{☆☆} トランジスタの内部遅延が大きい場合は内部遅延の短縮を消費電力削減より優先させ、トランジスタのサイズを $1.4[\mu\text{m}]$ にした。

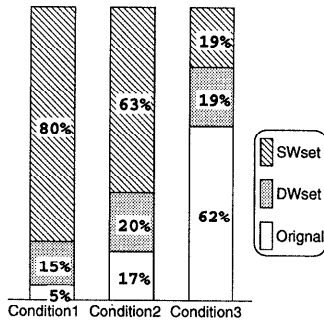


図5 LpMx-Lib内の各ライブラリセットの面積使用率
Fig. 5 Composition ratio of cell library sets' area in LpMx-Lib.

小量減少させた^{*}。これにより、論理合成時に面積最小制約を与えると、消費電力の低いセルが優先的に使用されることになり、近似的に消費電力最小の回路が合成できると期待される^{**}。

4.1 自動合成による評価

評価用ベンチマーク回路として MCNC の Combinational Multi-Level Examples⁷⁾のうち、回路規模の大きい10種を選んだ。合成には市販の自動合成ツールを用い、それぞれのライブラリを用いて以下の3つの制約条件のもとに論理合成を行った^{***}。

条件1 面積最小制約、最も緩い遅延制約値。

遅延制約値は、Org-Libのみを用いた場合の遅延制約なし、面積最小制約で合成された回路の静的遅延値。

条件2 面積最小制約、中間的な遅延制約値。

遅延制約値は条件1と条件3の間の値。

条件3 面積最小制約、最もきつい遅延制約値。

遅延制約値は、Org-Libのみを用いた場合の遅延最小・面積最小制約で合成された回路の静的遅延値。

表2に合成時の遅延制約値および各ライブラリでの総セル面積を示す。また、図5にLpMx-Libで合成した場合の、各制約条件ごとのライブラリセットの平均セル面積使用率を示す。

SZmx-Libの場合、どの条件においても総セル面積

表2 自動合成結果

Table 2 Logic synthesis results.

回路名	遅延制約 [ns]	総セル面積 [μm^2](ratio)		
		Org-Lib	SZmx-Lib	LPmx-Lib
制約条件 1	C3540	12.01	54331.21 (1.01)	(0.85)
	C7552	8.93	88935.00 (1.07)	(0.77)
	alu4	10.01	34690.04 (1.08)	(0.89)
	dalu	6.88	37147.88 (1.00)	(0.84)
	frg2	7.32	35875.84 (1.02)	(0.90)
	i10	15.43	103121.47 (1.01)	(0.81)
	i8	6.34	52584.83 (0.84)	(0.78)
	k2	7.78	44111.75 (1.06)	(0.92)
	pair	5.66	75179.72 (1.04)	(0.80)
	x3	3.03	37385.04 (1.02)	(0.88)
平均			(1.01)	(0.83)
制約条件 2	C3540	8.22	54891.76 (1.04)	(0.88)
	C7552	6.33	92729.55 (1.09)	(0.84)
	alu4	6.61	38182.77 (0.98)	(0.87)
	dalu	4.83	37514.41 (1.03)	(0.90)
	frg2	4.34	37126.32 (1.04)	(0.96)
	i10	9.84	104932.52 (1.02)	(0.85)
	i8	3.90	46957.68 (1.09)	(0.91)
	k2	4.95	45513.16 (1.09)	(0.96)
	pair	3.82	78607.77 (1.04)	(0.85)
	x3	2.09	37837.80 (1.04)	(0.93)
平均			(1.05)	(0.88)
制約条件 3	C3540	4.43	71449.84 (1.12)	(1.02)
	C7552	3.72	104328.83 (1.08)	(0.91)
	alu4	3.34	60518.90 (0.96)	(0.91)
	dalu	2.78	42904.40 (1.09)	(0.96)
	frg2	1.55	65369.91 (0.96)	(0.92)
	i10	4.25	135741.77 (1.05)	(0.90)
	i8	1.46	83609.68 (1.07)	(0.99)
	k2	2.11	70134.68 (1.01)	(1.01)
	pair	2.13	104048.54 (1.09)	(0.98)
	x3	1.16	45836.56 (1.09)	(0.95)
平均			(1.05)	(0.95)

は Org-Lib より若干増加した。これは SZ-Lib のセルは面積削減は行われておらず、セルの駆動力のみが低下したためである。

一方、LPmx-Libの場合、遅延制約が緩い条件1では SWset, DWset の面積使用率がそれぞれ平均 80%, 15% と全体の 95% を占め、総セル面積を Org-Lib の 83% (平均) に削減することができた。条件2の場合でも SWset, DWset の面積使用率はそれぞれ平均 63%, 20% と全体の 83% を占め、総セル面積を Org-Lib の 88% (平均) に削減できた。遅延制約が最もきつい条件3では SWset, DWset の面積使用率はそれぞれ平均 19%, 19% と全体の 38% を占めるにとどまり、総セル面積は Org-Lib の 95% (平均) であった。以上のことから、提案ライブラリの拡散2段縦積み構造がセル面積削減に効果的であることが示された。

また、SWset の場合は最も面積削減効果が大きい

^{*} セルのレイアウトを変更するのではなく、自動合成ツール用のライブラリ記述のみを変更した。

^{**} この操作は合成時に消費電力を考慮するような論理合成ツールを用いる場合は不要である。

^{***} 条件3の場合は、遅延制約値を求める際に用いた同ライブラリ (Org-Lib) を用いて、評価用の合成を行ったにもかかわらず、遅延制約違反の回路が多数現れた。この問題を回避するため、合成を行う際、最適化オプションを遅延制約値を求めるときよりも1レベル高くした。

表3 既存ライブラリ, サイジングのみのライブラリと提案ライブラリによるレイアウト結果
Table 3 Layout results of using original, only sizing, and proposed library.

回路名	Org-Lib			SZmx-Lib			LPmx-Lib			
	面積 [μm^2]	総 Tr. 幅 [μm]	消費電流 [mA]	面積 (ratio)	総 Tr. 幅 (ratio)	消費電流 (ratio)	面積 (ratio)	総 Tr. 幅 (ratio)	消費電流 (ratio)	
制約条件 1	C3540	0.059	14218.4	1.52	(1.01)	(0.44)	(0.66)	(0.86)	(0.39)	(0.61)
	C7552	0.095	23489.2	4.95	(1.07)	(0.45)	(0.62)	(0.79)	(0.38)	(0.50)
	alu4	0.039	9109.8	0.91	(1.14)	(0.52)	(0.72)	(0.98)	(0.44)	(0.63)
	dalu	0.044	9795.8	0.77	(1.00)	(0.41)	(0.61)	(0.86)	(0.36)	(0.54)
	frg2	0.040	9388.4	0.85	(1.10)	(0.39)	(0.67)	(0.96)	(0.37)	(0.63)
	i10	0.134	26860.4	2.51	(1.02)	(0.41)	(0.71)	(0.92)	(0.36)	(0.61)
	i8	0.075	14089.6	1.20	(0.78)	(0.32)	(0.60)	(0.81)	(0.31)	(0.60)
	k2	0.053	11701.2	0.55	(1.02)	(0.47)	(0.74)	(0.99)	(0.41)	(0.74)
	pair	0.083	19768.0	1.97	(1.02)	(0.47)	(0.70)	(0.83)	(0.38)	(0.61)
	x3	0.044	9850.4	1.00	(1.01)	(0.40)	(0.67)	(0.86)	(0.38)	(0.58)
平均				(1.02)	(0.43)	(0.66)	(0.88)	(0.38)	(0.58)	
制約条件 2	C3540	0.060	14383.6	1.50	(1.09)	(0.55)	(0.75)	(0.88)	(0.47)	(0.72)
	C7552	0.101	24515.4	5.00	(1.10)	(0.59)	(0.67)	(0.83)	(0.52)	(0.61)
	alu4	0.044	9972.2	0.98	(1.00)	(0.60)	(0.67)	(0.86)	(0.54)	(0.65)
	dalu	0.044	9919.0	0.73	(0.99)	(0.51)	(0.70)	(0.87)	(0.50)	(0.63)
	frg2	0.044	9704.8	0.88	(1.01)	(0.49)	(0.69)	(0.91)	(0.44)	(0.60)
	i10	0.135	27417.6	2.54	(1.07)	(0.49)	(0.73)	(0.98)	(0.42)	(0.64)
	i8	0.074	12399.8	1.22	(0.80)	(0.53)	(0.68)	(0.79)	(0.43)	(0.63)
	k2	0.058	12055.4	0.57	(0.99)	(0.59)	(0.77)	(0.91)	(0.52)	(0.76)
	pair	0.086	20729.8	2.00	(1.08)	(0.57)	(0.74)	(0.88)	(0.50)	(0.67)
	x3	0.044	10003.0	1.03	(1.01)	(0.53)	(0.75)	(0.89)	(0.49)	(0.64)
平均				(1.01)	(0.55)	(0.72)	(0.89)	(0.48)	(0.66)	
制約条件 3	C3540	0.077	19614.0	2.27	(1.12)	(0.90)	(0.96)	(1.07)	(0.83)	(0.89)
	C7552	0.112	27785.8	5.13	(1.09)	(0.79)	(0.87)	(0.91)	(0.71)	(0.83)
	alu4	0.066	17071.6	1.93	(1.00)	(0.82)	(0.75)	(0.91)	(0.80)	(0.81)
	dalu	0.051	11452.0	0.85	(1.01)	(0.85)	(1.13)	(0.90)	(0.70)	(1.03)
	frg2	0.074	18194.4	1.50	(0.92)	(0.85)	(0.82)	(0.89)	(0.82)	(0.89)
	i10	0.174	36773.8	3.32	(1.05)	(0.75)	(0.91)	(0.91)	(0.67)	(0.86)
	i8	0.092	24484.6	2.13	(1.10)	(1.01)	(1.28)	(1.00)	(0.91)	(0.97)
	k2	0.078	19310.2	1.58	(1.00)	(0.85)	(0.98)	(0.99)	(0.88)	(0.98)
	pair	0.112	28684.6	2.76	(1.09)	(0.88)	(0.92)	(1.00)	(0.83)	(0.88)
	x3	0.051	12433.4	1.26	(1.14)	(0.85)	(0.88)	(1.00)	(0.80)	(0.81)
平均				(1.05)	(0.86)	(0.95)	(0.95)	(0.80)	(0.89)	

が駆動力が小さいため、遅延制約値が小さくなるに従い、使用率が著しく低下した。一方、DWsetの場合は遅延制約値が小さくても、ある一定の使用率を示した。これは出力段にインバータを配置したセルを積極的に用いることで、駆動力を確保できるためであると考えられる。

4.2 レイアウト後の評価

自動合成を行った各回路を自動配置配線ツールを用いてレイアウトを行った。各回路のレイアウトから配線容量を抽出し、電力シミュレータにより平均消費電流を測定した。測定条件は電源電圧 3.3 [V], 動作周波数 10 [MHz] で、テストベクタにランダムな 100 通りの入力パターンを用いた。レイアウト後の面積と総トランジスタ幅および平均消費電流を表 3 に示す。総トランジスタ幅は合成された回路の各トランジスタのゲート幅の総和であり、回路の自動合成時にすでに得

られる結果であるが、消費電流の削減率との比較のため本節で示した。表 3 には Org-Lib のみ実値を示し、SZmx-Lib と LPmx-Lib は Org-Lib に対する比率のみを示した。

まず面積では、SZmx-Lib の場合は総セル面積同様 Org-Lib に比べ若干増加した。一方、LPmx-Lib の場合は条件 1 で 88%, 条件 2 で 89%, 条件 3 で 95% と面積を削減することができ、総配線長を短くすることができた^{*}。総トランジスタ幅ではサイジングのみを行った SZmx-Lib がそれぞれ CMOS の 43%, 55%, 86% であった。一方、LPmx-Lib の場合は 38%, 48%, 80% であり、どの条件においても SZmx-Lib よりさらに 5~7% 削減することができた。これは単に小さい

^{*} 総配線長は Org-Lib に比べ、条件 1, 条件 2, 条件 3 でそれぞれ 89%, 91%, 97% であった。

トランジスタを用いたセルよりも、トランジスタ数を増やしても出力段にインバータを配置し負荷遅延を削減したセルの方が回路全体の総トランジスタ幅をより小さくできるためであると考えられる。総配線長の削減と総トランジスタ幅の削減の結果、LPmx-Libは平均消費電流を条件1、条件2、条件3でそれぞれ平均58%、66%、89%にすることができた。SZmx-Libの消費電流よりさらに6~8%削減した値である。

これらの結果から、提案セルライブラリ、LP-LibをOrg-Libに追加することで、低速な回路から高速な回路まで低消費電力化が達成できることを示した。SZmx-LibとLPmx-Libの差が小さいのは用いたプロセスでは配線に起因する遅延の割合が小さかったので、出力段にインバータを配置するセルの効果が顕著に現れなかったためであると考えている。また、今回の実験では評価できなかったが、出力段にインバータを配置したセルを積極的に用いることで、レイアウト後の遅延制約違反の削減が期待できる。

5. 8ビットCPUの設計事例

Intel社の8ビットマイクロコントローラ8051互換のRTL記述ソフトコアIP(以下、M8051)を用いた設計事例について報告する⁸⁾。M8051は動作タイミングも含めて、標準の8051と互換性がある。64KBまでの外部データメモリ、256Byteまでの内部データメモリ、64KBまでのプログラムメモリを持つことができる。また周辺回路として2つの16ビットタイマ・カウンタとシリアルポートを内蔵する。

M8051は電源電圧3.3[V]、動作周波数40[MHz]の制約条件のもとに以下の2種類のライブラリを用いて自動合成し、自動配置配線ツールでタイミングドリブンレイアウトを行った。ライブラリは前章までに述べたライブラリを含み、より規模の大きいフルセット版である。

- (1) 総セル数約400個の中高速向けセルライブラリ(Org-Libのフルセット、以降Org-FS-Lib)
- (2) Org-FS-Libに総セル数252個の低消費電力ライブラリ(LP-Libのフルセット)を追加したライブラリ(以降、LPmx-FS-Lib)

レイアウト後の回路から配線容量を抽出し、トランジスタレベルのシミュレーションで動作周波数40[MHz]でタイミング検証を行った。テストパターンは8051の全命令の99%を網羅するタイミング検証用のものである。またM8051の消費電流を、配線容量を抽出した結果から電力シミュレータを用いて測定した。消費電力測定のためのテストパターンはタイミング検証に用

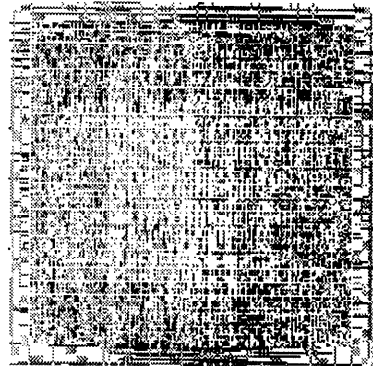


図6 M8051のレイアウト

Fig.6 M8051 (Layout).

いたテストパターンの一部を用いた。LPmx-FS-Libで設計した回路はOrg-FS-Libで設計した回路に比べて、レイアウト面積で93.4%、消費電力で67.2%となり、実質的な回路においても提案セルライブラリが面積、消費電力で良好な結果となることを示した。LPmx-FS-Libで設計したM8051のレイアウトを図6に示す。

6. む す び

既存の中高速向けCMOSセルライブラリに追加し、混在で使用できる低消費電力CMOSセルライブラリを開発した。開発したセルライブラリは以下の2つの方法を用いて設計を行った。

- (1) 出力段にインバータを置くセルを積極的に用いることで、遅延時間の増加を抑えながらトランジスタサイジングを行う。
- (2) 拡散層の2段縦積み構造をとることによりレイアウト面積を削減する。

設計したライブラリは可能な限り低消費電力化を目指したSWsetと遅延時間の増加を抑えながらED積の削減を目指したDWsetである。

開発したセルライブラリを既存のCMOSセルライブラリに追加し、ベンチマーク回路10個を用いて論理合成を行った。既存のCMOSセルライブラリのみで合成した回路に比べ、遅延制約が緩い場合に提案セルが使われる割合(面積比)は平均95%で、総セル面積は平均17%減、総トランジスタ幅は平均62%減となった。合成によって得られた各回路については自動配置・配線を行い、シミュレーションを用いて消費電力を計測した。その結果、遅延制約が緩い場合は、面積で平均12%減、消費電流で平均42%減となり、提案手法の有効性を示せた。

謝辞 8051のソフトコアIPを提供していただいた、

Mentor Graphics 社に感謝いたします。本稿に記載の低消費電力 CMOS セルライブラリは (有) エー・アイ・エルとの共同研究によるものであり、フルセットのライブラリは同社よりご提供いただきました。また、日頃より技術上のご支援をいただくシャープ (株) に感謝いたします。

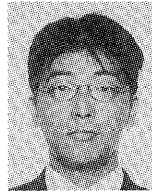
参 考 文 献

- 1) Kuroda, T. and Sakurai, T.: Overview of Low-Power ULSI Circuit Techniques, *IEICE Trans. Electronics*, Vol.E78-C, No.4, pp.334-344 (1995).
- 2) Saika, S., Fukui, M., Shinomiya, N. and Akino, T.: A Two-dimensional Transistor Placement for Cell Synthesis, *Asia and South Pacific Design Automation Conference* (1994).
- 3) 桜井貴康ほか: 低消費電力, 高速 LSI 技術, リアライズ社 (1998).
- 4) Theiβinger, M.R. and Hindmarsh, R.D.: Layout Optimization of Planar CMOS Cells Regarding Width-to-Height Trade-Off, *European Design Automation Conference* (1994).
- 5) Usami, K., Igarashi, M., Minami, F., Ishikawa, T., Kanazawa, M., Ichida, M. and Nogami, K.: Automated Low-Power Technique Exploiting Multiple Supply Voltages Applied to a Media Processor, *IEEE J. Solid-State Circuits*, Vol.33, No.3, pp.463-472 (1998).
- 6) Usami, K., Ishikawa, T., Kanazawa, M. and Kotani, H.: Low-Power Design Technique for ASICs by Partially Reducing Supply Voltage, *IEEE Int. ASIC Conf.*, pp.301-304 (1996).
- 7) Yang, S.: *Logic Synthesis and Optimization Benchmarks User Guide Version 3.0*, MCNC (1991).
- 8) 堀貴代秀, 村田 豊, 瀧 和男: ソフトコア IP を用いた低消費電力 LSI 設計—低消費電力 CMOS セルライブラリの応用と評価, 電子情報通信学会技術研究報告, VLD98-54, Vol.98, No.287, pp.63-70 (1998).
- 9) 日経マイクロデバイス編: 低電力 LSI の技術白書 1 ミリ・ワットへ挑戦, 日経 BP 社 (1994).
- 10) 村田 豊, 宇田研一郎, 李 副烈, 瀧 和男, 溝口 豪: 低消費電力 CMOS ライブラリの試作, 電子情報通信学会技術研究報告, VLD98-70, Vol.98, No.118, pp.61-68 (1998).
- 11) 五十嵐睦典, 宇佐美公良, 野上一孝, 南 文裕, 川崎幸雄, 青木孝哲, 高野みどり, 水野千春, 石川貴史, 市田真琴, 金沢正博, 園田慎次, 畑中直行: 多電源を用いた低消費電力化設計手法, DA

シンポジウム'97 論文集, pp.93-98, 情報処理学会 (1997).

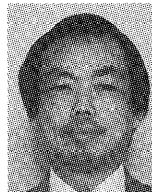
(平成 10 年 9 月 21 日受付)

(平成 10 年 12 月 7 日採録)



李 副烈 (学生会員)

昭和 46 年生。平成 6 年神戸大学工学部システム工学科卒業。平成 8 年同大学院博士前期課程情報知能工学修了。現在、同博士後期課程在学中。LSI の低消費電力化技術に興味を持つ。平成 10 年山下記念研究賞授賞。電子情報通信学会会員。



瀧 和男 (正会員)

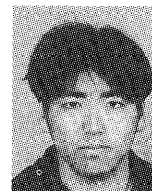
昭和 27 年生。昭和 51 年神戸大学工学部電子工学科卒業。昭和 54 年同大学院修士課程システム工学修了。工学博士。同年 (株) 日立製作所入社。昭和 57 年 (財) 新世代コンピュータ技術開発機構に転出。逐次型および並列型推論マシンと並列応用プログラムの研究開発に従事。平成 2 年同機構第 1 研究室室長。平成 4 年 9 月神戸大学工学部情報知能工学科助教授。平成 7 年 4 月同学科教授。LSI 設計技術と CAD, 並列処理とマシンアーキテクチャ, 脳型コンピュータ等に興味を持つ。電子情報通信学会, IEEE, ソフトウェア科学会, ACM, 日本神経回路学会各会員。



堀 貴代秀

学生会員。

昭和 49 年生。平成 9 年神戸大学工学部情報知能工学科卒業。現在、同大学院博士前期課程情報知能工学在学中。低消費電力トップダウン設計に興味を持つ。電子情報通信学会



村田 豊

昭和 50 年生。平成 10 年神戸大学工学部情報知能工学科卒業。現在、同大学院博士前期課程情報知能工学在学中。LSI の低消費電力化技術に興味を持つ。