

P2Lib: スタANDARDセルライブラリ自動生成システム

小野寺 秀俊[†] 平田 昭夫^{††} 北村 晃 男^{††,*}
小林 和 淑[†] 田丸 啓 吉[†]

P2Lib は、与えられた製造プロセス情報に基づいて、STANDARDセルライブラリを自動生成するシステムである。マスク製造、自動配置配線、論理合成、シミュレーションなどのLSI設計に必要なライブラリ一式を生成する。P2Libは、異なる製造プロセスに対して同一のライブラリを提供するため、ゲートレベル既設計回路の再利用が可能になる。P2Libの特徴は、セルの動作特性解析法として、回路シミュレーション以外に解析的手法を用意していることである。これにより、多様な動作条件やプロセス条件におけるライブラリを高速に生成でき、設計における自由度を大きく広げることができる。P2Libの利用者は、ライブラリに関するすべての情報を入手できるため、大学や高専におけるLSI設計教育や研究を目的とした利用に適している。

P2Lib: Process Portable Library and Its Generation System

HIDETOSHI ONODERA,[†] AKIO HIRATA,^{††} TERUO KITAMURA,^{††,*}
KAZUTOSHI KOBAYASHI[†] and KEIKICHI TAMARU[†]

This paper describes a process-portable library and its generation system called P2Lib. From technology parameters which characterize a fabrication process, P2Lib generates a complete set of standard cell libraries for logic synthesis, logic simulation, and layout synthesis. A distinctive feature of P2Lib is the rapid characterization of timing and power dissipation by an analytic-oriented method, as well as the accurate characterization by circuit simulation. A designer can quickly create a library under various operating conditions and process specifications, so that he can examine his design with CAD tools. The quality of generated libraries (layout and timing) are discussed and a design example with P2Lib is presented.

1. はじめに

ASICは、あらかじめ設計されたセルライブラリを用いて設計される。ライブラリの特徴は、設計回路の品質に直接関係する。そのため、セルライブラリは、製造プロセスの性能が最大限引き出されるよう最適化設計され、ASIC製造業者より設計者に供給されるのが一般的である。ライブラリの特徴は製造プロセスにより規定されることから、ライブラリが製造プロセスに依存したものとなることは避けられない。しかしながら、製造プロセスごとに独立に設計され、ASIC製造業者より提供されるライブラリの利用には、3つの問題点がある。

第1の問題点は、既設計回路のゲートレベルにおける再利用性が低くなることである。製造プロセスや製造業者が異なる場合、ライブラリの内容も異なるため、過去の設計資産のゲートレベルでの再利用が困難になる。

第2の問題点は、限られた情報しか提供されないことである。ライブラリは製造業者の重要な資産であるため、特定の情報が秘密保持契約の下で開示されるだけであり、すべての情報が提供されるわけではない。新規な設計手法を用いたり、詳細な解析を行いたい場合には、必要な情報が不足する。また、LSIの設計教育や研究においては、すべての情報が公開されたライブラリが必要である。

第3の問題点は、多様な動作条件やプロセス条件におけるライブラリが提供されないことである。これは、ライブラリの開発に長い期間を必要とし、開発コストが高いことに起因する。今後、低消費電力設計や高速化設計のためには、電源電圧や閾値電圧の調節をも検討することが必要になる¹⁾。しかし、非標準条件に対

[†] 京都大学情報学研究科
Graduate School of Informatics, Kyoto University

^{††} 京都大学工学研究科
Graduate School of Engineering, Kyoto University

^{*} 現在、日立製作所
Presently with Hitachi Ltd.

応したライブラリが提供されなければ、設計や評価は不可能である。

これらの問題を解決するために、製造プロセスを自由に変更できる、CMOSスタンダードセルライブラリの自動構築システムP2Lib (Process Portable Library)を開発した。製造プロセスの特性を表す情報を与えると、その製造プロセス用のスタンダードセルライブラリを自動設計する。自動配置配線用のレイアウトライブラリ、論理合成や論理シミュレーション用のタイミングライブラリや消費電力ライブラリなど、設計に必要なライブラリ一式を自動生成する。本システムの最も特徴的な部分は、遅延や消費電力情報を生成する手段として、回路シミュレーションを用いた解析手法以外に、解析的な手法を提供していることである。前者の手法は、高い精度で遅延や消費電力を求めることができるが、多大な計算時間を必要とする。一方、後者の手法は、実用的な精度の特性を高速に求めることができる。これにより、種々の動作条件やプロセス条件における各種のライブラリ情報を迅速に提供することができる。

P2Libにより、先の3つの問題は以下のように解決される。P2Libは、異なった製造プロセスに対して同一のライブラリを提供するため、ゲートレベルにおける既設計回路の再利用が可能になる。また、生成ライブラリは公開されており、P2Libの利用者はライブラリに関するすべての情報が入手できる。特に、大学や高専におけるLSI設計の教育や研究において利用価値が高い。また、多様な動作条件やプロセス条件でのライブラリを高速に生成できるため、設計における自由度を大きく広げることができる。

以下、本論文では、P2Libの概要と構成を2章で説明する。P2Libが生成するライブラリ情報は大きくレイアウト情報と動作(遅延、消費電力)情報に分類できる。レイアウト情報生成手法を3章で説明する。動作情報生成手法を4章で述べる。5章では、商用CADへの実装方法について説明する。P2Libで生成したレイアウトや遅延情報の評価結果は6章で説明する。P2Libの使用例について7章で紹介する。

2. P2Libの概要

P2Libは、CMOS2層メタルプロセスのスタンダードセルライブラリを自動構築するシステムである。製造プロセスの情報を与えることにより、そのプロセスに対応した、LSI設計に必要な各種ライブラリを生成する。

LSI設計用ライブラリに必要な情報は、論理素子の

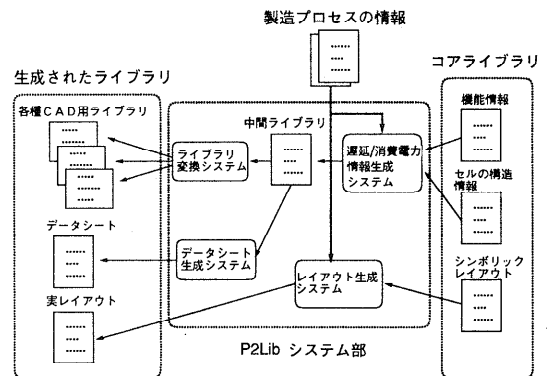


図1 P2Libの構成

Fig. 1 Structure of P2Lib.

名称やシンボル、真理値表や論理式などの機能記述、トランジスタレベルのネットリストなど製造プロセスに依存しない情報と、レイアウトや動作特性など製造プロセスに依存する情報に分類できる。

製造プロセスに依存しない情報は、事前に作成したものを各プロセス共通に利用すればよい。製造プロセスに依存するレイアウトと動作特性情報については、製造プロセス情報より自動生成する機構が必要になる。P2Libのシステム構成を図1に示す。実際のライブラリデータを生成するP2Libシステム部とコアライブラリから構成される。P2Libシステム部は、遅延/消費電力情報生成システム、レイアウト生成システム、生成した遅延情報を各種CADツール用に変換するライブラリ変換システム、データシート生成システムで構成されている。コアライブラリは各ライブラリ生成システムに入力する情報の集合であり、あらかじめP2Libシステム部とともに準備する。機能情報、構造情報、シンボリックレイアウトを含んでいる。

P2Libに与える製造プロセス情報として、レイアウト生成に必要なものは、実際のデザインルールである。遅延情報の生成に必要なものは、トランジスタの動作特性や各種の容量値を計算するためのパラメータ群である。遅延/消費電力情報生成システムは、それらの情報とコアライブラリの情報を用いて、各セルの動作特性を算出する。求められた動作特性は、独自のフォーマットを持つファイル（これを中間ライブラリと呼ぶ）に書き出される。中間ライブラリには、各種設計工程において必要となるすべての情報が記述されている。実際のCADツールが用いるライブラリは、この中間ライブラリより必要な情報を選択し、所定のフォーマットに変換して作成する。これを行うのがライブラリ変換システムである。マスクレイアウトの情報は、コアライブラリのシンボリックレイアウトと製

表 1 P2Lib のセル構成
Table 1 List of cells in P2Lib.

group	cell_name	logic(function)
stuck	one	pull up
	zero	pull down
	bus_hold	bus hold
inverter	inv1	inverter
	inv2	inverter(x2)
	inv4	inverter(x4)
buffer	buf1	buffer(x1)
	buf2	buffer(x2)
	buf4	buffer(x4)
tri_state_buffer	zbuf1	3state buffer(x1)
	zbuf2	3state buffer(x2)
	zbuf4	3state buffer(x4)
and	and2	2input and
	and3	3input and
	and4	4input and
nand	nand2	2input nand
	nand2p	2input nand(x2)
	nand3	3input nand
	nand3p	3input nand(x2)
or	or2	2input or
	or3	3input or
	or4	4input or
	nor	nor2
nor3		3input nor
nor4		4input nor
exclusive	xor2	2input xor
	xnor2	2input xnor
complex	aoi21	/(ab+c)
	aoi31	/(abc+d)
	oai21	/(a+b)c
	aoi22	/(ab+cd)
	oai22	/(a+b)(c+d)
	aoi23	/(ab+c+d)
	oai23	/(a+b)cd
	oai31	/(a+b+c)d
	aoi2x3	/(ab+cd+ef)
	aoi33	/(abc+def)
	oai2x3	/(a+b)(c+d)(e+f)
oai33	/(a+b+c)(d+e+f)	
selctor	sel21	MUX2_1
	sel12	de_MUX1_2
decoder	dec24	decoder2 to 4
	priority_enc	4bit priority encoder
D-latch	d_latch	D_latch(nomal)
	d_latch_s	D_latch(set)
	d_latch_r	D_latch(reset)
	d_latch_sr	D_latch(set&reset)
D-flipflop	dff	D.fipflop(nomal)
	dff_s	D.fipflop(set)
	dff_r	D.fipflop(reset)
	dff_sr	D.fipflop(set&reset)

造プロセスのデザインルールより、レイアウト生成システムが作成する。

現段階で P2Lib に含まれるセルの一覧を表 1 に示

す。合計 52 種類のセルが用意されている。必要なデータをコアライブラリに登録していくことで、新しいセルを追加することができる。この際の最も大きな作業は、シンボリックレイアウトの作成である。以下の章では、レイアウト情報の生成手法と、遅延や消費電力といった動作特性情報の生成手法、ならびに商用 CAD への実装方法について説明する。

3. レイアウト情報生成機構

レイアウト生成機構として、パリ第 6 大学が開発したシンボリックレイアウト手法^{2),3)}を採用した。これは、同大学が開発した LSI 設計システムである Alliance⁴⁾に用いられている手法である。製造プロセスから独立したシンボリックレイアウトと、製造プロセスのデザインルールから求めたパラメータより、対象プロセスのデザインルールを満たす実レイアウトを生成する。本手法の概要と、生成されたレイアウトの面積（密度）を評価した結果を説明する。

本手法でのシンボリックレイアウトは、仮想的なデザインルールの制約のもとに、 λ を単位とする格子上に配置された様々なシンボルの集合からなる図形情報として与えられる。シンボルとは、レイヤの種類、大きさ、位置などの情報を持つ矩形のことであり、その中心線が λ の格子上にくるように配置されることになる。一方、仮想的なデザインルールはシンボリックデザインルールと呼ばれ、現在のところ Alliance で用いられているものを採用している。このシンボリックデザインルールの主要なものを表 2 に示す。このデザインルールは λ を基本単位とした λ ルールとして定義されている。

シンボリックレイアウトから対象プロセスのデザインルールを満たす実レイアウトは、以下の手順で生成する。

- (1) デザインルールの対象となるすべてのレイヤの対を考える。レイヤ対の中心線間距離（ピッチ）がとりうる最小の値を、シンボリックデザインルールと製造プロセスのデザインルールの両方で計算する。
- (2) 各レイヤ対に対して、(1) で求めた最小ピッチの比をとり λ の値を算出する。
- (3) すべてのレイヤ対について算出された λ の最大値を最終的な λ の値とする。
- (4) 前工程で決定した λ の値に従ってシンボリックレイアウトを伸縮する。シンボリックレイアウトがシンボリックデザインルールを満たしていれば、対象プロセスのデザインルールを満たす

表 2 シンボリックデザインルール (抜粋)
Table 2 A part of symbolic design rules.

項目	ルール (λ)
Width:NWEL	4.0
Width:PWEL	4.0
Width:Active	2.0
Width:POLY	1.0
Width:Contact	1.0
Width:Via	1.0
Width:ALU1	1.0
Width:ALU2	2.0
Distance:NWEL	12.0
Distance:PWEL	12.0
Distance:Active	3.0
Distance:POLY	2.0
Distance:Contact	3.0
Distance:Via	3.0
Distance:ALU1	2.5
Distance:ALU2	2.0
Distance:Contact-Via	2.0
Distance:POLY-Active	1.0
Distance:POLY-Contact	2.0
Distance:POLY-Via	2.0
Distance:NWEL-Active	7.5

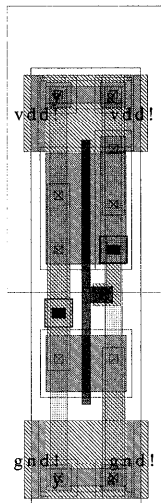


図 2 インバータの実レイアウト生成例 (0.5 μm プロセス)
Fig. 2 Generated layout of an inverter in a 0.5 μm process.

実レイアウトを得ることができる。ただし、コンタクトの大きさおよび最小線幅のセグメントは伸縮されず、対象プロセスのデザインルールで定められた大きさに変換する。

本手法により生成された実レイアウトの例を図 2 に示す。これは、ある 0.5 μm プロセス用に生成したインバータである。

本手法では、基本的にシンボリックレイアウトの伸縮により実レイアウトを生成する。そのため、生成さ

れるレイアウトの形状や動作特性は非常に予測しやすい。この点では、ライブラリ生成機構として好ましいものである。一方、シンボリックデザインルールと実際のデザインルールとは必ずしも一致しない。そのため、生成後のレイアウトには無駄な空間が発生することになる。本手法で生成されるレイアウトの密度は、各レイヤに対して算出された λ の分布によって決定される。 λ のばらつきが少ないほどレイアウトの密度は高くなり、冗長な面積が少なくなる。

4. 遅延/消費電力情報生成機構

遅延/消費電力情報生成システムでは、各セルにおけるトランジスタの接続情報 (ネットリスト)、シンボリックレイアウトでのトランジスタのサイズ情報といった製造プロセスに依存しない情報と、MOSFET の動作特性やレイアウト変換時に用いられる λ パラメータといった製造プロセスに依存した情報より、伝搬遅延時間や消費電力などの情報を生成する。

動作特性を評価する方法として、P2Lib には 2 種類の機構を用意した。第 1 の方法は、回路シミュレータ (HSPICE) を用いる方法である。この方法は、現時点では最も信頼度の高い情報が得られるが、多大な計算時間を要する。たとえば、50 種類のセルの評価に必要な計算時間は 15 時間程度になる。遅延評価条件を増やしたり、解析精度を上げたりする場合には、さらに長時間の計算が必要である。これに対し、第 2 の方法は、解析的な手法を用いるもので、動作特性を実用的な精度で高速に計算することができる。本方法の利用形態としては、種々の製造条件や電源電圧における動作特性を迅速に評価したい場合などを想定している。50 種類のセルの場合、3 分程度で論理合成や論理シミュレーション用のライブラリを生成できる。第 2 の方法は、インバータの遅延時間と消費電力をできる限り解析的な方法で求める手法^{6)~8)}が基本となっており、その概要を説明する。インバータへの入力信号が遷移している期間中、ターンオフする MOSFET には貫通電流が、ターンオンする MOSFET には負荷の充放電電流が流れる。また、駆動ゲートよりゲート容量を通じて電流が流入する。動作解析にあたり、これらすべての電流成分を考慮した。解析的な取扱いが困難な貫通電流成分については、時間的な変化を区分的に線形な関数で近似することにより、解析的な導出を可能にした。この方法により、貫通電流による消費電力を 15% 程度の誤差で見積もることができる⁹⁾。一般のスタティック CMOS 回路では、MOSFET の直並列接続で論理が構成されている。これらの直並列回路

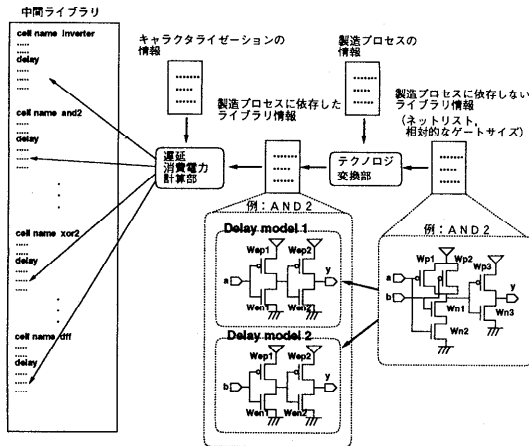


図3 遅延情報生成システムにおける解析的特性評価部の構成と処理の流れ

Fig. 3 Structure of the analytical characterization part in Timing/Power Analyzer and its processing flow.

は、トランジスタ群の縮約^{8),9)}により、等価的なインバータに置き換える。その結果、インバータが直列に接続された形として各論理ゲートが表現でき、遅延と消費電力の情報を求めることができる。

遅延/消費電力情報生成システムにおける解析的特性評価部の構成を図3に示す。ネットリストや縮約の規則を書いたファイルとシンボリックレイアウトにおけるトランジスタのサイズ情報は製造プロセスに依存しない情報である。レイアウト生成システムで用いられるパラメータ λ 、MOSFETパラメータは製造プロセスに依存した情報である。テクノロジー変換部を用いて、これら製造プロセスに依存しない情報と製造プロセスに依存した情報から基本モデルのライブラリを生成する。この基本モデルのライブラリとキャラクターライゼーションの規則を書いたファイルとから、遅延/消費電力計算部により必要な遅延情報を生成し、中間フォーマットのライブラリを生成する。このような手順により、遅延情報生成システムでは、セルごとに入力波形の遷移時間 t_T と出力負荷容量 C_L を入力変数として、伝搬遅延時間 t_{pd} と出力波形の遷移時間 t_{Tout} および消費電力量を出力する。また多入力端子のセルでは、入力端子と入力の組合せのパターンごとに、異なる遅延時間を計算できる。

5. 商用CADへの実装

P2Libにより生成したライブラリは、商用CADツールで利用可能な形態に加工し、実際のLSI設計に用いられている。ここでは、商用CADへの実装法について説明する。

表3 商用CAD上で利用可能な機能
Table 3 P2Lib on commercial CAD tools.

ツール	機能
Design Compiler	VHDL, Verilog 論理合成, VHDL ゲートレベルシミュレーション
DFII	回路シミュレーション, Verilog ゲートレベルシミュレーション, 回路図設計, Design Compiler を使用した論理合成, 自動配置配線
Aquarius	自動配置配線

```
mx0 d g s gnd nfet w='4u*lambda' l='1u*minLength'
+pd='12u*lambda' ps='12u*lambda'
+ad='16p*lambda*lambda' as='16p*lambda*lambda'
```

図4 パラメータ化したネットリスト

Fig. 4 Parameterized netlist.

5.1 ライブラリの機能

P2Libを実装する商用CADとして、Synopsys社のDesign Compiler, Cadence社のDesign Framework II (以下DFII), およびAvant!社のAquariusを取り上げた。各CADで利用可能な機能を表3に示す。

DFIIでは、上位から下位までの設計フローのほとんどすべてをサポートしている。論理シミュレーションおよび論理合成のためのライブラリは、P2Libシステムのみで作成している。自動配置配線用ライブラリについては、P2Libが作成したGDSIIデータとピン配置データを用いて対象CADツールが必要とするデータを作成した。DFII用の回路図データは、対象CADツール上で新たに構築した。これは、

- (1) 回路図データの統一フォーマットであるEDIF 200の汎用性が低い。
- (2) 回路図データのプロセス非依存性を確保する。という2つの理由からである。後者については、次に詳しく説明する。

5.2 設計データの設計プロセス非依存性

P2Libでは、パラメータを変更するだけで、様々なプロセスに対応できる。商用CAD上でも、この特性を活かすべく、ライブラリデータのプロセス非依存性を追求している。一般に回路図データからSPICEなどの回路シミュレータ用のデータを作成するためには、各プロセスごとのパラメータを回路図データに付加しなければならない。しかし、各プロセスごとに回路図データを用意しなければならないと、設計コストがかかる。そこで、回路図データ中には、パラメータ化した設計値のみをおき、ネットリスト上でその値を決定する手法をとった。図4に、そのHSPICE用ネットリストの一部を示す。lambda, minLengthを与えることに

表 4 生成レイアウトの評価. 生成レイアウトの寸法 (symbolic) と, コンパクション後の寸法 (inverter, modell, model2). 単位 [μm]

Table 4 Layout sizes in μm : before (symbolic) and after compaction (inverter, modell, model2).

Process	symbolic		inverter			modell		model2	
	height	width	height	width	area loss	height	area loss	height	area loss
A ($0.5 \mu\text{m}$)	27.3	7.8	22.3	5.4	43.6%	22.6	42.7%	23.2	41.1%
B ($0.8 \mu\text{m}$)	29.4	8.4	26.7	7.7	16.9%	27.4	14.6%	26.2	18.3%
C ($1.2 \mu\text{m}$)	44.1	12.6	39.4	11.7	17.1%	41.1	13.5%	39.3	17.2%
D ($1.5 \mu\text{m}$)	58.5	16.8	53.3	15.6	15.8%	54.8	13.5%	52.4	17.2%
E ($1.5 \mu\text{m}$)	47.5	13.6	42.3	10.5	31.0%	39.8	35.0%	38.7	36.9%

より, すべてのプロセスで同一のネットリストが使用できる.

5.3 シンボリックライブラリ

チップ試作を前提とした LSI 設計では, あらかじめ製造プロセスを決定し, 守秘義務契約を締結した後, 該当製造プロセス用のライブラリが利用可能となるのが普通である. 一方, 実際には LSI を製造せず, CAD のみを用いて学生の設計教育を行うという場合も想定される. この場合, 特定の製造プロセスを対象としたライブラリを使用することはできない. そこで, P2Lib では, コアライブラリに相当するデータを, いわゆるラムダルールライブラリとして利用可能としている. このラムダルールライブラリを用いて, 論理シミュレーション, 論理合成, 自動配置配線といった LSI 設計の一連の流れを体験することができる.

6. P2Lib ライブラリの評価

6.1 生成レイアウトの評価

P2Lib では, 基本的にシンボリックレイアウトの伸縮により実レイアウトを生成している. シンボリックデザインルールと実際のデザインルールとは必ずしも一致しない. そのため, 生成後のレイアウトには無駄な空間が発生することになる. 本手法で生成されるレイアウトの密度は, 各レイヤに対して算出された λ の分布によって決定される. λ のばらつきが少ないほどレイアウトの密度は高くなり, 冗長な面積が少なくなる.

λ の分布はシンボリックデザインルールに大きく依存する. そこで, 5 種類の製造プロセスを対象として, 現在のシンボリックデザインルールを用いて得られる実レイアウトの面積とこれをトポロジーを保存したまま縦横 2 方向に一次元的にコンパクションしたレイアウトとの面積を比較する実験を行った. 実験対象のレイアウトとして, シンボリックデザインルールではコンパクションのできないものを選び, 実際のデザインルールでコンパクションした場合の寸法を調べるものとする. ただし, セルによってレイアウトの寸法を

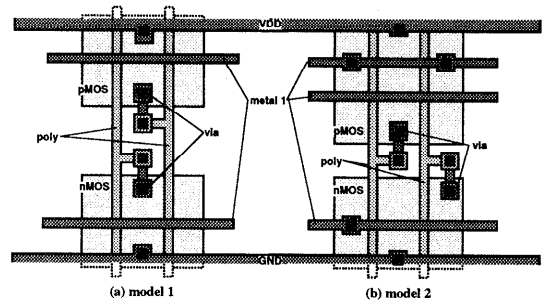


図 5 セルのモデル化

Fig. 5 Pseudo-cells for layout density evaluation.

規定する最長経路の種類が異なっていたり, また, シンボリックデザインルールの下でもコンパクション可能なものがある. そこで, 比較対象のセルとして, インバータとともに仮想的な 2 種類のモデル (modell, model2) を考えた. 本モデルは, 縦方向の長さを代表するセルとして, 標準ライブラリに類する 2 種類の縦方向の最長経路をモデル化したものである. その構造を図 5 に示す. 横方向の長さについては, 多くのセルにおいてインバータの最長経路の繰返しとなっている. そこで, 上述のモデルについても, インバータから得た結果で代表させることにした. シンボリックレイアウト手法で得られたレイアウトとコンパクション後のレイアウトの寸法, およびこの結果から算出した面積の冗長分を表 4 に示す. プロセス A ($0.5 \mu\text{m}$) と E ($1.5 \mu\text{m}$) 以外では, 面積の冗長成分は 20% 程度である. 一方, プロセス A と E では, 40% 程度の冗長成分が発生している. これらのプロセスでは, 縦方向の冗長成分に比べて横方向の冗長成分が大きくなっている. その主要原因としては, ゲートポリシリコンとコンタクト間距離の制約があげられる. プロセス A では, ゲートポリシリコンと拡散コンタクトのピッチから計算された λ が最終的な λ の 60% であった. これは, 生成されたレイアウトのゲートポリシリコンとコンタクト間の距離が, 最適に配置することによって 60% に削減できることを意味する. 同様に, プロセス E では, ゲートポリシリコンと拡散コンタクトのピッチ

表 5 誤差の検証に用いた入力波形の遷移時間 t_T と出力負荷容量 C_L の値
Table 5 Input transition time t_T and output load capacitance C_L for error analysis.

parameter	values
t_T	0.1, 0.2, 0.4, 0.6, 0.8, 1.0, 1.2, 1.4, 1.6, 1.8, 2.0 [ns]
C_L	0.1, 0.2, 0.4, 0.6, 0.8, 1.0, 1.2, 1.4, 1.6, 1.8, 2.0 [pF]

表 6 解析的に求めた遅延時間の誤差 (%)
Table 6 Errors (%) in analytical delay characterization.

cell_name	Ave. error	Max. error	Ave. error	Max. error
	rise [%]	rise [%]	fall [%]	fall [%]
inv	0.1	0.9	0.3	2.1
nand4	0.5	3.5	1.0	6.3
aoi21	0.5	3.7	0.9	6.5
aoi22	0.6	3.5	1.0	7.9
oai21	0.6	4.8	1.0	8.2
oai22	0.6	4.2	0.5	4.4
dff	3.5	5.0	1.8	5.0

から算出された λ が最終的な λ の 46% であり、生成されたレイアウトのゲートポリシリコンとコンタクト間の距離は、実際には半分以下にすることができる。ゲートポリシリコンと拡散コンタクトの間隔は、セルの横方向の長さを決定するトランジスタピッチに大きく影響を与える。このため、プロセス A と E において、横方向に大きな冗長度を持つ結果となった。実際、以下のようにシンボリックデザインルールを変更し、それに対応してシンボリックレイアウトを修正した場合を考える。

- ゲートポリシリコンとコンタクトの間隔を 2.0λ から 1.0λ に変更。
- ゲートポリシリコンとビアの間隔を 2.0λ から 1.0λ に変更。

この場合、インバータセルにおける面積損失は、プロセス A で 21.5%、プロセス E で 20.3% に減少する。一方、それ以外のプロセスでは、いずれも 40% 近い面積損失が発生した。

なお、表 4 に示した数値は、各セルごとに独立に評価して得られた冗長成分の最悪値である。スタンダードセルライブラリのセル寸法は、デザインルールのみならず、配線容易性や動作特性なども考慮したうえで、同一の高さに揃えられる。そのため、実際の冗長面積成分は表 4 の数値より小さくなる。

6.2 生成した遅延情報の評価

生成ライブラリの動作特性を評価する機構として、P2Lib には回路シミュレーションを用いる方法以外に、解析的な手法を用いる方法が用意されている。後者の方法を用いると、種々の動作条件やプロセス条件における動作特性を迅速に求めることができる。設計初期

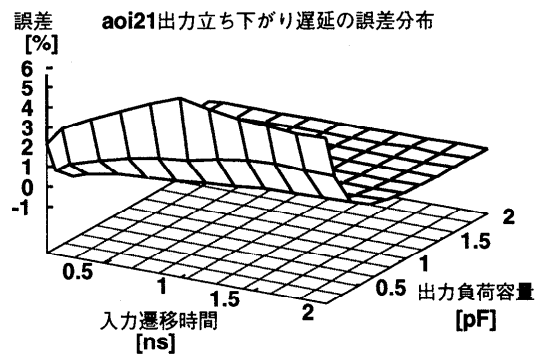


図 6 aoi21 のゲート遅延時間の誤差分布
Fig. 6 Error distribution of the evaluated delay time of an aoi21 gate.

段階において、設計回路の動作条件やプロセス条件の検討に用いたり、回路シミュレーションを用いてライブラリの詳細解析を行う際の解析条件を求めるために用いることができる。

解析的な手法により計算した遅延値を回路シミュレーションにより求めた値と比較し、その精度を評価した。チャンネル長 $0.5\mu\text{m}$ の製造プロセスを想定した。

入力波形の遷移時間 t_T と出力負荷容量 C_L に関して、表 5 に示すすべての組合せにおいて伝搬遅延時間の平均誤差と最大誤差を求めた。inv, nand, aoi, oai, dff に関する立ち上がりおよび立ち下がり遅延の誤差を表 6 に示す。多入力のセルについては、すべての入出力パスについて調べた結果を示している。また、aoi21 セルにおいて入力遷移時間と出力負荷容量によってどのように誤差が変化するかを図 6 に示す。出力負荷容量が小さく、入力遷移時間が大きいときに誤差が大きくなる傾向にあることが分かる。ただし、

出力負荷容量が小さいときはゲート遅延時間そのものが小さくなるので、絶対的な誤差は小さい。たとえば、図 6 において、相対誤差が最大値 5.7% となるときの絶対誤差は 0.026 ns である。

6.3 他のライブラリとの比較

0.5 μm プロセスを例にとり、P2Lib により生成されたライブラリと、他のライブラリとを比較した。

セルレイアウトが小さいほど製造コストが削減されるため、レイアウト面積は小さい方がよい。また、回路の動作速度はセルの動作速度に規定されるため、セルの動作速度は速い方がよい。一般にセルの動作速度はセル内のトランジスタサイズに大きく依存する。トランジスタサイズが大きいほど負荷の充放電が速くなり、セルの動作速度が向上する。一方、トランジスタサイズが大きくなるとレイアウト面積が大きくなる。スタンダードセルライブラリは、各セルの動作速度と面積のトレードオフを考慮して設計される。したがって、セルの動作速度と面積を比較評価することによって、ライブラリの設計思想や特徴が明らかになる。P2Lib との比較評価の対象としたスタンダードセルライブラリは、以下の 2 つである。

- 製造プロセス側が作成したライブラリ（以下、Lib_A と呼ぶ）
- 市販のレイアウト生成システムにより生成されたライブラリ（以下、Lib_B と呼ぶ）

P2Lib と Lib_B は小さい寸法のトランジスタを用いたライブラリである。Lib_A はトランジスタサイズを大きくして高速動作に重点を置いて設計されたライブラリとなっている。P2Lib, Lib_A, Lib_B のインバータ回路のレイアウト面積を表 7 に示す。各セルの伝搬遅延時間を評価するために、インバータを 101 段接続したリング発振回路の動作を回路シミュレーションにより求めた。ファンアウト 1 および 4 の場合の伝搬遅延時間を表 8 に示す。ファンアウト 1 のとき、P2Lib のインバータの遅延時間は Lib_A の 1.35 倍、Lib_B の 1.24 倍になっている。ファンアウト 4 のときは、Lib_A に比べて遅延時間は 1.28 倍、Lib_B に比べて 1.21 倍になっている。P2Lib は 3 種類のライブラリの中で、動作速度は最も遅い。また、面積も Lib_B と比較すると大幅に大きい。これは、以下の理由による。

- 5.1 節で述べたように、生成されたレイアウトには面積の冗長成分が多い。
- Lib_A ではセル内配線をセル外に出したり、Lib_B では基板/ウエルコンタクトを隣接セルと共有することにより、トランジスタサイズを大きくする工夫をしている。一方、P2Lib では、様々な製造

表 7 各ライブラリにおけるインバータの面積
Table 7 Area of an inverter in each library.

ライブラリ	インバータの面積 (μm^2)
P2Lib	212.9 (7.8 μm \times 27.3 μm)
Lib_A	203.8 (5.6 μm \times 36.4 μm)
Lib_B	144.2 (5.7 μm \times 25.3 μm)

表 8 インバータの遅延時間 [nsec]
Table 8 Propagation delay time of an inverter.

ライブラリ	ファンアウト 1	ファンアウト 4
P2Lib	0.09	0.21
Lib_A	0.07	0.16
Lib_B	0.07	0.17

プロセスや使用する CAD ツールの能力により不都合が生じないように、保守的なレイアウト設計をしている。具体的には、配線はセル内にすべて収容し、基板/ウエルコンタクトは可能な限り多くセル内に配置するようにしている。

これらの理由により、トランジスタの寸法に比較して、セルの外形が大きくなっている。

トランジスタサイズに注目して 3 つのライブラリを比較すると、P2Lib は、動作速度は遅いが小さいトランジスタで低消費電力を指向した設計となっている。セルの駆動能力が小さいため、配線容量が大きくなると遅延が増大するが、配線容量が比較的小さい小規模な LSI であれば消費電力をおさえた設計が可能である。

7. P2Lib 利用例

P2Lib の利用例として、8 ビットマイクロプロセッサ KUE-CHIP2¹⁰⁾ の設計に適用した。KUE-CHIP2 は、LSI 設計や計算機ハードウェアの教育に用いるために製作されたマイクロプロセッサで、すべてのレジスタやカウンタなどが外部から観測できるようになっている。この構造は、ライブラリのテスト用回路としても好都合である。オリジナルの KUE-CHIP2 は、論理合成を用いずに設計され、1.2 μm プロセスのスタンダードセル方式で製作されている。1597 個の組合せ論理ゲートと 68 個のフリップフロップ、および 512 バイトの内部メモリで構成され、チップ面積は 12.8 mm^2 である。使用ゲートの総面積は、インバータ換算で 4452 となっている。

KUE-CHIP2 と同一の動作をする回路を、VHDL による RTL 記述より論理合成して作成した。製造プロセスは、東京大学大規模集積システム設計教育研究センター (VDEC) が提供する 0.5 μm 2 層メタル CMOS である。比較のために、P2Lib を用いた回路と、6.3 節で述べた Lib_B を用いた回路の 2 種類を設

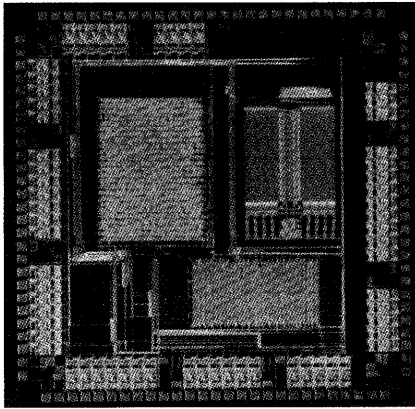


図7 試作チップの写真：左上部分が P2Lib による KUE-CHIP2 コア。右下部分が Lib.B による KUE-CHIP2 コア。右上部分が 512 バイトのメモリ

Fig. 7 Die photograph of KUE-CHIP2. Upper left block is a KUE-CHIP2 core with P2Lib. Lower right block is a KUE-CHIP2 core with Lib.B. Upper left block is a 512 Byte memory.

計し、それぞれの回路がセレクタにより選択できるようにした。P2Lib を用いた回路は、組合せ論理ゲート 1127 個とフリップフロップ 62 個で構成され、面積は 2.37 mm^2 だった。使用ゲートの総面積は、インバータ換算で 3122.5 である。Lib.B を用いたコアは組合せ論理ゲート 1045 個とフリップフロップ 62 個で構成され、面積は 1.30 mm^2 だった。使用ゲートの総面積は、インバータ換算で 3168.5 である。また、512 バイトのメモリの面積は 1.68 mm^2 であった。試作チップの写真を図 7 に示す。LSI テスタによる動作試験により、P2Lib を用いた回路が 25 MHz のクロックで動作することを確認した。また、試作した KUE-CHIP2 を、KUE-CHIP2 評価用ボード¹⁰⁾ に装着し、オリジナル KUE-CHIP2 と同一の動作を確認した。

P2Lib が提供する遅延/消費電力情報生成システムを用いることにより、たとえば異なる電源電圧のライブラリを高速に複数生成することも容易である。異なる電源電圧のライブラリを用いて論理合成実験を行い、設計仕様に合わせて遅延と面積、あるいは消費電力が最適になるような電源電圧を選んで設計することが可能になる。KUE-CHIP2 において、2 種類の電源電圧における回路規模と遅延時間の関係を評価した例を図 8 に示す。

8. む す び

スタンダードセルライブラリの自動生成システム P2Lib について述べた。製造プロセス情報を与えるこ

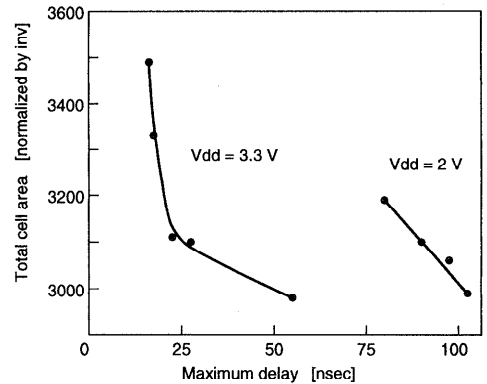


図8 論理合成した KUE-CHIP2 における面積と遅延時間の関係
Fig. 8 Area-delay trade-off of synthesized KUE-CHIP2.

とにより、LSI 設計に必要な各種ライブラリを自動生成する。レイアウト情報生成手法として、パリ第 6 大学が開発したシンボリックレイアウト手法を用いた。遅延/消費電力情報の生成手法としては、回路シミュレーションを用いる方法と、できる限り解析的に求める方法を用意した。後者の方法を用いると、様々な電源電圧やプロセス条件に対応したライブラリを迅速に作成することができる。設計者が、動作条件や製造プロセスを変更した場合の特性評価を行いたい場合などに有用である。

P2Lib により作成したライブラリは、東京大学大規模集積システム設計教育研究センターを通じて公開されており、大学や高専における LSI 設計の教育研究に用いるライブラリとして利用されることを期待している。

謝辞 P2Lib が用いているシンボリックレイアウト手法を開発した、パリ第 6 大学の CAO-VLSI 研究班の諸氏に深謝します。九州大学の 大隈孝憲君には KUE-CHIP2 の VHDL 記述作成に協力いただきました。本学の 合谷尚純君には、P2Lib ライブラリ変換システムの開発に協力いただきました。東京大学大規模集積システム設計教育研究センターには、P2Lib で生成したセルを評価するための TEG や KUE-CHIP2 を試作していただきました。ここに記して感謝します。

参 考 文 献

- 1) Kuroda, T. and Sakurai, T.: Overview of Low-Power ULSI Circuit Techniques, *IEICE Trans. Electronics*, Vol.E78-C, No.4, pp.334-344 (1995).
- 2) Greiner, A. and Leroy, J.P.: A Symbolic Layout View in EDIF for Process Independent Design, *4th European Edif Forum* (1990).

- 3) Petrot, F. and Wajsburt, F.: The Symbolic to Real Mask Translation Approach in the Alliance CAD System, *MASI, Internal Report*, No.94.15 (1994).
- 4) Greiner, A. and Pecheux, F.: Alliance: A Complete Set of CAD Tools for Teaching VLSI Design, *3rd Eurochip Workshop on VLSI Design Training*, pp.230-237 (1992).
- 5) Sakurai, T. and Newton, A.R.: A Simple MOSFET Model for Circuit Analysis, *IEEE Trans. Electron Devices*, Vol.38, No.4, pp.887-893 (1991).
- 6) Hirata, A., Onodera, H. and Tamaru, K.: Estimation of Short Circuit Power Dissipation for Static CMOS Gates, *IEICE Trans. Fundamentals*, Vol.E79-A, No.3, pp.304-311 (1996).
- 7) Hirata, A., Onodera, H. and Tamaru, K.: Estimation of Propagation Delay considering Short-Circuit Current for Static CMOS Gates, *IEEE Tran. Circuits and Systems-I: Fundamental Theory and Applications*, Vol.45, No.11, pp.1194-1198 (1998).
- 8) Hirata, A., Onodera, H. and Tamaru, K.: Proposal of a Timing Model for CMOS Logic Gates Driving a CRC π Load, *Proc. ICCAD'98*, pp.537-544 (1998).
- 9) Sakurai, T.: Delay analysis of series-connected MOSFET circuits, *IEEE J. Solid-State Circuits*, Vol.SC-26, No.2, pp.122-131 (1991).
- 10) Kanbara, H. and Yasuura, H.: KUE-CHIP2: A Microprocessor for Education of LSI Design and Computer Hardware, *Proc. Synthesis and System Integration of Mixed Technologies (SASIMI) '95*, pp.233-240 (1995).
<http://www.metsa.astem.or.jp/kuechip2/>.

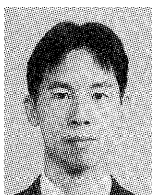
(平成 10 年 9 月 21 日受付)

(平成 11 年 2 月 8 日採録)



小野寺秀俊 (正会員)

昭和 53 年京都大学工学部電子工学科卒業。昭和 58 年同大学大学院博士課程 (電子工学専攻) 修了。同年同大学工学部電子工学科助手。現在、同大学大学院情報学研究科通信情報システム専攻助教授。LSI の設計手法, LSI 用 CAD, MOS アナログ回路の研究に従事。工学博士。昭和 59 年度丹羽記念賞受賞。電子情報通信学会, IEEE 各会員。



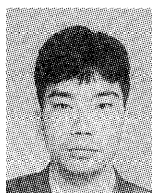
平田 昭夫

平成 6 年京都大学工学部電子工学科卒業。平成 11 年 3 月同大学大学院博士課程 (電子通信工学専攻) 修了見込。LSI の設計手法, LSI 用 CAD の研究に従事。平成 10 年度日本学術振興会特別研究員。電子情報通信学会, IEEE 各会員。



北村 晃男

平成 6 年京都大学工学部電子工学科卒業。平成 8 年同大学大学院修士課程 (電子通信工学専攻) 修了。同年 (株) 日立製作所入社。在学中, LSI ライブラリ設計手法に関する研究に従事。



小林 和淑 (正会員)

平成 3 年京都大学工学部電子工学科卒業。平成 5 年同大学大学院工学研究科電子工学専攻修士課程修了。同年同大学工学部電子工学科助手。現在, 同大学大学院情報学研究科通信情報システム専攻助助手。メモリロジック混載の LSI の研究に従事。工学博士。電子情報通信学会, IEEE 各会員。



田丸 啓吉 (正会員)

昭和 33 年京都大学工学部電子工学科卒業。昭和 35 年同大学大学院修士課程 (電子工学専攻) 修了。同年 (株) 東芝に入社。総合研究所勤務。昭和 54 年京都大学工学部教授。現在, 同大学大学院情報学研究科通信情報システム教授。この間, マイクロコンピュータのアーキテクチャ, LSI の設計手法, LSI 用 CAD 等の研究に従事。工学博士。著書「ハードウェア技術」(オーム社), 「論理回路の基礎」(工学図書), 「マイクロコンピュータ入門」(日刊工業, 共著) 等。電気学会, 電子情報通信学会, ACM, IEEE 各会員。