

「アンテナ効果」を低減する ASIC 設計向けの配線手法

城田 博 史[†] 定 兼 利 行[†] 寺 井 正 幸[†]
 高 橋 一 浩[†] 柴 谷 聡[†]
 小 谷 健[†] 岡 崎 芳[†]

「アンテナ効果」によるダメージを低減する配線手法について報告する。アンテナ効果とは、プラズマを用いた製造工程（エッチングなど）において導体層配線にチャージされた電荷によりゲート酸化膜がダメージを受け、トランジスタの歩留まりや信頼性が劣化する現象である。ゲート酸化膜が受けるダメージの量は、配線パターン幾何学的情報の直接的な関数として表される（たとえば、プラズマエッチング工程中にゲート酸化膜に接続している配線の量）。提案する配線手法は、従来の通常配線処理に、アンテナ効果によるダメージを削減する引き剥し再配線処理を組み合わせたものである。この手法はダイサイズやパフォーマンスをほとんど犠牲にすることなくアンテナ効果を低減できる。本手法を配置配線システム HGALOP に組み込み、実際の SOG (sea of gates) 回路に適用して有効性を検証した。

A New Router for Reducing “Antenna Effect” in ASIC Design

HIROSHI SHIROTA,[†] TOSHIYUKI SADAKANE,[†] MASAYUKI TERAI,[†]
 KAZUHIRO TAKAHASHI,[†] SATOSHI SHIBATANI,[†] KEN KOTANI,[†]
 and KAORU OKAZAKI[†]

In this paper, an efficient router for reducing “antenna effect” damage is reported. The antenna effect is a phenomenon of gate-oxide degradation by charge buildup on conductors in plasma-based manufacturing processes. It directly influences yield and reliability of VLSIs. The amount of the degradation is a direct function of interconnect geometry (e.g., amount of floating conductors connecting to the gate oxide during the processes). The proposed router combines a traditional router and a modification of wires for reducing the antenna effect damage using a rip-up and reroute method. It reduces the damage with only a little penalty of die size and performance. The effectiveness of the router, which is implemented in the layout system HGALOP, is demonstrated by experimental results on 3-4 level metal industrial sea-of-gates (SOG) circuits.

1. はじめに

LSI のレイアウト設計は、集積度、タイミング、消費電力、歩留まり、信頼性などさまざまな要因を考慮しなければならない。特に、近年のディープサブミクロン LSI の製造工程はますます複雑になってきており、これらさまざまな要因の中でも歩留まりと信頼性に対する重要性が非常に大きくなってきている¹⁾。この歩留まりと信頼性とへ大きな影響を与える現象として最近注目を浴びているのが「アンテナ効果」である^{4),5)}。アンテナ効果とは、プラズマを用いた製造工程（たとえば、エッチング、ashing など）において、トランジ

スタのゲートにのみに接続した導体層配線セグメント（これを「アンテナ」と呼ぶ。図 1~3 の太線で囲まれた配線を参照）に電荷が蓄積される現象である。蓄積された電荷はゲート酸化膜にダメージを与え、歩留まりや信頼性を低下させる。プラズマを用いた製造工程は今日のディープサブミクロン LSI の製造では必須の工程であり、LSI 製造工程でアンテナ効果を避けることが困難である。アンテナ効果を考慮した設計手法の開発が望まれている。最近のアンテナ効果の研究^{4)~6)}により、この酸化膜ダメージの量は、アンテナの面積と周囲長に比例することが、実験で検証され分かってきた。アンテナの面積と周囲長は、アンテナ（配線）の経路に大きく依存する（図 1~3 参照）。したがって、アンテナ効果によるダメージを小さくし高い歩留まりと信頼性を得るためには、「アンテナを低減する配

[†] 三菱電機株式会社

Mitsubishi Electric Corporation

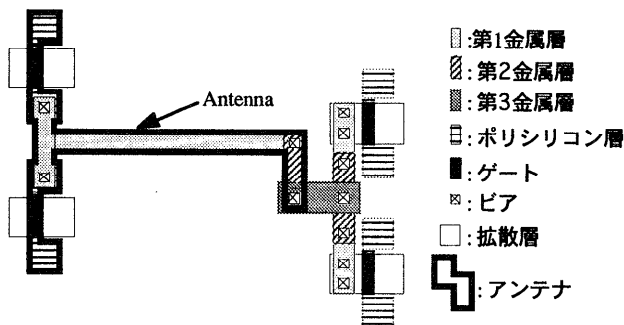


図 1 アンテナを含む配線の例
Fig. 1 An example of antenna.

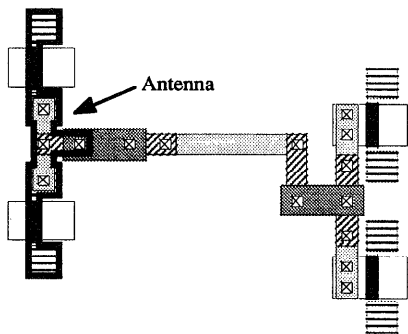


図 2 配線例 (図 1 の配線に対するアンテナの削減結果)
Fig. 2 An example of antenna (Reduced antenna from Fig. 1).

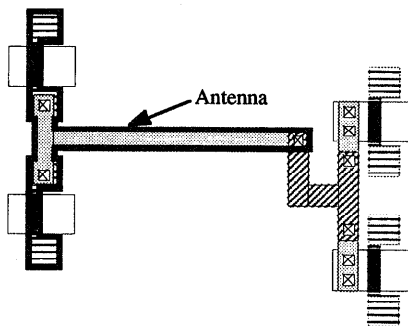


図 3 配線例 (図 1 の配線に対するアンテナの削減結果)
Fig. 3 An example of antenna (Reduced antenna from Fig. 1).

線手法」が重要な技術になる。

これまでアンテナ効果のメカニズムに関する論文は数多く発表されており、今なお研究が進んでいる^{4)~6)}。しかし、アンテナ効果を考慮したレイアウト設計に関する論文は少なく、これまでに検証に関する論文²⁾と自動配線に関する論文³⁾とが発表されている。

前者の文献 2) では、汎用の設計ルールチェックプログラム (DRC) を用いて、アンテナを検出し、アン

テナの面積と周囲長とを計算する手法が提案されている。ただし、これらの値 (面積と周囲長) をどのようにレイアウト設計に反映するのかが示されておらず、レイアウトの自動生成手法に適用することは困難である。加えて、汎用の DRC プログラムを使用しているため、計算時間が長くなってしまふ。我々の実験によれば、10 時間以上の計算時間を要する場合がある。

一方、後者の文献 3) では、アンテナ効果を考慮したチャンネルルータ方式詳細配線を提案している。従来のチャンネルルータに対して配線層の割付けに関する制約を加えることにより、チャンネル内においてゲートにつながる配線 (すなわち、チャンネル内のアンテナ) の長さをチャンネル高以下に抑える。ただし、この手法は以下の 2 つの点で実際の LSI のアンテナ効果を考慮した自動配線に適用することが困難である。1 つめは、チャンネル配線時に厳しい制約を与えてしまうため、チップの集積度や各ネットの配線長が大幅に悪化する可能性があることである。チャンネル配線では、あるチャンネル内の配線時には、そのチャンネル外の配線の層割付けは一般には確定していないので、正確なアンテナを見積もることは困難である。文献 3) では、ゲートからネットの最上層パターンまでの全配線をアンテナと見なし、ゲートにつながる配線はすべてゲート近傍で最上層を経由するという制約をチャンネルルータに課すことによりアンテナを抑制する。このような実際より厳しい制約を与えることにより、チップの集積度、各ネットの線長が大幅に悪化する可能性がある。2 つめは、アンテナ効果によるダメージの計算方法が正確でないことである。この手法では、アンテナの面積に比例するダメージ関数を用いている。しかし、最近の研究によると、プラズマを用いる全工程を考慮するとダメージはアンテナの面積と周囲長の両者に比例することが分かっている^{4),5)}。周囲長を考慮しないことによる誤差は、クロックネットのように配線幅が不均等の場合

に大きくなる。

本論文では、ダイサイズと配線長との増大がほとんどなく、かつ、アンテナ効果の小さい配線結果を生成する自動配線手法を提案する。提案する手法の特長は以下の3つである。(1) 従来の配線処理とアンテナ効果を削減する配線改善処理を組み合わせた構成による配線結果の品質低下の少ない手法、(2) アンテナ効果を効率良く削減する引き剥し配線手法、(3) プラズマベースの全工程を考慮した正確なダメージ関数の適用。以下それぞれについて説明する。

特長(1)は、(a) 従来手法によるアンテナ効果を考慮しない自動配線(文献7など)、(b) アンテナ効果のダメージ量の計算、(c) ダメージが許容値を超えるエラー配線の(引き剥し再配線による)修正の3段階からなる処理フローである。本フローにより配線品質の低下を少なくしつつアンテナ効果によるダメージを低減する配線を実現できる理由は以下の3つである:(i) 従来手法³⁾ではチャンネルの外での配線の経路が分からなかったために不正確なアンテナ量の見積りに基づいて配線を行っていたのに対し、本フローでのアンテナ効果エラー配線の修正処理においては、すべての配線の経路が分かっているため正確にアンテナの量を計算し、それに基づいて配線経路を修正することができる。(ii) 効率の良い配線修正の手法(後述)を用いている。(iii) アンテナを考慮しない全ネット配線の結果において、エラーを起こした配線の比率が実際にはあまり大きくない。我々の実験では全体の1%程度であった。このため配線の修正は容易に行うことができる。

特長(2)は、効率の良い配線修正手法である。これは、配線経路と配線長の変化を最低限に抑えながら、アンテナ効果を削減する。この手法の特長は、配線修正の対象となる部分領域をうまく選んで、その領域内だけで引き剥し再配線を行うことである。このとき、引き剥し再配線後のアンテナ効果ダメージ低減量の見積り値が最大となり、かつ、配線長の増加の見積り値が最小となるように部分領域を選ぶ。部分領域外の配線経路は引き剥し再配線中に固定されていることを利用して、このアンテナ効果の低減量と配線長の増加量を見積もることができる。部分領域内の引き剥し再配線では、領域内配線の層割付けを変えることによりアンテナ効果ダメージを削減する。

特長(3)は、プラズマを用いる全工程を考慮した正確なアンテナ効果ダメージ関数を適用したことである。ディープサブミクロンのLSI製造プロセスにおいてプラズマを用いる全工程(導体層エッチング、ashing、

ビアのエッチング)を考慮するとアンテナ効果によるダメージはアンテナ配線の面積と周辺長に比例することが分かっている⁴⁾。我々は、これまでのアンテナ配線の面積のみを考慮した手法³⁾とは異なり、面積と周辺長の両者を考慮したアンテナ効果ダメージ関数を用いる。この結果、配線幅が多様な今日のLSIにおいて、正確にアンテナ効果によるダメージを見積もることができる。

以降では、2章でアンテナ効果について説明し、3章でアンテナ効果対策自動配線の定式化を行う。4章で、アンテナ効果対策アルゴリズムを説明し、5章で実験を行い、6章で結論を述べる。

2. アンテナ効果によるダメージ

アンテナ効果のメカニズムについてはすべてが分かっているわけではないが、いつ電荷の蓄積が起こるか、それがどのようにゲート酸化膜の品質に影響を与えるかについてが実験により分かっている⁴⁾。メカニズムの概略は以下のとおり。導体層パターンのうち酸化膜による絶縁層に覆われていない部分が直接プラズマに曝露された際に、導体層に電荷が蓄積される。電荷の蓄積量はこのプラズマに曝露された部分の面積に比例する。ただし、導体層パターンがそれまでに形成された導体層パターンを通じて拡散層(ソース/ドレインなど)につながっている場合は、主に拡散層を通じて基板へ電荷が放電されるのでゲート酸化膜へのダメージは少ない。ゲート酸化膜のダメージのリスクは、そのゲートに接続し、かつ、拡散層パターンに接続していない導体層パターンに蓄積された電荷の合計に比例する。

ディープサブミクロンLSIの製造では、主に以下の3種類の工程でプラズマを用いる⁴⁾。

(1) 導体層のエッチング工程

プラズマを用いたドライエッチング工程では、導体層のプレートを無数の導体層パターンへ分離する。このエッチング工程の最終段階では、各パターン間が分離されてからしばらくの間プラズマが照射される。このとき、パターンの側面が、ホトレジスト膜を介さずにプラズマに曝露される。その結果、曝露された面積(すなわち、導体層パターンの周辺長)に比例する電荷が導体層パターンに蓄積される。

(2) 導体層 ashing 工程

導体層エッチングの後、主に表面に残ったホトレジスト膜を除去するため、プラズマが照射される(これをashingと呼ぶ)。このとき、ホトレジスト膜が除去された後もしばらくの間、プラズマが照射され、導体

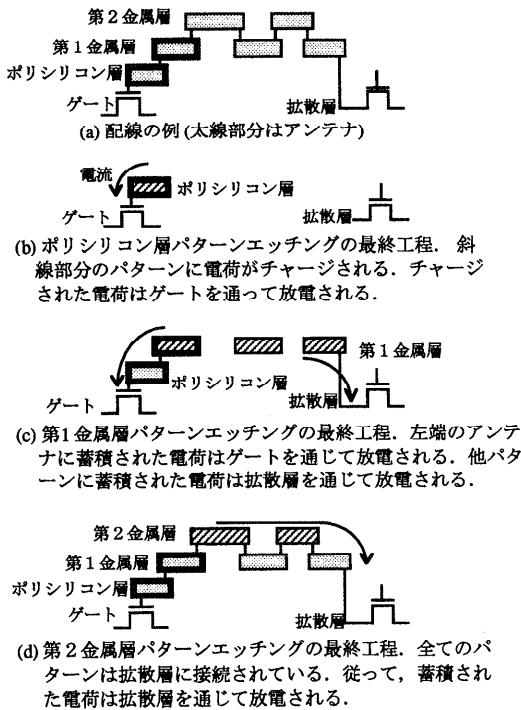


図4 アンテナ効果のメカニズム (配線の断面図)

Fig. 4 Mechanism of antenna effect (A cross-sectional view of wires).

層パターンの表面がプラズマに曝露される。したがって、導体層パターンの面積に比例する電荷がパターンに蓄積される。

(3) ピアのエッチング

ピアのエッチング工程は2つの導体層の間に穴を開ける。この工程の最終段階では、ピアが開いてからしばらくの間プラズマが照射される。このときピアの面積に比例する電荷が導体層パターンに蓄積される。

このように、導体層パターンには、導体層パターンの周辺長、面積、また、導体層パターンにつながるピアの面積に比例する電荷が蓄積される。導体層パターンに電荷が蓄積された時点で、そのパターンが拡散層のパターン (ソース/ドレインなど) に接続していれば、蓄積された電荷はその拡散層を通じて基板に放電される (図4(c), (d) 参照)。しかし、導体層パターンが拡散層に接続しておらず、ゲート酸化膜にだけ接続していた場合には、電荷は、Fowler-Nordheim tunneling current によりゲート酸化膜を通じて基板へ放電される⁴⁾ (図4(b), (c) 参照)。このときゲート酸化膜はダメージを受ける。このようなゲート酸化膜にダメージを与える導体層パターンを「アンテナ」と呼ぶ。

ゲート酸化膜のダメージは、放電される電荷の量、

すなわちアンテナ配線とピアの面積と周辺長とに比例する。また、放電されるゲートの面積、あるいは、周辺長に反比例する^{4), 5)}。以上のことから、ゲート端子 T_i に対する「アンテナ効果」ダメージ $D(T_i)$ の量は以下の式で表される。

$$\begin{aligned}
 D(T_i) &= AR(T_i) + PR(T_i) \\
 &= \sum_j \left\{ \alpha_j \times \frac{A(P_{ij})}{A(\text{Gate terminals connecting } P_{ij})} \right\} + \\
 &\quad \sum_j \left\{ \beta_j \times \frac{P(P_{ij})}{P(\text{Gate terminals connecting } P_{ij})} \right\}. \tag{1}
 \end{aligned}$$

ここで、 $AR(T_i)$ はゲート端子 T_i のアンテナ面積比⁵⁾、 $PR(T_i)$ は T_i のアンテナ周囲長比⁵⁾、 j は層番号を示し、ポリシリコン層、すべての金属配線層、すべてのビア層に対し、シリコン基板に近いものから順に番号 $1, 2, \dots$ を振る。 P_{ij} は第 j 層の配線パターンの集合 (アンテナ) で、それぞれが第 j 層以下の層で互いに接続しており、かつ、それぞれが第 j 層以下の層でゲート端子 T_i に接続しており、かつ、それぞれが第 j 層以下の層だけでは拡散層に接続していないものである。 P_{ij} がアンテナである。 $A(x)$ はパターンの集合 x の面積の総和 (単位は $[\mu\text{m}^2]$)、 $P(x)$ はパターンの集合 x の周囲長の総和 (単位は $[\mu\text{m}]$)、 α_j, β_j は定数で、第 j 層がビア層ならば導体層のエッチングによるダメージを見積もる式 (1) の第2項の係数 $\beta_j = 0$ である。これ以外のパラメータ α_j, β_j の値の決め方は5章で述べる。

このダメージ関数を用いて、アンテナ効果に関する配置配線設計の目的関数を以下のように定義する。

$$\begin{aligned}
 \text{Minimize } \sum f(D(T_i) - D_{\max}). \tag{2} \\
 T_i \in \{\text{All gate terminals}\}
 \end{aligned}$$

ここで、 D_{\max} はダメージ量の最大許容量であり、さまざまなアンテナ面積比と周囲長比を含むレイアウトパターンについて実験評価した結果に基づいて決定される値である⁵⁾。また、 $f(x)$ は下に凸なる単調増加関数 (例: $\max^2(x, 0)$) である。その理由を以下に示す。一般に、 D_{\max} を大きく超えるダメージを受けるゲート端子が1つでも存在すると、LSI 全体の歩留りを大幅劣化させるが、一方で、そのダメージが D_{\max} をわずかに超えるゲート端子が多数存在した場合の歩留りへの影響は前者と比べて小さくなると考えられる。この考えに基づけば、アンテナ効果に関する配置配線最適化問題の目的関数 (2) の $f(x)$ としては、

```

procedure damage calculation of a net;
begin
  foreach poly, metal and via layer do
    begin
      get sets of terminals and routings, each of which is
      connected to each other with routing of the layer and below
      foreach set of patterns, which is obtained by the upper line do
        begin
          if the set includes diffusion terminal then      continue
          if the set includes gate terminal then
            foreach gate terminal in the set then do
              begin
                AR ← A(all patterns of the layer included in the set)
                    / A(all gate terminals included in the set);
                PR ← P(all patterns of the layer included in the set)
                    / P(all gate terminals included in the set);
                add the following value to the damage of the gate terminal
                 $\alpha_{\text{the layer}} \times AR + \beta_{\text{the layer}} \times PR$ 
              end
            end
          end
        end
      end
    end
  end

```

図5 1つのネットに対するアンテナ効果ダメージの計算処理
Fig. 5 The procedure of antenna effect damage calculation of a net.

$D(T_i) - D_{\max}$ が大きい T_i が存在すると急激にその値が大きくなる関数, すなわち, 下に凸の単調増加関数を採用するのが望ましい。

3. 問題の定式化

配線領域内には, 下の層から順番に, 拡散層, ゲート層, ポリシリコン層, n 個の金属層が定義されている。このうちポリシリコン層と金属層を配線層あるいは導体層と呼ぶ。配線領域内には水平および垂直の配線グリッド線が設けられている。セル端子と配線障害物(セル内の配線パターン)は任意層の矩形の集合であり, 配線領域内に存在する。ネットは接続すべき端子の集合である。各ネットを構成する端子のうち少なくとも1つは拡散層端子であり, その他はゲート端子である。拡散層端子は拡散層のパターンを含む端子であり, ゲート端子はゲート層パターンを含む拡散層パターンを含まない端子である。ネットの配線経路は, グリッド線上の配線セグメントとグリッド線交点上のビアとによって構成され, そのネットのすべての端子を接続する。ビアは隣接する層間の配線セグメントどうしを接続する。設計ルールは, セグメントの最小幅, ビアサイズ, セグメント-セグメント間の最小許容間隔, セグメント-ビア間の最小許容間隔, ビア-ビア間の最小許容間隔からなる。

配線問題を以下のように定式化する。

[配線問題] すべてのネットに対して, 設計ルール違反のない, 与えられた配線領域内の配線経路で, 式(2)

の目的関数を最小とするものを求めよ。

4. アンテナ効果を考慮した自動配線手法

自動配線手法は3つのステップからなる。(a) アンテナ効果を考慮せずに全ネットを自動配線する。(b) 全ゲート端子に対して, アンテナによるダメージ(式(1))を計算する。(c) ダメージが最大許容値を超えるゲート端子に対して, 端子につながる配線を修正しゲートに与えられるダメージが最大許容値内に収まるようにする。

第1のステップ(a)では, エリアベースの配線手法(たとえば文献7))により, 全ネットに対する初期配線を生成する。このときアンテナ効果を考慮せず100%結線だけを目的とする。このステップではアンテナ効果に起因する配線上の制約は発生しないので, ダイサイズや配線長の犠牲は発生しない。

次のステップ(b)では, 各ゲート端子 T_i のアンテナ効果によるダメージ $D(T_i)$ を計算する。1つのゲート端子に対するダメージの計算処理のフローを図5に示す。

最後のステップ(c)で, エラーとなっている(ダメージ量が D_{\max} を超えている)ゲート端子に接続する配線を修正して, ダメージ量が D_{\max} 以下になるようにする。図6にこのエラー修正処理のフローを示す。以下, このフローについて説明する。

前処理として, 配線領域を部分領域の2次元アレイに分割しておく。部分領域それぞれは h [μm] \times w [μm]

```

procedure modification for reducing antenna effect damage ;
begin
  define subregions and calculated congestion in each subregion
  foreach gate terminal whose damage value exceeds  $D_{max}$  then do
    begin
      foreach subregion which overlaps wires of the terminal net then
        foreach metal layer then
          calculate priority value of a pair of the subregion and the layer
          while  $D(\text{the gate terminal}) > D_{max}$  do
            begin
              get an unselected pair of a subregion and a target layer
              to which the highest priority is given ;
              rip up all routing of the net within the subregion ;
              reroute the net with a priority given to the target layer routing
            end
          end
        end
      end
    end
  end

```

図 6 アンテナ効果のダメージを削減する配線修正処理

Fig. 6 The procedure of modification for reducing antenna effect damage.

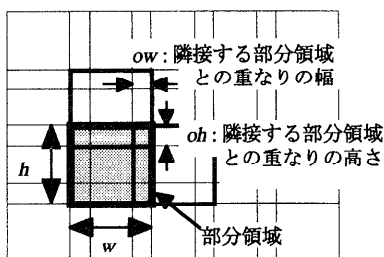


図 7 部分領域の例

Fig. 7 An example of subregion.

の均一のサイズとし、隣合う部分領域は重なりをもつ(図 7)。また、すべての部分領域について配線混雑度を計算しておく。配線混雑度は、部分領域内部の配線グリッド線長の合計に対する、部分領域内部を通過する配線の総線長の比である。

本処理では、エラーとなっているゲート端子それぞれに対し、配線修正処理が適用され、その端子に接続する配線の一部分を修正してダメージ量を削減する。この配線修正処理は、2つのフェーズから成る。第1のフェーズでは部分領域と配線層のペアを選択し、第2のフェーズでは、そのネットの配線を選択された部分領域内で引き剥がして、選択された配線層に高い優先度を持たせながら再配線する。

部分領域と配線層のペアの選択に際しては、次の3つのガイドラインを用いる。(i) 再配線処理で結線できる可能性が高いものを選ぶ。(ii) 再配線によるダメージの減少量の見積もりが大きいものを選ぶ。(iii) 再配線による配線長の増加見積もりが小さいものを選ぶ。

この3つのガイドラインそれぞれに対応する評価尺度として、以下のものを導入する。(i) 部分領域内における選択配線層の配線混雑度。(ii) 修正前のダメージ

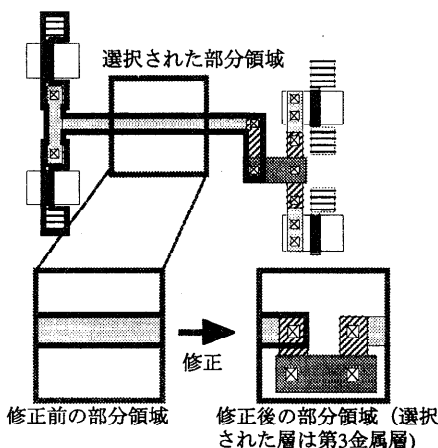


図 8 配線修正の例

Fig. 8 An example of the modification.

量と修正後のダメージ見積り量の差。修正後のダメージ見積り量は、選択部分領域の全配線を選択配線層の配線へ修正できたと仮定して、修正前のダメージ量と同様に計算する。(iii) そのネットの配線の選択部分領域内における最上位配線層と選択配線層との層番号の差。

第2のフェーズでは、そのネットの配線を選択された部分領域内で引き剥がして、選択された配線層に高い優先度を持たせながら再配線する。このような配線処理は、その配線層の配線コストを小さく設定した迷路法により実現する。引き剥がし再配線手法は著者らが開発した手法で、高速でかつ高い routability を達成するために“Coarse grid”を使った大域的経路の探索と配線グリッド上での迷路法とを繰り返して行う。その詳細は文献7)にある。図8は部分領域内の配線修正の例である。

表 1 SOG 回路に対する配線修正結果 ($D_{\max} = 100$)
Table 1 Results on industrial SOG circuits ($D_{\max} = 100$).

| 回路 | A | B | C | |
|---------------------|------------------------|-----------|------------|------------|
| マスターサイズ [raw-gates] | 300 K | 450 K | 250 K | |
| 配線層数 | 3 | 4 | 3 | |
| ネット数 | 11,600 | 35,300 | 33,700 | |
| ゲート端子数 | 25,186 | 106,250 | 79,982 | |
| 拡散層端子数 | 11,600 | 35,300 | 33,700 | |
| CPU 時間 [min] | アンテナ効果ダメージ計算 | 1.2 | 6.0 | 4.4 |
| | 配線修正 | 1.5 | 13.7 | 3.9 |
| 修正前 | エラーゲート端子数 | 245 | 593 | 131 |
| | 最大ダメージ値 | 140,781 | 463 | 129,681 |
| | 総配線長 [μm] | 5,295,799 | 22,836,894 | 12,588,558 |
| | ビア数 | 94,106 | 400,875 | 309,251 |
| 修正後 | エラーゲート端子数 | 0 | 0 | 0 |
| | 最大ダメージ値 | 99 | 100 | 100 |
| | 総配線長 [μm] | 5,296,315 | 22,839,994 | 12,588,948 |
| | ビア数 | 94,610 | 402,826 | 309,559 |

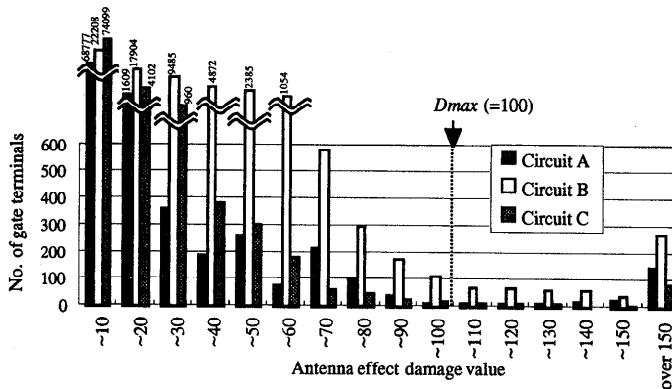


図 9 配線修正前のダメージ分布

Fig. 9 Distribution of the damage before the modification.

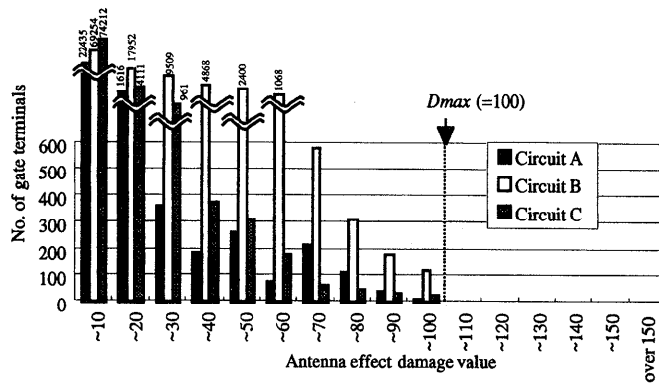


図 10 配線修正後のダメージ分布

Fig. 10 Distribution of the damage after the modification.

5. 実 験

本アンテナ効果対策自動配線手法をゲートアレイ用自動配置配線システム H GALOP^{8),10)} 上に, C 言語

を用いて実装した。実験は, メインメモリ 512 MB, 3.11 SPECint95 の EWS 上で行った。アンテナ効果を考慮しない初期配線のステップには, エリアベースの自動配線プログラム⁷⁾を用いた。

目的関数(式(2))中のパラメータ α , β , D_{\max} の値は、それぞれ 0.5, 1.0, 100 と設定した。これは、さまざまなアンテナ面積比と周囲長比を含むレイアウトパターン⁵⁾について実際にゲート酸化膜のダメージを評価した結果に基づいて決定した。部分領域のサイズは $15[\mu\text{m}] \times 15[\mu\text{m}]$ 、隣接する部分領域の重なり量は、縦方向、横方向ともに $7[\mu\text{m}]$ とした。また、関数 $f(x)$ として、 $\max^2(x, 0)$ を用いた。

実験に用いた回路を表 1 に示す。これらの回路は、3 層配線あるいは 4 層配線の CMOS SOG である。本提案手法によるアンテナ効果対策自動配線の結果を表 1 に併記する。配置には min-cut 配置法に基づく配置プログラム⁹⁾を用いた。また、図 9 に表 1 中の回路の詳細配線後、アンテナ効果ダメージ修正前のアンテナ効果ダメージの分布を示し、図 10 に同回路のアンテナ効果ダメージ修正後のアンテナ効果ダメージの分布を示す。表 1、図 9 が示すようにアンテナ効果対策を行わない場合、アンテナ効果ダメージ最大許容値 D_{\max} を越えるゲート端子は全体のわずか 1% であるが、最悪の場合、アンテナ効果ダメージは最大許容値 D_{\max} の 1400 倍にも達する。我々の手法を用いることにより、すべてのゲート端子を最大許容値 ($D_{\max} = 100$) 以下のダメージに抑えられるように修正できた。

次に、文献 2) にある汎用 DRC プログラムを用いたアンテナの計算手法と提案する計算手法の処理時間を比較した。比較に用いた回路は表 1 のものである。結果を表 2 に示す。提案した手法は汎用 DRC プログラムを用いた場合と比べて 100 倍以上高速である。

表 2 汎用 DRC ツールによる計算結果

Table 2 Result of calculation using general purpose DRC tool.

| 回路 | A | B | C |
|--------------|-------|-------|-------|
| CPU 時間 [min] | 182.4 | 741.0 | 572.3 |

表 3 3 つの手法の比較

Table 3 Comparison of three methods.

| 回路 | | A | B | C |
|-------------------------------------|-------------|-----|------|------|
| CPU 時間 [min] | (1) 小領域での修正 | 0.8 | 7.9 | 1.4 |
| | (2) 大領域での修正 | 2.3 | 14.4 | 2.5 |
| | (3) 提案手法 | 1.5 | 13.7 | 3.9 |
| 修正結果でのエラーゲート端子数 | (1) 小領域での修正 | 26 | 183 | 31 |
| | (2) 大領域での修正 | 0 | 16 | 21 |
| | (3) 提案手法 | 0 | 0 | 0 |
| 配線長増加 (1 修正端子あたり) [μm] | (1) 小領域での修正 | 2.3 | 6.2 | 3.2 |
| | (2) 大領域での修正 | 5.9 | 12.5 | 11.2 |
| | (3) 提案手法 | 2.1 | 5.2 | 3.0 |
| ビア増加数 (1 修正端子あたり) | (1) 小領域での修正 | 2.0 | 3.6 | 2.4 |
| | (2) 大領域での修正 | 4.9 | 6.0 | 7.5 |
| | (3) 提案手法 | 2.1 | 3.3 | 2.4 |

最後に、我々の配線修正方法を他のアンテナを削減する配線手法と比較する。実験は、表 1 中に示したすべての回路において、詳細配線後にアンテナ効果ダメージを計算し、以下の 3 種類の引き剥し再配線を適用した：(1) エラーとなったゲート端子の近傍でのみ配線修正を行う手法。ダメージが最大許容値を超えるゲート端子に対して、その端子を含む部分領域内で引き剥し再配線する。部分領域のサイズは、提案手法と同じ $15[\mu\text{m}] \times 15[\mu\text{m}]$ とする。また、再配線時には、最上層を優先して配線に使用するとする。(2) (1) の対象領域を拡大し、 $240[\mu\text{m}] \times 240[\mu\text{m}]$ とした手法。端子近傍だけでなく、より広い領域を引き剥し再配線領域とする。(3) 本論文の提案手法。これらの結果を表 3 に示す。表 3 から次のことが分かる。(i) 端子近傍で最上層に引き上げるだけの配線修正手法 (1) はアンテナ効果ダメージ削減の効果が少ない。(ii) 広い領域で配線修正する手法 (2) では、修正により増加する線長とビア数が他の手法よりも約 2 倍大きくなる。さらに一部のゲート端子についてはダメージを最大許容値内に抑えることができていない。(iii) 提案手法 (3) は、ダメージ削減の効果が最も大きく、すべての回路ですべての端子のアンテナ効果ダメージを最大許容値内に抑えることができており、また配線長とビア数の増加も少ない。

我々の手法は、配線終了後に、線長、ビア数の変更を最小限に抑えたアンテナ効果を考慮した配線修正を行うので、配線修正によるタイミング、消費電力への影響は軽微である。したがって、ダイサイズ、タイミングを考慮した従来の詳細配線と組み合わせることにより、非常に実用的なアンテナ効果対策を実現できる。

6. 結 論

本論文では、アンテナ効果によるダメージを低減す

る自動配線手法を報告した。報告した手法は、従来手法による全ネットの配線後に引き剥し再配線を行う手法であり、集積度、タイミングの悪化を抑えて、アンテナ効果によるダメージを効果的に削減する。本手法の有効性を大規模な CMOS SOG により実証した。

参 考 文 献

- 1) Heineken, H.T., Khare, J., Maly, W., Nag, P.K., Ouyang, C. and Pleskacz, W.A.: CAD at the design-manufacturing interface, *Proc. DAC97*, pp.321-326 (June 1997).
- 2) Maly, W., Ouyang, C., Ghosh, S., Maturi, S. and Anrens, D.: Detection of an antenna effect in VLSI designs, Research Report, No.CMUCAD-96-17 (May 1996).
- 3) Wang, K.P., Marek-Sadowska, M. and Maly, W.: Layout design for yield and reliability, *5th ACM SIGDA Physical Design Workshop* (1996).
- 4) Shin, H., King, C.-C. and Hu, C.: Thin Oxide Damage by plasma etching and ashing process, *Proc. IRPS* (1992).
- 5) Watanabe, H., Komori J., Higashitani, K., Sekine, M. and Koyama, H.: A wafer level monitoring method for plasma-charging damage using antenna PMOSFET test structure, *IEEE Trans. semiconductor manufacturing*, Vol.10, No.2 (May 1997).
- 6) Rakkhit, R., Heller, F.P., Fang, P. and Sander, C.: Process induced oxide damage and its implications to device reliability of submicron transistors, *Proc. IRPS* (1993).
- 7) Shirota, H., Shibatani, S. and Terai, M.: A new rip-up and reroute algorithm for very large scale gate arrays, *CICC '96* (1996).
- 8) Terai, M., Takahashi, K., Shirota, H. and Sato, K.: A new efficient routing method for channel-less sea-of-gates arrays, *CICC '94*, No.28.3 (1994).
- 9) Takahashi, K., et al.: Adaptive cut line selection in min-cut placement for large scale sea-of-gates arrays, *ICCAD*, pp.428-431 (1994).
- 10) 寺井, 城田, 柴谷, 佐藤: 3層チャンネルレス・ゲートアレイのための高速配線手法, 情報処理学会論文誌, Vol.38, No.3, pp.657-668 (1997).

(平成 10 年 9 月 24 日受付)

(平成 11 年 2 月 8 日採録)



城田 博史 (正会員)

昭和 40 年生。昭和 63 年早稲田大学工学部電子通信学科卒業。平成 2 年同大学院修士課程修了。同年三菱電機(株)入社。以来、LSI レイアウト技術の研究開発に従事。現在、同社メモリ事業統括部勤務。



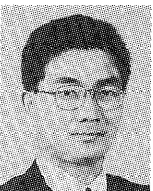
定兼 利行 (正会員)

昭和 41 年生。平成 2 年京都大学理学部数学科卒業。同年三菱電機(株)入社。以来、LSI の自動レイアウト技術の研究開発に従事。現在、同社システム LSI 事業統括部勤務。



寺井 正幸 (正会員)

昭和 28 年生。昭和 51 年大阪大学工学部電子工学科卒業。昭和 53 年同大学院修士課程修了。同年三菱電機(株)入社。以来、LSI の自動レイアウト技術の研究開発に従事。現在、同社システム LSI 事業統括部勤務。工学博士。電子情報通信学会会員。



高橋 一浩 (正会員)

昭和 37 年生。昭和 59 年金沢大学工学部精密工学科卒業。昭和 61 年同大学院修士課程修了。同年三菱電機(株)入社。以来、LSI の自動レイアウト技術の研究開発に従事。現在、同社システム LSI 事業統括部勤務。



柴谷 聡

昭和 43 年生。平成 2 年大阪大学工学部応用物理学科卒業。平成 4 年同大学院修士課程修了。同年三菱電機(株)入社。以来、LSI の自動レイアウト技術、特に自動配線技術の研究開発に従事。現在、MITSUBISHI ELECTRONICS AMERICA, INC. に出向。電子情報通信学会会員。



小谷 健

昭和 41 年生。平成元年大阪大学基礎工学部情報工学科卒業。平成 3 年同大学院前期課程修了。同年三菱電機（株）入社。以来、LSI のレイアウト技術の研究開発に従事。現在、

同社システム LSI 事業統括部勤務。



岡崎 芳（正会員）

昭和 21 年生。昭和 44 年大阪大学工学部電子工学科卒業。昭和 51 年同大学院博士課程修了。同年三菱電機（株）入社。以来、LSI の CAD 技術の研究開発に従事。現在、同社

システム LSI 事業化推進センター勤務。工学博士。電子情報通信学会会員。
