

## 2次元トランジスタ配置構造を持つ CMOS セルレイアウト生成システム

柴谷 聡<sup>†</sup> 定兼利行<sup>††</sup> 中尾博臣<sup>††</sup>  
寺井正幸<sup>††</sup> 岡崎 芳<sup>†††</sup>

2次元トランジスタ配置を実現する CMOS セルレイアウト生成システムについて報告する。分枝限定法によるトランジスタ自動2次元配置と、セルレイアウトの横幅を最小化するメイズ配線により、構成トランジスタのサイズのばらつきが大きいセルに対して高密度なレイアウトを得ることができる。2次元トランジスタ配置レイアウトスタイルの有効性を検証するため、様々なセル高で、従来の1次元トランジスタ配置によるセルレイアウトと、提案するシステムによる2次元トランジスタ配置のセルレイアウトを比較した。その結果、トランジスタのサイズのばらつきが大きいセルに対しては、2次元トランジスタ配置によるセルレイアウト生成が有効であることが分かった。また、本システムにより、レイアウト設計者が人手で作成したレイアウトに比べてセル面積の点で平均的に同等の品質のレイアウトを得ることができた。

### A CMOS Cell Layout Generation System for Two-dimensional Transistor Placement

SATOSHI SHIBATANI,<sup>†</sup> TOSHIYUKI SADAKANE,<sup>††</sup> HIROOMI NAKAO,<sup>††</sup>  
MASAYUKI TERAI<sup>††</sup> and KAORU OKAZAKI<sup>†††</sup>

This paper presents an automatic layout generation system for CMOS uniform height cells with a two-dimensional transistor placement. The two-dimensional transistor placement attains dense layouts for such cells as consist of considerably varied sizes of transistors. Transistors are arranged automatically in the two-dimensional layout style using a branch-and-bound method, and a maze router is used to complete the required connections while minimizing the cell layout width. To demonstrate the effectiveness of the proposed two-dimensional layout method, we compared cell layouts generated by the proposed system with those in the traditional one-dimensional layout style, for various cell heights. As a result, we conclude that two-dimensional layout style is effective in terms of the resulting cell layout area, for cells which consist of various sizes of transistors. Moreover, the experimental results show that the generated layouts are comparable in terms of cell layout area to manual layouts done by skilled layout designers.

#### 1. はじめに

2次元トランジスタ配置を実現する CMOS セルレイアウト生成システムについて述べる。本システムは、P型およびN型トランジスタをそれぞれ複数個縦方向に並べることにより高密度なレイアウトを生成する。本システムが対象としているセルは、従来のセルレイ

アウト生成システムが対象としてきた ASIC用のセルとは異なり、構成トランジスタの最大サイズと最小サイズの比（以下、サイズのばらつきと呼ぶ）が大きいセルである。ここでトランジスタのサイズとは、トランジスタの駆動能力を決めるゲート幅を指す。トランジスタサイズのばらつきが大きいセルの典型的な例は、DRAMの周辺回路に用いられるセルである。

近年、多くの種類の DRAM が開発されている（たとえばファースト・ページ・モード機能付き DRAM、シンクロナス DRAM、ダブル・データ・レート・シンクロナス DRAM など）。一般に、これらの DRAM のメモリアレイ部は共通であるが、周辺回路は自動配置配線技術を使ってレイアウト設計を短期間で完了するために、それぞれの DRAM ごとに高さ固定のセル

<sup>†</sup> 三菱電機アメリカ株式会社電子デバイスグループ  
Electronics Device Group, Mitsubishi Electronics  
America, Inc.

<sup>††</sup> 三菱電機株式会社システム LSI 事業統括部  
System LSI Division, Mitsubishi Electric Corporation

<sup>†††</sup> 三菱電機株式会社システム LSI 事業化推進センター  
System LSI Development Center, Mitsubishi Electric  
Corporation

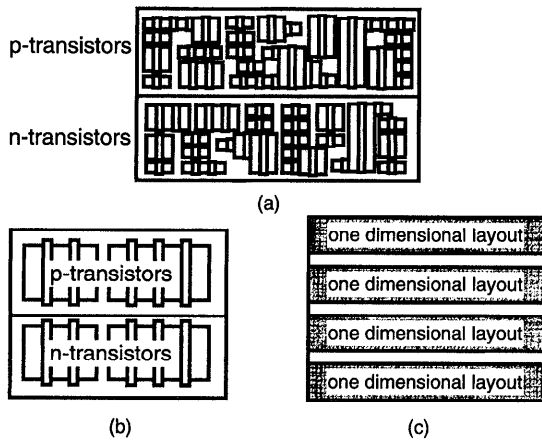


図1 レイアウトスタイルの分類  
Fig. 1 A classification of layout styles.

を使ったスタンダードセル設計方式で設計されることが多い（以下、あらかじめ決められたセルレイアウトの高さをセル高と呼ぶ）。この周辺回路は高性能と低消費電力が要求される。このため、周辺回路に用いられるセルにも高い駆動能力と低消費電力の両立が要求され、セル中のトランジスタのサイズのばらつきは10倍程度と大きい。本論文で述べるセルレイアウト生成システムは、トランジスタを平面的に完全に2次元配置することにより、このようなセルに対して高密度なレイアウトを生成する。

これまで、数多くのセルレイアウト生成システムが研究、開発されてきた。従来のセルレイアウト生成システムのレイアウトスタイルは、トランジスタの配置方式によって、次の2つのカテゴリーに分類することができる。第1のカテゴリー<sup>1)~6)</sup>は、図1(b)に示すようにP型トランジスタとN型トランジスタのペアを1列（1次元）に並べるもので、このようなレイアウトスタイルは、1次元スタイルと呼ばれる。このカテゴリーのレイアウトを生成するシステムでは、主に拡散共有数最大化と配線領域最小化を目的としてセルレイアウト生成を行う。第2のカテゴリーは、トランジスタペアを1列に並べるという制約をなくし、トランジスタ（ペア）を平面的に2次元に配置することを許すものである。従来のほとんどのこのカテゴリーに属するものは、図1(c)に示すようなトランジスタペア列を複数列揃えて並べたレイアウトスタイルであり<sup>7),8)</sup>、これは、自動レイアウト技術の観点からは、1次元スタイルを拡張したものと考えられることができる。最近、第2のカテゴリーに属するレイアウトスタイルを扱うセルレイアウト生成システムとして、P(N)型トランジスタを縦方向に配置するものが報告されてい

る<sup>9),10)</sup>。これらのシステムは、まず、1次元スタイルでトランジスタを配置した後、トランジスタペア列の上下の隙間に入るサイズの小さいトランジスタを探してその配置位置を変更する（隙間に埋め込む）手法をとっている。このレイアウトスタイルも1次元スタイルを拡張したものと考えられることができ、ASICのセルレイアウト生成のようなトランジスタのサイズのばらつきが小さい場合には有効である。

現在のところ、典型的なASIC用セルのトランジスタのサイズのばらつきはただか5倍程度である。このため、大きいサイズのトランジスタを折り曲げて配置すれば、1次元スタイルでも高密度なレイアウトを得ることができる。しかしトランジスタのサイズのばらつきの大きいセルに対し、トランジスタを折り曲げて1次元スタイルにより配置すると、トランジスタを横に長く配置することになり、トランジスタ間を接続する配線に必要な領域が増大する。このため、セルレイアウト面積が増大したり、配線不能が生じる。すなわち、トランジスタのサイズのばらつきが大きいセルに対しては、1次元スタイルや1次元スタイルを拡張したものでは高密度なレイアウトを得ることが困難であり、新しいレイアウト手法が必要となる。

我々は、トランジスタのサイズのばらつきが大きいセルに対し高密度なレイアウトを得るためには、図1(a)に示すように、数個のP型およびN型トランジスタをそれぞれ縦方向に並べることを許すレイアウトスタイルが適していると考えた。すなわち、本論文で扱うレイアウトスタイルは、P型およびN型トランジスタを平面的に完全に2次元配置するもので、セルレイアウト生成システムが扱うレイアウトスタイルとしては新しいものである。ここでは、この完全に2次元にトランジスタを配置するレイアウトスタイルを、単に2次元スタイルと呼ぶことにする。2次元スタイルによるセルレイアウト生成では、従来の拡散共有数最大化や配線領域最小化に加え、できるだけ多くのトランジスタを縦方向に配置することも同時に考える必要がある。このため、ここで扱うセルレイアウト生成問題は、これまでにない新しい問題である。

提案するシステムでは、次のようなステップでトランジスタレベルの接続情報（ネットリスト）からセルレイアウトを得る：(1) トランジスタ配置、(2) トランジスタ間配線、(3) コンパクション。トランジスタ配置では、配線領域を考慮したセルレイアウトの横幅の見積り値最小化を目的として、分枝限定法によりトランジスタの配置位置を決定する。効率的に配置結果を得るため、セルレイアウトの横幅の見積り値の下

限值を求める手法を考案した。トランジスタ間配線では、セルレイアウトの横幅最小化を目的として配線経路をメーズ法により決定する。コンパクションは、文献11)の方法を用いる。

以下、2章では、セルレイアウト生成システムの概要について述べる。3章と4章では、それぞれトランジスタ配置と配線について述べる。5章では、実際のDRAM周辺回路用セルを用いて、2つの実験を行った結果について述べる。第1の実験では、従来の1次元スタイルと2次元スタイルについて、セル高を変化させてレイアウトした結果を比較して2次元スタイルの有効性を示すとともに、2次元スタイルでの最適なセル高について言及する。第2の実験では、2次元スタイルで人手により設計したレイアウト結果と比較して開発したシステムの有効性を示す。

## 2. セルレイアウト生成システム

### 2.1 レイアウトモデル

本論文で扱うセルのレイアウトモデルについて、図2を用いて説明する。図2はDRAM周辺回路に用いられているセルレイアウトの例である。P型およびN型トランジスタを配置する領域は、それぞれ矩形の領域で、それぞれは上下に隣接して定義されている。この領域のことを、それぞれP型およびN型トランジスタ配置領域と呼ぶことにする。各トランジスタ配置領域の高さはあらかじめ決められている(各トランジスタ配置領域の横幅は同一)。P(N)型トランジスタ配置領域には、P(N)型トランジスタを完全に平面的に2次元配置することができ、図2に示すように2つのトランジスタA、Bを縦方向に配置する場合もある(以下、このようなトランジスタ配置をトランジスタの縦積みと呼ぶ)。セルレイアウトの境界は、P型およびN型トランジスタ配置領域を囲む矩形である(セル高はあらかじめ決められている)。トランジスタのソース、ドレイン端子は拡散層、ゲート端子はポリシリコン層で定義されている。それらの形状は矩形である。トランジスタの向きは、左右のソース、ドレイン端子がゲート端子をはさみ、トランジスタの高さとサイズが等しくなる向きに限定し、90度回転を許さない(鏡像反転は許す)。このように限定してもレイアウト密度に大きな悪影響を及ぼさない。

トランジスタ間の接続は、P型およびN型トランジスタ配置領域上で3つの層(下から順にポリシリコン層、メタル第1層、メタル第2層)の配線によって行う。配線線分や異なる層を接続するビアは、設計ルールを満たすように置く。各層において配線線分は

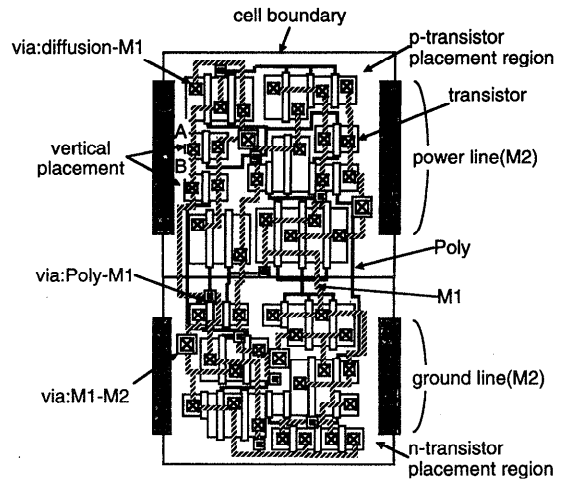


図2 セルレイアウトの例

Fig. 2 An example of cell layout.

縦および横方向に置くことができる。用いる配線層に優先順位はない。電源およびグランド配線は、メタル第2層で水平方向に平行に置く。これにより、電源およびグランド配線の下にはトランジスタを置くことができ、セルを高密度にレイアウトできる。また、電源およびグランド配線とトランジスタを接続する配線を短くできるという利点もある。電源およびグランド配線幅と間隔はあらかじめ決められており、チップのセル列において隣接セル間での接続を保証する。

セルの入出力端子については、セルレイアウトの境界の上下辺まで指定された配線層で信号を引き出してセルレイアウトの境界の上下辺と接する部分を端子とする場合と、同電位の指定された層の配線線分およびビアを端子とする場合があり、いずれにするかはチップのレイアウトスタイルにより、設計者が決める。

### 2.2 システムの概要

セルレイアウト生成システムの構成を図3に示す。本システムの入力は、トランジスタの接続情報(ネットリスト)と設計ルール、出力は、セルレイアウトである。本システムでは、次の手順によりセルレイアウトを生成する：(1)トランジスタ配置、(2)トランジスタ間接続(配線)、(3)コンパクション。本システムでは、配線に必要な領域を見積もりながら設計ルールを満たすようにトランジスタ配置と配線を行う。ただし、配線に必要な領域を正確に見積もることができないため、配線終了後、わずかに局所的な部分で、余分な領域や配線間のスペーシングルール違反が生じる場合がある。これらの余分な領域やスペーシングルール違反箇所をコンパクションにより解消する。本システムが対象としているセルは、高さがあらかじめ決めら

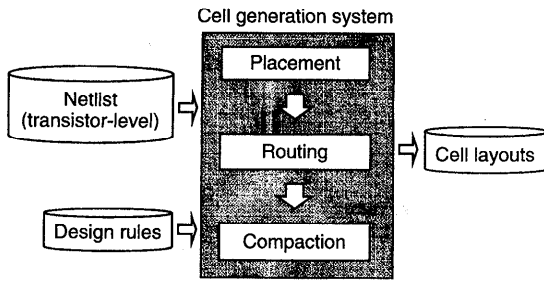


図3 セルレイアウト生成システム  
Fig. 3 A cell layout generation system.

れた CMOS セルで、伝送ゲート、クロックゲートを含むセルを扱うことができる。

### 3. トランジスタ配置

#### 3.1 トランジスタ配置問題

2次元レイアウトスタイルによるトランジスタ配置では、セルの横幅を最小化するために、以下の3点を同時に考慮する必要がある。(1) 多くのトランジスタを縦積みする。(2) 拡散共有数を多くする。(3) 配線のための領域の横幅を最小化する。このため、従来の1次元スタイルの場合のように、拡散共有数最大化を主な目的とした手法を適用しても高密度なレイアウトを得ることができない。また、トランジスタが占める領域以外に、トランジスタ間配線のための領域もセルレイアウトの横幅と高さに影響する。このため、トランジスタ配置の段階で、配線に必要な領域を見積もる必要もある。

2次元スタイルによるトランジスタ配置問題は非常に複雑な問題であるが、一般にセル中のトランジスタのサイズはセル設計を容易にするためにあらかじめ決められた基準となるサイズ（以下、基準サイズと呼ぶ）の定数倍であることから<sup>3)</sup>、本システムでは以下のようにトランジスタの配置位置について制約をつける。まず、トランジスタ配置領域を図4のように複数の水平線分で分割する（図4は、便宜上、P型トランジスタ配置領域のみを示す）。この水平線分の間隔はP(N)型トランジスタの基準サイズと同一とする。そして、トランジスタを囲む最小矩形の左下座標がこの水平線分上に存在するようにトランジスタを配置する。

本論文におけるトランジスタ配置問題を次のように定義する：トランジスタレベルのネットリストを入力とし、以下で定義するセル横幅の見積り値  $W_{cell}$  が最小となるように、P型およびN型トランジスタそれぞれの位置と個々のトランジスタの反転（ソース・ドレインの左・右）を決定する。

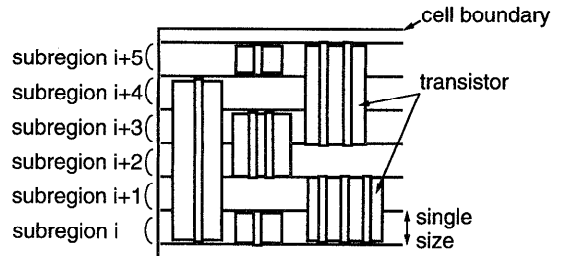


図4 トランジスタ配置スタイル  
Fig. 4 Transistor placement style.

セル横幅の見積り値  $W_{cell}$  は次の式で定義する。

$$W_{cell} = \max\{W_s\}, \quad s = 1, 2, \dots \quad (1)$$

ここで、 $W_s$  は水平線分で分割されてきた各部分領域  $s$  ごとに以下のように定義する横方向の長さの見積り値である。

$$W_s = W_{ts} + W_{rs} \quad (2)$$

ここで、 $W_{ts}$  と  $W_{rs}$  は、それぞれ部分領域  $s$  における、配置したトランジスタの横幅の総和と、配線に必要な見積もった領域の横幅の総和である。

#### 3.2 トランジスタ配置手法

トランジスタ配置の際には前述した3つのことを同時に考える必要があるが、これらは互いにトレードオフの関係になる場合があり、実際にトランジスタを配置した後でないとその良否を判定することが難しい。また、いったん、トランジスタを配置した後にトランジスタを移動する反復改善手法では、トランジスタのサイズのばらつきが大きいため、良い結果を得ることが困難であると予想される。一方、ここで扱うセル中のトランジスタは数個から100個程度までであり、問題の規模が小さい。そこで配置問題として定式化した枠内で最適解を求めることのできる分枝限定法によりトランジスタを配置する。ただし、トランジスタ数が数十個以上の大きなセルについては、セルをいくつかのグループに分け、配置問題をトランジスタグループの配置とグループ内のトランジスタ配置に分割して解く（以下、それぞれを概略配置、詳細配置と呼ぶことにする）。1つのトランジスタグループ中のトランジスタ数は、セルレイアウトの品質と処理時間に関係する。ここでは、実験によりこの数を決める。

以下、概略配置と詳細配置について説明する。

(1) 概略配置：規模の大きいセルに対して、min-cut法によりセル中のトランジスタのグループ分けとその並びを同時に決める。まず、仮のセル枠を設けその枠内に与えられたセルの全トランジスタが割り付けられていると考える。次に、全トランジスタを縦方向のカットラインにより2つのトランジスタ

グループに分割するとともに、その左右の並びを決める。そして、順次、最もトランジスタ数の多いグループを縦方向のカットラインにより分割し（双方のグループのトランジスタ数は等しくなるようにする）、その左右の並びを決める。グループ分けが完了した時点で、各グループを横1列に並べたことになる。ここでは、カットラインと交差する信号数を最小化することに加えて、互いに縦積み可能なトランジスタや拡散共有可能な（特にドレイン端子共有可能な）トランジスタを分ける場合に大きな重みをつけ、これらの重みの和を最小化する。これにより、密に接続したトランジスタどうしを同一トランジスタグループとすることに加え、縦積み不可能なトランジスタどうしや拡散共有できないトランジスタどうしは別々のトランジスタグループとする。なお、配線経路についてはここでは考慮しない。

- (2) 詳細配置：上記トランジスタ配置位置制約に従い、横1列に並べられたトランジスタグループを左から順に選択し、トランジスタグループごとにトランジスタを配置する。ここでは、セルレイアウト横幅の見積り値  $W_{cell}$  を最小化することを目的として、分枝限定法によるトランジスタ配置を行う。配線に必要な領域については、1つのトランジスタを配置するごとに、配線経路をスタイナー木でモデル化することにより見積もる。

分枝限定法は、与えられた問題をより小規模な部分問題に分解し（分解されてできた部分問題はさらに分解される）、そのすべてを解くことによって等価的にもとの問題を解く手法である。本システムでは、記憶領域の関係から深さ優先探索による分解を行う。分枝限定法において解を効率的に探索するためには、不必要な部分問題をできるだけ生成しないようにしなければならない。そのため、部分問題がもとの問題の最適解を与えないことが分かった場合、その部分問題を解くことを終了する（限定操作と呼ぶ）。限定操作は、部分問題の緩和問題の最適解（下限値と呼ぶ）が、その時点までにすでに求まっている最適解よりも悪い場合に行われる。以下、この下限値を求める手順について説明する。

まず、未配置トランジスタについて、その端子（ゲート、ソース、ドレイン）位置は定められないため、そのトランジスタに接続するネットはすべて無視する。したがって、目的関数の計算時に考慮されるネットは、配置されたトランジスタ間を結線するものだけである。次に、拡散共有による影響を以下のように考慮する。従来の1次元スタイルによるトランジスタ配置問題で

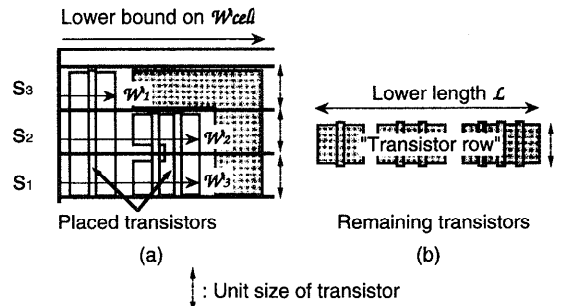


図5  $W'_{cell}$  の例

Fig. 5 An example of  $W'_{cell}$ .

は、拡散共有数を最大にするトランジスタ配置問題を解く手法が数多く提案されている。前述したように、本論文では等間隔に設定された水平線分に接するようにトランジスタを配置する。そこで、未配置トランジスタを拡散共有最大化を目的として従来の1次元スタイルで配置した場合のトランジスタ列の長さを求め、そのトランジスタ列長を水平線分で分割されたトランジスタ配置領域の横幅とすることにより下限値を求めることにした。

たとえば、図5（図5は、便宜上、P型トランジスタのみを示す）に示す部分問題を考える。図5では、4本の水平線分により分割された各部分領域  $s = 1, 2, 3$  にすでにいくつかトランジスタが配置されている。まず、既配置トランジスタについて式(2)と同様にして各部分領域の横方向の長さの見積り値  $W'_1, W'_2, W'_3$  を求める（このとき、未配置トランジスタと接続するネットは無視する）。次に未配置トランジスタを従来の1次元スタイルで1列に並べた場合の長さ  $L$  を求める。そして、ここでのセルの横方向の長さの見積り値の下限値  $W'_{cell}$  を以下の計算式で求める。

$$W'_{cell} = \frac{\sum W'_s + L}{3} \quad (s = 1, 2, 3) \quad (3)$$

上記計算式で求められる下限値  $W'_{cell}$  がすでに求まっている最適解よりも悪い場合、その部分問題を解くことを終了する。

1次元スタイルによる拡散共有数最大化を目的としたトランジスタ配置アルゴリズムは数多く発表されている。我々は、分枝限定法を用いた文献4)の手法を用いる。

## 4. トランジスタ間配線

### 4.1 配線問題

トランジスタ配置が完了した時点で、トランジスタ間を接続する配線のために必要と見積もった領域が確

保されているが、セルレイアウト面積を最小化するようにその領域を正確に見積もることはできないため、実際の配線の段階では、セルレイアウト面積最小化を目的として配線する。すなわち、ここでの配線問題は、前述したセルレイアウトモデルに従い、コンパクション後のセルの横幅の最小化を目的として、セルレイアウトの境界内の任意の場所にある複数の同一信号の端子をすべて接続する問題である。制約は以下の2点である。(1) レイアウトがあらかじめ決められたセル高を越えない。(2) 同一配線層で異なる信号の配線が交差しない(異なる信号が短絡しない)。

#### 4.2 トランジスタ間配線手法

我々は、2次元スタイルのセルレイアウト生成におけるメーズ手法を基にしたトランジスタ間配線手法を開発した<sup>12)</sup>。本手法の特長は、コンパクション後のセルの横幅増加を最小化することを目的とした配線経路探索時のコスト関数にある。以下、このセルの横幅増加を最小化するコスト関数について説明する。

セルレイアウトの横幅増加を最小化するためには、セルレイアウト上のトランジスタおよび配線パターンを頂点とし隣接するトランジスタあるいは配線パターンに相当する頂点間を有向辺で接続したコンパクション時の制約グラフの「クリティカルパス<sup>11)</sup>」に対応する箇所を配線が通過しないようにする。そして、配線通過によりセルレイアウトの横幅が増加しないようなコンパクション時の制約グラフ上の「余裕」の大きいパスに対応する箇所をできるだけ配線が通過するようにする。このために、セルレイアウトの横幅増加に関するコストをチャンネルグラフ<sup>13)</sup>を導入して求める。ここでのチャンネルグラフは以下のように作成する。まず、トランジスタ(あるいは拡散を共有したトランジスタの集合)を矩形とし、その矩形の各頂点からセルレイアウトの境界あるいは他のトランジスタ(集合)の縦の辺に突き当たるまで水平に直線を伸ばす。この直線とセルレイアウトの境界およびトランジスタ(集合)の辺によってトランジスタ配置領域を小領域に分割する(この小領域のことを *g-cell* と呼ぶ)。そして図6に示すように、セルレイアウトの左端、右端をそれぞれ始点、終点とした有向グラフ(チャンネルグラフ)を作成する。各頂点  $V_i$  には、対応する *g-cell* がトランジスタの場合、トランジスタの横幅、それ以外の場合、その *g-cell* を通過する配線に必要な見積もった横幅を設定する(これを  $|V_i|$  と表す)。

作成したグラフの始点から終点までたどるパスのうち、 $|V_i|$  の和(パス長と呼ぶ)の最大値  $H$  はセルの横幅の見積り値を表す。ある頂点  $V_j$  を必ず通る始

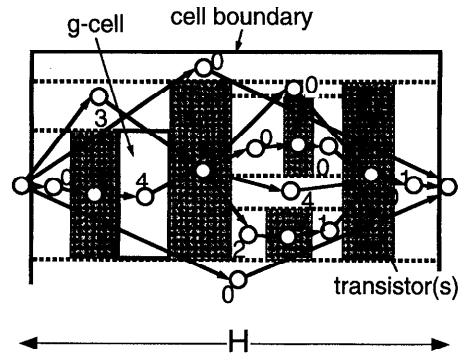


図6 チャンネルグラフの例  
Fig. 6 An example of channel graph.

点から終点までの最大パス長を  $H_j$  とすると、 $H$  と  $H_j$  との差は、配線が  $V_j$  に対応する *g-cell* を通過するとき、セルレイアウトの横幅を増加させるまでにどれだけ「余裕」があるのかを示す。配線経路探索時、この「余裕」に反比例したコストを設定することにより、セルレイアウトの横幅増加を最小化する。

なお、セル高の制約については、以下のように取り扱う。まず、上記チャンネルグラフをセルレイアウトの高さ方向についても作成することにより、セルレイアウトの高さを見積もる。そして、この見積り値が与えられたセル高を越えるような配線経路生成を禁止し、配線経路探索中常にセル高の制約を満たすようにする。

## 5. 評価

提案したセルレイアウト生成システムをC言語で実現した。実験は、Sun SPARC station 20 (133 MIPS)、実装メモリ 200 MegaBytes (MB)、スワップ領域のサイズ 600 MB 上で行った。実験に用いたセルは、実際のシンクロナス DRAM の周辺回路を構成するセルで、トランジスタサイズの基準サイズは  $3\mu\text{m}$ 、1つのセルに含まれるトランジスタのサイズのばらつきは10倍程度、1つのセルに含まれるトランジスタの平均サイズは約  $9\mu\text{m}$  である(表1参照)。実験では、トランジスタ配置時の1つのトランジスタグループに含まれるトランジスタ数は最大20個までとした。これは、前述の詳細配置で一度に扱うトランジスタ数が20個程度までなら実用的な処理時間でトランジスタを配置できるという実験結果に基づいている。

### 5.1 2次元スタイルの効果

構成トランジスタのサイズのばらつきが大きいセルに対し、高密度なレイアウトを得るためには、従来の1次元スタイルではなく、トランジスタ配置領域でトランジスタを完全に2次元に配置する2次元スタイ

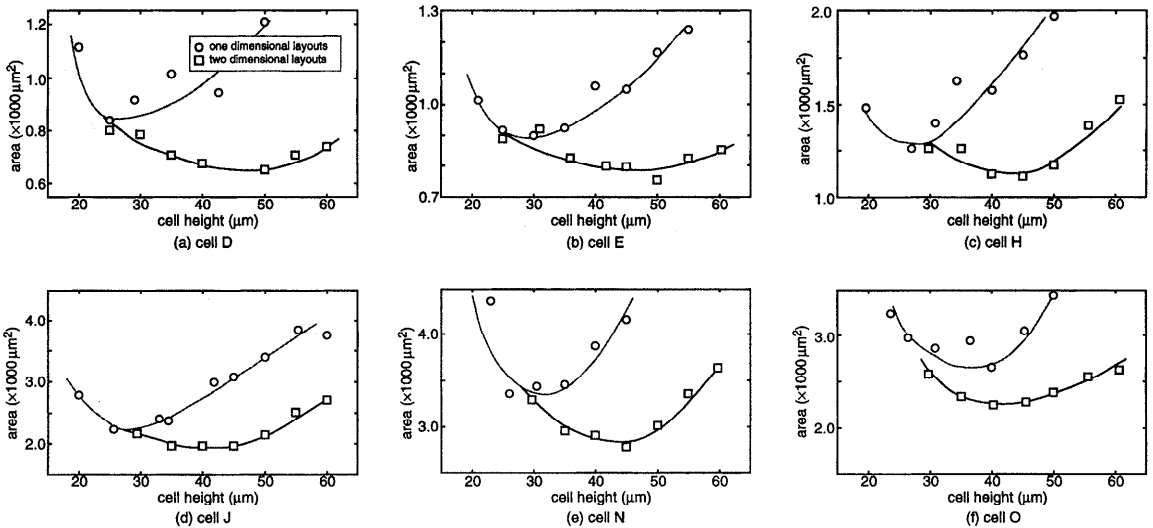


図7 1次元スタイルとの比較

Fig. 7 Comparison with one-dimensional layout style.

表1 人手設計と提案システムによるセルレイアウト面積の比較  
 Table 1 Comparison between manual layouts and our system's layouts.

| cell | #of trs. | tr. size | manual | auto | ratio |
|------|----------|----------|--------|------|-------|
| A    | 6        | 3/27     | 0.40   | 0.40 | 1.00  |
| B    | 8        | 3/24     | 0.48   | 0.50 | 1.04  |
| C    | 8        | 3/24     | 0.51   | 0.51 | 1.00  |
| D    | 14       | 3/24     | 0.76   | 0.76 | 1.00  |
| E    | 18       | 6/42     | 0.78   | 0.78 | 1.00  |
| F    | 24       | 3/42     | 1.26   | 1.26 | 1.00  |
| G    | 26       | 3/24     | 1.11   | 1.08 | 0.97  |
| H    | 28       | 3/24     | 1.09   | 1.11 | 1.02  |
| I    | 30       | 3/42     | 3.36   | 3.36 | 1.00  |
| J    | 36       | 3/42     | 2.07   | 2.18 | 1.05  |
| K    | 40       | 6/102    | 2.69   | 2.75 | 1.02  |
| L    | 40       | 3/120    | 3.67   | 3.42 | 0.93  |
| M    | 42       | 3/24     | 1.75   | 1.73 | 0.99  |
| N    | 48       | 3/24     | 1.94   | 1.96 | 1.01  |
| O    | 64       | 6/42     | 2.87   | 2.78 | 0.97  |
| P    | 72       | 3/42     | 3.43   | 3.53 | 1.03  |

#of trs.: セル中のトランジスタ数

tr. size: 最小/最大トランジスタサイズ (単位  $\mu\text{m}$ )manual: 人手レイアウト面積 (単位  $1000 \mu\text{m}^2$ )auto: 提案システムによるレイアウト面積 (単位  $1000 \mu\text{m}^2$ )

ルによりセルレイアウトを生成する必要があると考えられる。これを検証するために、1次元スタイルと2次元スタイルとをセルレイアウト面積について比較した。ここで実行の対象としたセルは表1のうち、セルD、セルE、セルH、セルJ、セルN、セルOの6セルである(トランジスタ数の少ないものから多いものまでを任意に選択した)。これらのセルについて、1次元スタイルで人手作成したレイアウトと、2次元スタイルで我々のシステムにより自動生成したものを比較

した。セル高が低くなるとトランジスタを縦方向に並べることができず、2次元スタイルの効果を期待できないと考えられる。また、セル高が高くなると1次元スタイルではトランジスタ列の上下に隙間が多く発生し、1次元スタイルを正當に評価することができなくなる。ここでは、1次元スタイルおよび2次元スタイルのそれぞれで面積最小となるレイアウトを比較するために、セル高を変化させてセルレイアウトを作成した。その実験結果をセル高(横軸)とセルレイアウト面積(縦軸)の値によってプロットしたグラフを図7に示す。図7から以下のことが分かる。

- (1) 1次元スタイルによるセルレイアウトでは、平均トランジスタサイズとP型トランジスタとN型トランジスタ間のスペーシングルールとの和の近傍のセル高(25  $\mu\text{m}$ )で面積最小となるのに対し、2次元スタイルでは、それより高い(45~55  $\mu\text{m}$ 程度)のセル高(平均トランジスタサイズの2倍とP型トランジスタとN型トランジスタ間のスペーシングルールとの和程度)で面積最小となる。このとき、2次元スタイルでは、最大4個のトランジスタを縦方向に並べた。
- (2) 2次元スタイルによる最小セルレイアウト面積は、1次元スタイルの場合に比べて15%程度小さい。この結果より、構成トランジスタのサイズのばらつきが大きいセルに対しては、セル高を平均トランジスタサイズの2倍とスペーシングルールとの和程度の高さ、すなわち、トランジスタを数個縦積みできる高さとし、2次元スタイルによるレイアウト生成が有効で

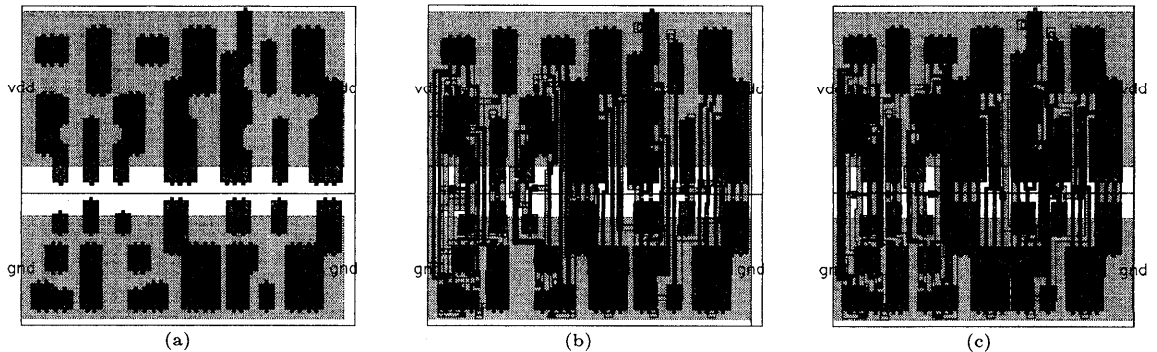


図8 セルレイアウト生成結果(セルP)  
Fig. 8 A generated layout (cell P).

あるといえる。

### 5.2 2次元スタイルでの人手設計との比較

提案したセルレイアウト生成システムの有効性を評価するために、2次元スタイルで人手により作成したセルレイアウトと、本システムにより生成したレイアウトとをセルレイアウト面積について比較した。セル高は、すべて  $50\mu\text{m}$  とした。その結果を表1に示す。規模の小さいセル(セルFより小さいセル)については、人手設計と同等のレイアウトを生成できた。その他の規模の大きいセルについては、セルをいくつかのトランジスタグループに分割した影響により、最適なトランジスタ配置を求めることができず、人手レイアウトに劣る場合もあった。しかし、ほぼ人手設計と同等の結果を生成できたといえる。

2次元スタイルによるセルレイアウト作成は、熟練したレイアウト設計者にとっても難しい問題である。従来、人手により2次元スタイルで高密度なセルレイアウトを作成する場合、50トランジスタ規模のセルに対して10時間程度費やしていた。我々のセルレイアウト生成システムは、同等のセルレイアウトを約1時間のCPU時間(SUN SPARC station 20)で生成する。これは人手設計に比べ十分に早い。

図8に自動生成したセルレイアウト結果の例として、表1のセルPのトランジスタ配置後、配線後、コンパクション後(最終レイアウト)の各段階でのレイアウト結果を示す(aはトランジスタ配置後、bは配線後、cは最終レイアウトを示す)。この図から、提案するセルレイアウト自動生成システムにより、トランジスタのサイズのばらつきが大きいセルに対し、トランジスタを完全に2次元配置したレイアウトスタイルで高密度セルレイアウトを生成できることが分かる。

## 6. む す び

本論文では、2次元トランジスタ配置構造を持つCMOSセルのレイアウトを自動生成するレイアウトシステムについて述べた。本システムは、構成トランジスタのサイズのばらつきが大きいセルを対象としており、P型およびN型トランジスタをそれぞれ縦方向に複数個並べる2次元スタイルにより高密度なレイアウトを生成する。本システムでは分枝限定法によるトランジスタ配置を行う。本論文では、効率良くトランジスタ配置を行うための下限値を示した。また配線については、セルレイアウトの横幅増加最小化を目的としたコスト関数について簡単に説明した。実験の結果、構成トランジスタのサイズのばらつきが大きいセルに対して、2次元スタイルが有効であることを示した。また、我々のシステムは、レイアウト設計者によるレイアウトと比較して、面積の点で同等の品質のセルレイアウトを生成できることを示した。

今後の課題としては、次の2つがあげられる。まず、より効率良くトランジスタ配置問題を解くための下限値について検討する必要がある。これは、たとえば未配置トランジスタに接続するネットについての考察があげられる。それから、規模の大きいセルのレイアウト生成手法について検討する必要がある。今回は、min-cut法を用いた簡単なグループ分けを行ったが、配線経路を考慮したグループ分けを行う必要があると考える。

## 参 考 文 献

- 1) Uehara, T and vanCleemput, W.M.: Optimal layout of CMOS functional arrays, *IEEE Trans. Comput.*, Vol.C30, No.5, pp.305-312 (1981).



- 2) Hwang, C., Hsieh, Y., Lin, Y. and Hsu, Y.: An optimal transistor chaining algorithm, *Proc. IEEE Int'l Conf. on Computer-Aided Design*, pp.344-347 (1989).
- 3) Poirier, C. J.: Excellerator: custom CMOS leaf cell layout generator, *IEEE Trans. Computer-Aided Design*, Vol.CAD-9, No.7, pp.744-755 (1989).
- 4) Hwang, C.: A fast transistor chaining algorithm for CMOS cell layout, *IEEE Trans. Computer-Aided Design*, Vol.C9, No.6, pp.781-786 (1990).
- 5) 白石洋一, 轡田 真, 酒見淳也, 築添 明: CMOSセルパターン生成のためのトランジスタ島成長アルゴリズム, 電子情報通信学会論文誌, Vol.J75-A, No.1, pp.65-75 (1992).
- 6) Sadakane, T., Nakao, H., Terai, M. and Sato, K.: A new algorithm for transistor placement in CMOS macro cell design, *Proc. Custom Integrated Circuit Conference*, pp.461-464 (1995).
- 7) Hill, D.: Sc2: A hybrid automatic layout system, *Proc. IEEE Int'l Conf. on Computer-Aided Design*, pp.172-174 (1989).
- 8) Tani, K., Izumi, K., Kashimura, M. Tsuneo, M. and Fujii, T.: Two-dimensional layout synthesis for large-scale CMOS circuits, *Proc. Custom Integrated Circuit Conference*, pp.490-493 (1991).
- 9) Paul, K.S.: CETUS - a versatile custom cell synthesizer, *Proc. IEEE Int'l Conf. on Computer-Aided Design*, pp.348-351 (1989)
- 10) Fukui, M., Shinomiya, N. and Akino, T.: A new layout synthesis for leaf cell design, *Proc. ASP Design Automation Conf.*, pp.259-264 (1995).
- 11) Wong, C. and Liao, Y.: An algorithm to compact a VLSI symbolic layout with mixed constraints, *IEEE Trans. Computer-Aided Design*, Vol.2, No.4, pp.62-69 (1983).
- 12) Shibatani, S., Sadakane, T., Nakao, H., Terai, M. and Okazaki, K.: A CMOS cell generation system for two-dimensional transistor placement, *Proc. Custom Integrated Circuit Conference*, pp.1007-1010 (1998).
- 13) Preas, B.T. and Gwyn, C.W: Methods for hierarchical automatic layout of custom LSI circuit masks, *Proc. 15th Design Automation Conf.*, pp.206-212, (1987).

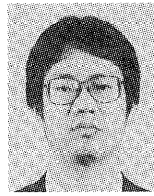
(平成10年9月4日受付)

(平成10年12月7日採録)



柴谷 聡

昭和43年生。平成2年大阪大学工学部応用物理学科卒業。平成4年同大学院工学研究科応用物理学専攻修士課程修了。同年三菱電機(株)入社。以来、LSIの自動レイアウト技術、特に自動配線技術の研究開発に従事。現在、三菱電機アメリカ(株)に出向。電子情報通信学会会員。



定兼 利行(正会員)

昭和41年生。平成2年京大大学院理学部数学科卒業。同年三菱電機(株)入社。以来、LSIの自動レイアウト技術の研究開発に従事。現在、システムLSI事業統括部勤務。



中尾 博臣(正会員)

昭和36年生。昭和58年京都大学工学部原子核工学科卒業。昭和60年同大学院工学研究科原子核工学専攻修士課程修了。同年三菱電機(株)入社。以来、LSIの自動レイアウト技術の研究開発に従事。現在、システムLSI事業統括部勤務。



寺井 正幸(正会員)

昭和28年生。昭和51年大阪大学工学部電子工学科卒業。昭和53年同大学院工学研究科電子工学専攻修士課程修了。同年三菱電機(株)入社。以来、LSIの自動レイアウト技術の研究開発に従事。現在、システムLSI事業統括部勤務。工学博士。電子情報通信学会会員。



岡崎 芳(正会員)

昭和21年生。昭和44年大阪大学工学部電子工学科卒業。昭和51年同大学院工学研究科電子工学専攻修士課程修了。同年三菱電機(株)入社。以来、LSIの自動レイアウト技術の研究開発に従事。現在、システムLSI事業化推進センター勤務。工学博士。電子情報通信学会会員。