

招待論文

ディープサブミクロン時代の半導体集積回路の
技術課題と EDA への期待

黒田 忠 広†

21世紀にはさらなるダウンサイジングが起り、コンピュータと通信と家電技術が融合する。その中核技術となるシステム LSI は、まずは標準デバイスを使ってソフトウェアでカスタマイズする手法で開発されるが、やがては専用のハードウェアとソフトウェアを協調設計するようになる。電子設計自動化 (Electronic Design Automation, EDA) の革新は、半導体産業にうねりを起こし、発展を促す。下位 EDA は、電力や配線遅延の問題を解き、ディープサブミクロンデバイスの性能を引き出す。高位 EDA は設計効率を高め設計の複雑さの壁を打ち破る。このように EDA は、守備範囲を広げながら、集積回路とエレクトロニクスの発展により大きく貢献していくことになるであろう。

Technical Issues of Semiconductor Integrated Circuits and
Expectations of EDA in the Era of Deep Sub-microns

TADAHIRO KURODA†

The twenty-first century is expected to be characterized by continued miniturization in computing systems and merging of computing, communication and consumer technologies. The core technology, system LSI, will at first be developed by using custom software on a standard device, but will be eventually be developed by co-design into specific hardware and software. Revolutions in electronic design automation (EDA) creates a mass production/custom production cycle in the semiconductor industry and stimulates its development. Low-level EDA solves problems such as power dissipation and interconnection delay, and draws out performance of deep sub-micron devices. High-level EDA improves design efficiency and tackles the design complexity barrier. In this way, EDA will continue to play a significant role in expanding the domain of technology and in the development of integrated circuits and electronics.

1. はじめに

本論文では、半導体産業と集積回路技術の将来展望を示し、ディープサブミクロン時代の技術課題と EDA への期待について述べる。まず半導体産業の将来展望をアプリケーションとチップ生産の両面から議論し、2020年までを2期に分けて将来の集積回路像を描く。次に集積回路技術の将来展望をデバイスのスケールリング則を中心に検討する。さらにディープサブミクロン時代に克服すべき3つの技術課題、すなわち電力と配線と設計の複雑さの問題について整理し、将来技術の方向性を示す。最後に EDA に対する期待を述べる。

2. 半導体産業の将来展望

2.1 ダウンサイジング

半導体集積回路の主なアプリケーションは、コンピュータとメモリを中核とした情報処理システムである。コンピュータは、ダウンサイジングによって10年ごとにパラダイムシフトを繰り返してきた(表1)。システムのコストも10年で10分の1に下がり、その結果、応用分野も国家から企業、そして個人へと下りてきた。今後は portable あるいは wearable¹⁾ なコンピュータが急速に発展浸透していくであろう。どこでも使えて(モバイル)、ネットワークにある膨大なリソースや情報を活用でき(Network Computer)、マルチメディアで表現できて、生活を豊かにできる。これからの応用システムは、Computer と Communication と Consumer の技術の融合体となり、LSI の主な役割は計算から通信や画像処理に移行していくであろう

† 株式会社東芝マイクロエレクトロニクス技術研究所
Microelectronics Engineering Lab., Toshiba Corp.

表 1 コンピュータと電子部品のダウンサイジング
Table 1 Downsizing in computers and electronic components.

年代	'50年代	'60年代	'70年代	'80年代	'90年代	2000年代
コンピュータ	ENIAC など	大型	中型	EWS	PC	モバイル NC
価格	30 億円	3 億円	3000 万円	300 万円	30 万円	3 万円
応用分野	軍事	科学	科学	工学	OA	民生
デバイス	真空管	トランジスタ	IC	LSI	VLSI	ULSI
トランジスタ			バイポーラ	NMOS	CMOS	低電圧 CMOS

う²⁾。

一方、電子部品もダウンサイジングを繰り返し、より多くの回路を集積することでシステムのコストパフォーマンスを向上してきた。したがって、素子単体の性能よりも、集積したときに引き出せる性能が重要である。CMOS はバイポーラよりも低速で NMOS よりも製造コストが高いが、低電力ゆえに高集積化できる。その結果主流デバイスとして発展してきたが、この 15 年間で CMOS の電力は NMOS 並みに増大した。新しい低電力デバイスがいまだに開発されていない以上、CMOS を低電圧で動作させて低電力にする技術が必須になるであろう³⁾。

2.2 大量生産と多品種生産の波

この 40 年間の半導体集積回路の生産活動に目を転じると、そこには大量生産指向と多品種生産指向の波が見られる⁴⁾。顧客は自分の仕様にぴったり合った特注品を求める。一方、半導体メーカーは標準規格品を長期間大量生産して工場の操業効率を高めたい。急速な技術革新と激しい市場競争が両者のバランスにうねりを生じ、大量生産指向の時代と多品種生産指向の時代が交互に訪れると考えられる。その周期は経験的に 10 年である (図 1)。

画期的な新型デバイスが発明され、やがてそれが将来の業界標準になると認識されると、多くのメーカーが開発にしのぎを削り標準化の流れを押し進める。しかし、過当競争と供給過剰による価格暴落のために大多数のメーカーは脱落し、競争に勝ち残ったメーカーが最終的に寡占市場を形成する。

やがて新たな競争を求めて、人々はカスタム化指向の技術開発に注力する。EDA や設計手法に革新が起こり、特注品開発の採算レベルを押し上げて多品種生産の時代を切り開く。ところが設計工程は、設計する素子数を n とすると、設計者の介在が入ることでおよそ $O(n^{1.5 \sim 2})$ のオーダーになる。MPU の処理速度も $O(n)$ で速くなるので、その時代の最先端の EWS を使って次の世代の MPU を設計する場合、設計時間は $O(n^{0.5 \sim 1})$ になる。したがって、集積度が 3 年で

4 倍に増えると、設計に要する時間は 10 年で 10 倍から 100 倍に増大する。こうして、多品種開発はやがて困難になり、半導体メーカーは重要顧客向けのチップを優先して開発する。その中から業界標準となるチップが現れ、これを大量生産する時代に再び入る。

半導体業界はこのように 2 つの指向の間を行き来しながら発展していく。チップはより大きなシステムを集積し、半導体メーカーの役割は、個別部品の提供からシステム部品の提供へ、ハードウェアからソフトウェアへと拡大していく。

2.3 システム・オン・チップの時代 (1997~2007 年)

10^8 個以上のトランジスタを集積できるようになると、glue logic のほかに RISC コアやメモリも集積できる。ゲートアレイ (Gate Array, GA) やスタンダードセル (Standard Cell, SC) を月間 100 品種開発した ASIC (Application Specific IC) の時代から、重要顧客向けに ASSP (Application Specific Standard Products; これをシステム ASIC と呼ぶかもしれないが少品種である) を年間十数チップ開発する時代になる。

業界標準となるチップを目指すためには、標準となりうる技術を提案できる技術力が求められる。たとえば、マルチメディア処理に適した構成の RISC, DSP やメモリ、あるいは画像や通信のコア技術である。仕様に合わせてハードウェア (HW) がスケラブルになるのが望ましい。マルチプロセッサ、特に分散共有メモリ方式が望ましいが、ソフトウェア (SW) の開発は難しくなるので、まずは集中共有メモリ方式が採用される。

HW の性能が十分に高くなると、多くの機能は SW で実現できる。SW 部品 (FAX モデムや MPEG2 デコーダなど) や応用 SW 開発環境 (コンパイラ/デバッガなどのツール) の提供が半導体メーカーの重要な役割になる。

命令セットは、デファクトスタンダードに準拠している方が応用 SW の開発効率や流通、資産化にとって

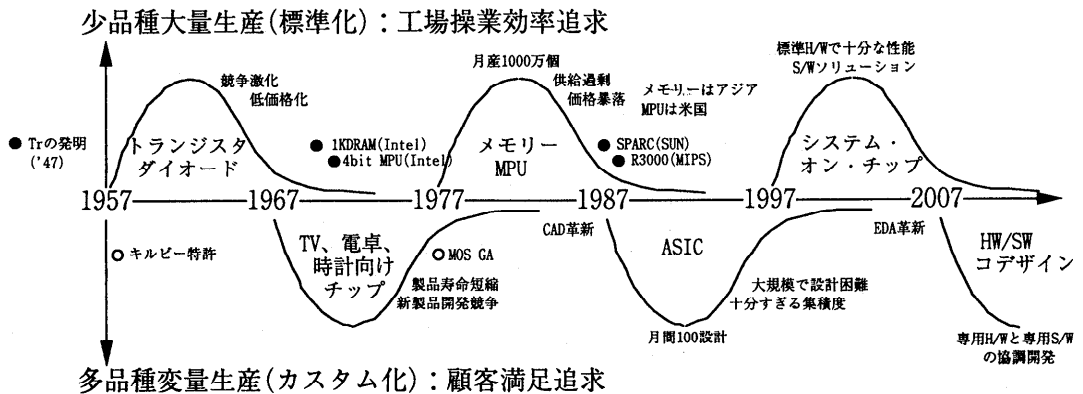


図1 大量生産指向と多品種生産指向の波。工場の操業効率の追求（標準品生産）と顧客満足の追求（特注品生産）が相反する場で、急速な技術革新と激しい競争による環境変化が振動解を生む。周期は経験的に10年。画期的なデバイスの開発（●印）から10年近くの準備期間を経て大量生産の時代が幕開けし、その後の激化する競争に勝ち残った者が寡占市場を作り時代は移る。設計手法の革新が特注品生産の採算レベルを押し上げて多品種生産の時代を開くが、やがて3年で4倍の半導体集積回路の成長速度に開発が追いつかなくなり時代が終焉する。

Fig.1 The mass production/custom production cycle. The conflicting demands of factory efficiency and customer satisfaction in a market characterized by fierce competition and rapid technological advancement produces a mass production/custom production cycle. From experience, this cycle is estimated to be ten years. The mass production era begins after ten years for preparation from the development of a revolutionary device (denoted by a ● mark). The few companies that survive the increased competition eventually monopolize the industry and the mass production era ends. This is followed by innovations in design methodology which in turn raises the profit margin of customized IC production. This era of customized IC production typically lasts about ten years when it can no longer keep pace with the 4-fold every 3-year Moore's Law increase in integrated circuit complexity.

有利である。しかし、Javaやバイナリトランスレーション技術が進展して、HWに依存しなくなる可能性もある。

大量生産の時代になるから、量産技術が差別化の源泉になる。性能飽和が予想されるディープサブマイクロンデバイスの技術課題をいかに解決するか、システム・オン・チップのために要求される混載技術をどう提供していくかがHWの技術課題である。

2.4 HW/SW コデザインの時代（2007～2017年）

システムの仕様を記述すれば、仕様に最適な専用のHWとSWを並行かつ協調的にトップダウンで設計できるようになる⁵⁾。専用のHWとSWを使うので、それまでの標準のHWやSWを使った場合に比べて顧客の満足をさらに追求できる。専用といってもまったくのスクラッチからは作らず、HW/SWの柔らかな設計資産（Intellectual Property, IP）をカスタマイズして効率良く設計する。

SWは、SW部品や応用SW開発ツールのほかに、OSや応用SW自体の開発も支援する。HWとSWは一体に開発するので切り離せない。半導体メーカーにとってはHWとSWのIPが知的財産となる。特に、SWのアルゴリズムが大きな差別化技術になる。

バグ修正やバージョンアップはHWの変更を要するので、フィールドプログラマブルなデバイスがチップに搭載されるであろう。

3. 集積回路技術の展望

ムーアの法則（3年で4倍集積度が増える）は今後も続くのだろうか？最近学会でこの議論がよくされるのは、デバイスの性能飽和や経済成長減速の兆しが現れてきたからであろう。デバイス技術の課題としては、たとえば薄膜化されたゲート絶縁膜のトンネル電流によるリークなどがある。一方、最近の研究では0.04 μm のトランジスタ動作が実験室で確認されている⁶⁾。また、製造技術の課題としては、たとえば各トランジスタごとに10個のパラメータを1%の精度で管理しようとする、1GDRAM（10⁹トランジスタ）の場合10¹²の情報管理が必要になるが、はたしてそれができるかといった問題がある。さらには、年率40%で増大する工場コストを投資できるかという経営の課題もある。いろいろ課題はあるが、2010年まではムーアの法則は続くとする意見が多い。また、「3年で4倍」から「2年で2倍」に減速するという意見もある。成長限界のない技術はありえないが、一方、これまでの限界説も技術の進歩とともに書き換え

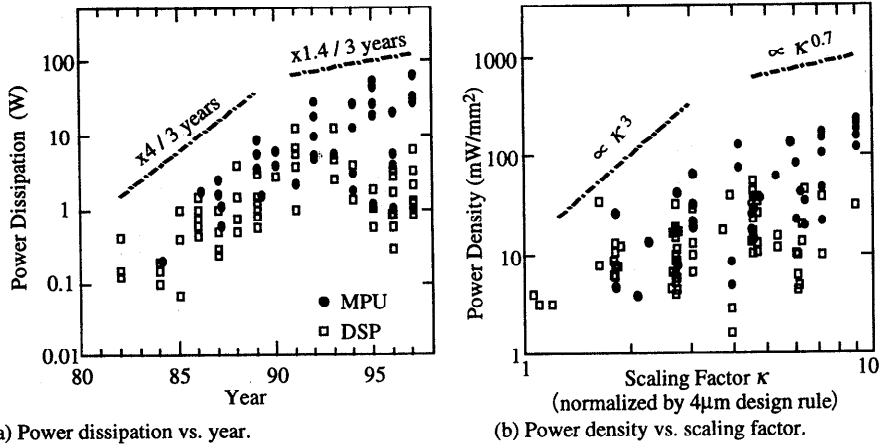


図 2 国際会議 ISSCC で発表された論理 LSI の電力と電力密度
 Fig. 2 Power dissipation and power density of logic LSI chips presented in the international conference, ISSCC.

られているのも事実である。

米国半導体工業会 (SIA) の技術ロードマップ⁷⁾には 2010 年までの技術が記述されている。製造装置や工場などのインフラ整備や関連技術開発の目標合わせに、その果たす役割は大きい。1997 年に発表されたロードマップは、1994 年の内容に比べてマイルストーンが前倒しになっている。競争原理が働いた結果である。

今後の集積回路の挑戦は、以下の 3 つである²⁾。いずれもスケーリング則から予測できる (表 2)。1 つは、低電力化。CMOS 半導体集積回路の電力増大は、デバイスの微細化による電力密度の増大に起因する (図 2)。1980 年代は電圧一定のスケーリングの結果、デバイス寸法が $1/\kappa$ ($\kappa > 1$) に比例縮小されると、電力密度は κ^3 で増大し電力は 3 年で 4 倍増えた。1990 年代の初頭から V_{DD} も下がり始めたが、より積極的に V_{DD} を下げて電界一定のスケーリングをしても、電力密度は $\kappa^{0.7}$ で増大し電力は 3 年で 1.4 倍増え続けると予想される。この予想は、SIA の技術ロードマップとも一致し、その通りになると 2010 年には 180 W のチップが出現することになる。微細化するほど必然的に増大する電力をいかにして削減するかは、緊急の課題である。総合技術が問われる。

2 つ目は、配線技術。2010 年には、配線層数はおよそ 10 層になり、チップの端から端まで信号を伝搬する時間は、このままではクロックの 10 倍程度になると予想される。性能、コスト、製造時間ともにトランジスタよりも配線が支配的になる。対策には、総合技術が求められる。

3 つ目は、設計の複雑さ。現在より 2 桁多い 10^9 個

表 2 スケーリング則にみる微細化の課題。数字は、デバイスを $1/\kappa$ で比例縮小した際に各パラメータが κ の何乗で変化するかをべき乗数で表した。正值は性能劣化を意味する

Table 2 Device scaling issues from scaling theory. Numbers represent the power of κ by which each parameter changes as the device size is scaled linearly by $1/\kappa$. Positive numbers indicate performance degradation.

V_{DD} スケーリング	1	$1/\kappa$	$1/\kappa$
配線スケーリング	$1/\kappa$	近距離 $1/\kappa$	遠距離一定
V_{DD} (V)	0	-1	-1
Tr 寸法 (x)	-1	-1	-1
トランジスタ			
電流 ($I \sim \mu E/x \propto x V^{1.5}$)	1	-0.3	-0.3
容量 ($C \sim \epsilon/x \propto x$)	-1	-1	-1
遅延 ($d \sim CV/I$)	-2	-1.7	-1.7
電力 ($P \sim CVV/d$)	1	-1.3	-1.3
電力密度 ($p \sim P/\kappa/x$)	3	0.7	0.7
素子数 ($1/\kappa/x$)	2	2	2
配線			
幅 (W), 長さ (L)	-1	-1	0
厚さ (T), 絶縁膜厚 (H)	-1	-1	0
抵抗 ($R_{int} \sim \sigma L/W/T$)	1	1	0
容量 ($C_{int} \sim \epsilon LW/H$)	-1	-1	0
配線遅延 ($RC \sim R_{int} C_{int}$)	0	0	0
配線遅延/Tr 遅延 (RC/d)	1	1	1
電力密度 ($I \sim pWL/VW/T$)	1	1	1
配線ノイズ ($N \sim JWTR_{int}/V$)	1	1	2

のトランジスタを集積するためには、設計効率も同様に改善されねばならない。設計資産のリサイクルや高位合成 CAD, SW ソリューションなどが要求される。

4. ディープサブミクロン時代の技術課題

4.1 電力

CMOS の電力は、 $f \cdot P_i \cdot C \cdot V^2$ (f は動作周波数、

表 3 低電力技術
Table 3 Low-power technology.

●アーキテクチャ	<ul style="list-style-type: none"> 無駄のない仕様 (マーケティング) 良いアルゴリズム, データ表現 少ないメモリアクセス
●機能・論理設計	<ul style="list-style-type: none"> 面積, 速度, 電力のトレードオフ クロック停止
●回路設計	<ul style="list-style-type: none"> 低電圧回路 (V_{DD}, V_{TH} 制御) 小振幅回路 (クロック, I/O) 低容量回路 (DRAM 混載, PTL)
●EDA	<ul style="list-style-type: none"> 最適化 (機能, 論理, レイアウト) シミュレータ (各設計階層で)
●デバイス	<ul style="list-style-type: none"> 微細化, SOI 低電圧デバイス (T_{ox}, L 最適化) バラつき制御
●プロセス	<ul style="list-style-type: none"> 配線技術 (低誘電率材料)
●実装技術	<ul style="list-style-type: none"> MCM

P_t はスイッチング確率, C は容量, V は電源電圧) で与えられるので, これらのパラメータを小さくすることが電力削減策になる. そのためには, 表 3 に示すような技術の総合力が求められる^{8)~10)}.

アーキテクチャのレベルでは, 無駄を省くことである. 顧客の求める必要最小限の機能に絞ることが肝要である. メモリアクセスには大きなエネルギーを要するので¹¹⁾, メモリアクセスをできるだけ少なくできるアーキテクチャやプログラム技術が有効である. また, 取り扱う信号の性質に応じて, データ遷移確率が低くなるデータ表現を与えることも有効である¹²⁾.

クロックの電力は年々増加している. こまめにクロックを止めることは, 今後必須である.

回路では低電圧化が最も有効である. 回路遅延の増大を招かないようにしきい値電圧 (V_{TH}) も低くしたい. V_{TH} は, 動作時は低くかつバラつきが小さくなるように, 待機時や $IDDQ$ テストのときは高くなるように制御できる回路技術が開発されている¹³⁾. また, DRAM を混載することで, メモリアクセスのための電力を大幅に削減できる. パストランジスタロジックは, CMOS に比べてより少ないトランジスタ数で論理を組める場合がある. 適材適所に CMOS と使い分ける設計手法が研究されている¹⁴⁾. 回路技術から見た将来の低電力 LSI 像を図 3 にまとめる.

デバイスでは, SOI (Silicon On Insulator) のゲートとボディを接続してダイナミックに V_{TH} を変化させる DTMOS (Dynamic Threshold-voltage MOS) が 0.6 V 以下の電源電圧の時代に有効になる¹⁵⁾. SOI は, サブスレッショルド特性の良さや拡散容量の小ささが特長であるが, ウェハコストの削減が最大の課題である. 低誘電率配線絶縁材料としてはフッ素添加シリコン酸化膜 (SiOF) や高分子材料 (polymer), 空

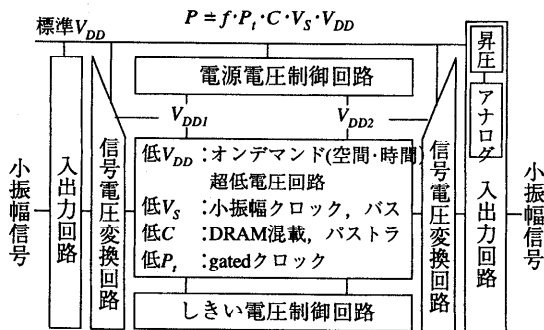


図 3 将来の低電力 LSI
Fig. 3 Future low-power LSI chip.

中配線などがある.

EDA は, 電力を正しく評価して, 性能とのトレードオフを適切にとるうえで非常に重要である.

4.2 配線

配線がチップのコスト, 製造時間, 動作速度, 電力を決めるようになる (図 4). したがって, 配線遅延, 配線容量を減らす技術や, 配線数, 配線層数を減らす技術が重要になる. 以下, 配線遅延に関して検討する.

チップサイズは年率 7% で大きくなっている. これにより, チップの一辺の長さに等しい配線 (チップ長配線) の遅延も増大する. たとえ配線の幅や厚さをスケールリングしなくても, チップ長配線の遅延は年率 14% で増大する. 一方, クロックのサイクルタイムは年率 9% の割合で短縮されており, 何の対策も打たなければ, 2010 年頃には, チップの端まで信号を伝達するのに 10 クロック以上かかるであろう.

配線遅延の対策には, 表 4 に示すような総合技術が求められる¹⁵⁾.

システムを階層にして, 頻繁な通信は小グループ内に収まるようにアーキテクチャを工夫することが必要である.

回路やレイアウト設計でもいくつか工夫はできる. リピータの挿入は有効だが, どこに挿入すべきかはまだ明らかになっていない. また, 微細化するほどリピータの挿入数が増え, そのオーバーヘッドが見えてくる. 線幅の最適化はデバイス技術者と共同で取り組むべき課題である. 最適値を求めるためのマクロモデルが重要になる. 差動信号は同相ノイズに強いので小振幅にできて高速化できるが配線数が 2 倍になるのが欠点である. 差動小振幅を受ける回路としては, センスタンプとフリップフロップを組み合わせた回路がある¹⁶⁾. クロック 1 周期以内に信号を伝搬するのをあきらめるのなら, 配線パイプラインは有効で確実な対策である.

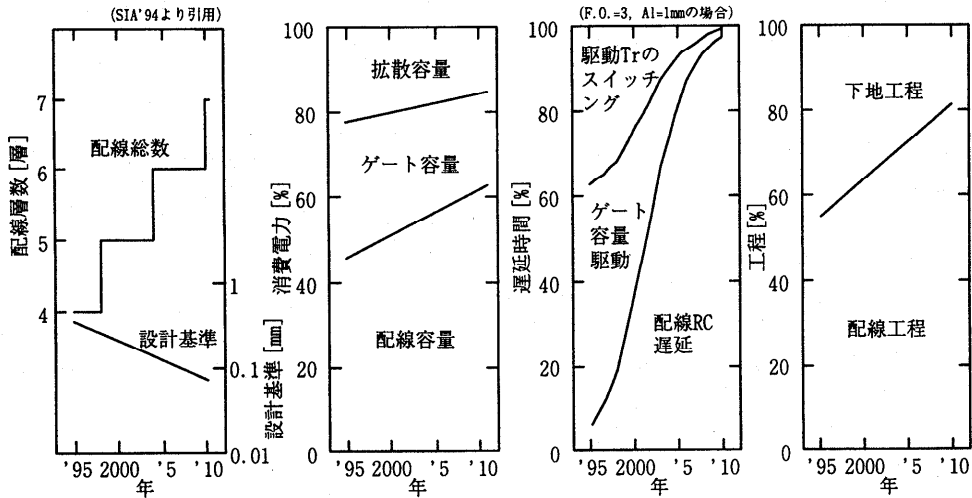


図 4 配線が価格と性能を決める
Fig. 4 Interconnection determines price and performance.

表 4 高速配線技術

Table 4 High-speed interconnection technology.

●アーキテクチャ	・階層化
●回路・レイアウト	・リピータ ・配線幅最適化 ・小振幅, 差動 ・パイプライン
●EDA	・電磁解析, RC 抽出 ・高速シミュレーション
●デバイス・プロセス	・レイアウト最適化 ・低抵抗材料, 低誘電率材料 ・多層配線のスケールアップ

表 5 設計の抽象化

Table 5 Abstraction in design.

'70年代	'80年代	'90年代	2000年代
ポリゴン	レイアウト	論理	機能
トランジスタ	セル	RTL	IP, ソフト部品

デバイスやプロセスでは材料の開発がある。低抵抗材料として銅 (Cu) が期待されている。エレクトロマイグレーション耐性も 10 倍改善できる。低誘電率絶縁材料としては SiOF や polymer や空中配線がある。また、多層配線の役割分担と適切なスケールアップシナリオの適用も重要である。

発想を大きく転換すれば、横方向に配線を広げるのはやめて、上下にチップを重ねて、チップを貫通する配線でつなげることができれば、問題は一気に解決する。この場合、年々チップサイズを小さくできる。

EDA は配線遅延を改善するものではないが、配線遅延を正確に見積もることで設計マージンを削ることができ、高性能化に大きく寄与する。

4.3 複雑さ

集積回路の集積度が年率 59% で増大しているのに対して、設計可能な回路規模は年率 21% しか増加しない¹⁷⁾。すなわち 10 年後には両者におよそ 15 倍の乖離を生ずる。この乖離を埋めることが EDA の最大の

目標の一つである。一般に科学も工学も抽象化を積み上げることで思考やデザインの範囲を拡大する。表 5 に示すように、集積回路の設計も、より上流の設計の自動化を果たすことで、設計生産性を向上してきた。2000 年代は、機能合成が課題になる。また、設計のレベルの抽象度が上がるに従い、異なる製造プロセスで IP をリサイクルすることができるようになる。IP の流通機構が整備されるであろう。

一方、標準 HW を使って SW でカスタマイズするケースが増えてくる。しかし、一般に SW ソリューションは電力が増大する²⁾。たとえば、MPEG-2 のデコードを最近のマイクロプロセッサを使って SW で処理すると 40 W 程度の電力を消費する。マルチメディア信号処理に特化したメディアプロセッサを使って HW と SW で処理すると、3 W 程度でデコードできる。さらに専用のシステム LSI を使って HW だけで処理すれば、0.7 W ですむ。開発時間、経済性と仕様の変更や性能のトレードオフが HW と SW の分担を決める。SW 開発の比重が高まるので、SW 開発効率の向上が EDA の新たな課題になる。

設計はできてもチップがテストできなければ意味がない。年々の高速化と多ピン化でテストコストはかさ

んでくる。SIAは、2010年にはチップの90%の部分はBIST (Built-In Self-Test) でカバーされると予測している。

4.4 EDAへの期待

EDAの革新は、半導体産業にうねりを起こし、発展を促す。集積回路の設計の抽象レベルを上げることで、エレクトロニクスのダウンサイジングが可能になり、パラダイムシフトが生まれる。そのためには、高位EDAによる設計効率の向上が必要不可欠である。他方、ディープサブミクロンでのデバイス性能を引き出すために、とりわけ電力と配線遅延の壁を打ち破るためには、下位EDAの進展もきわめて重要である。このようにEDAは守備範囲を広げながら、集積回路の発展により大きく貢献していくことになるであろう。製造装置とともに半導体産業を支える基盤技術としてEDAの今後の進展に大いに期待する。

謝辞 本論文は、東京大学の桜井貴康教授との共同研究の成果に基づくものであり、桜井教授のご指導に心から感謝いたします。本論文執筆の機会をいただきました大阪大学の今井正治教授に感謝いたします。本研究を行う機会を与えていただいた東芝マイクロエレクトロニクス技術研究所の海野陽一所長、システムLSI技術研究所の斎藤光男所長、古山透グループ長に感謝いたします。

参考文献

- 1) <http://lcs.www.media.mit.edu/projects/wearables/>, あるいは, <http://www.cs.cmu.edu/~wearable/>
- 2) 桜井貴康: 総論—システムLSIのアプリケーションとシステムLSIの課題, 電子情報通信学会誌, Vol.81, No.11, pp.1082-1086, (1998).
- 3) Kuroda, T. and Sakurai, T.: Overview of low-power ULSI circuit techniques, *IEICE Trans. Electronics.*, Vol.E78-C, No.4, pp.334-344 (1995).
- 4) Makimoto, T.: Technology 1992, *IEEE Spectrum*, Vol.29, No.1, pp.44 (1992).
- 5) 今井正治: システム・オン・シリコン時代のハードウェア/ソフトウェア・コデザイン, システムLSI琵琶湖ワークショップ (Nov. 1997).
- 6) Iwai, H.: CMOS - Year 2010 and beyond; from technological side, *CICC*, pp.141-148 (May. 1998).
- 7) <http://notes.semtech.org/97melec.htm>
- 8) 桜井貴康 (編): 低消費電力, 高速LSI技術, リアライズ社 (1998).
- 9) 黒田, 桜井: マルチメディア CMOS VLSIのための低消費電力回路設計技術, 電子情報通信学会誌, Vol.J80-A, No.5, pp.746-752 (1997).
- 10) 黒田忠広: 低消費電力技術, 電子情報通信学会誌, Vol.81, No.11, pp.1144-11496 (1998).
- 11) Gordon, B.M., et al.: Design of a Low Power Video Decompression Chip Set for Portable Applications, *J. VLSI Signal Processing Systems*, Vol.13, pp.125-142 (Aug. 1996).
- 12) Landman, P.E. and Rabaey, J.M.: Activity-Sensitive Architectural Power Analysis, *IEEE Trans. Computer-Aided Design*, pp.571-587 (Jun. 1996).
- 13) Kuroda, T., et al.: A 0.9 V 150 MHz 10 mW 4 mm² 2-D discrete cosine transform core processor with variable-threshold-voltage scheme, *IEEE J. Solid-State Circuits*, Vol.31, No.11, pp.1770-1779 (1996).
- 14) Yamashita, S., et al.: Pass-Transistor/CMOS Collaborated Logic: The Best of Both Worlds, *Symp. VLSI Circuits Dig. Tech. Papers*, pp.31-32 (Jun. 1997).
- 15) Assaderaghi, F., et al.: A Dynamic Threshold Voltage MOSFET (DTMOS) for Very Low Voltage Operation, *IEEE Electron Device Letters*, pp.510-512 (Dec. 1994).
- 16) 桜井貴康: LSI配線に関する課題と解決策へ向けての展望, 日本電子工業振興協会 0.01 μm Si LSIに向けたシンポジウム, pp.52-65 (May. 1997).
- 17) Sakurai, T., et al.: Low-Power CMOS Design through V_{TH} Control and Low-Swing Circuits, *ISLPED*, pp.1-6 (Aug. 1997).
- 18) Bushroo, D. and DasGupta, S.: CHDS: A Foundation for Timing-Driven Physical Design into the 21st Century, *ISPD97* (Apr. 1997). あるいは <http://www.si2.org/>

(平成10年12月22日受付)

(平成11年2月8日採録)



黒田 忠広 (正会員)

昭和57年東京大学工学部電気工学科卒業。同年(株)東芝入社。以来、CMOS/BiCMOS/ECL ASIC, EDA, マルチメディアLSI, 低電力回路技術の研究開発に従事。現在、

同社システムLSI技術研究所開発主査。工学博士。