

大規模 LSI 用分散型 BIST の設計環境

7L-8

池永 剛 小倉 武

NTT LSI 研究所

1 はじめに

面積、速度オーバーヘッドの少ないテスト容易化手法として BIST が注目されているが、体系的な構成法が確立されていないため、実 LSI への適用は少ない。そこで、既に提案している、複数の BIST 対象ブロックと、それらを一括して制御する BIST 制御回路から構成される分散型 BIST [1] [2] を対象として、短 TAT に BIST 組込みが可能な BIST 設計環境の検討を行なった。本稿では、分散型 BIST のモデル、設計環境について述べ、画像処理用 LSI の演算ブロックを対象とした、BIST 回路のハード量評価結果等を示す。

2 BIST インプリメント短 TAT 化の課題

BIST インプリメントの短 TAT 化を図る上で、実現の容易性（パターン発生器、圧縮器、BIST 制御回路等の各種 BIST 回路の作成、組み込みが容易）、評価の容易性（ハード量、故障検出率等の BIST 評価が容易）の 2 点が重要なポイントとなる。しかし、従来提案されている、集中管理型等の BIST 構成 [3] は、複雑なテストシーケンスが必要なため、BIST 制御回路が複雑になるという問題がある。また、BIST の評価単位が大きくなるため、故障検出率算出等が困難であるという問題がある。

そこで、BIST インプリメントの短 TAT 化が可能な BIST 構成として、複数の BIST 対象ブロックと、それらを一括して制御する BIST 制御回路から構成される一括制御タイプの分散型 BIST を提案し、検討を行なってきた [1] [2]。本分散型 BIST が、BIST インプリメントの短 TAT 化に適している理由を以下に示す。

- 実現の容易性…全 BIST 対象ブロックを一括制御するため、BIST 制御回路が簡易かつ規則的に構成可能である。このため、パターン発生器、圧縮器のみならず、BIST 制御回路を含めた BIST 回路の自動生成が行なえる。
- 評価の容易性…BIST 評価の中で最も時間を要する故障検出率算出が、比較的小規模な BIST 対象ブロック毎に、並行して行なえるため、評価時間短縮が可能である。

3 分散型 BIST のモデル

本稿で取り上げる分散型 BIST のモデルを図 1 に示す。分散型 BIST は、複数の BIST 対象ブロックとそれらを一括して制御する BIST 制御回路から構成される。

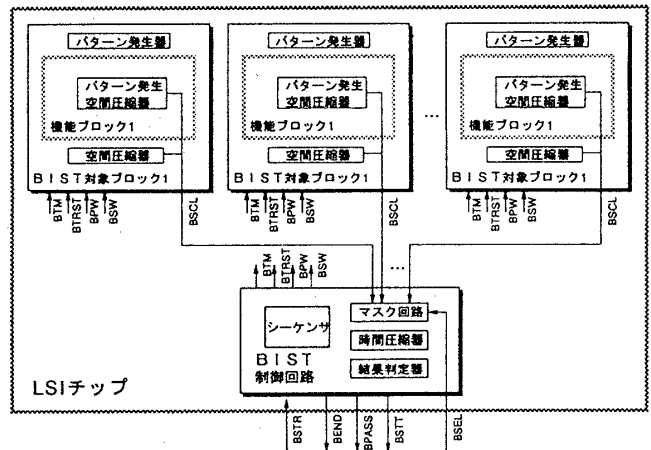


図 1: 分散型 BIST のモデル

BIST 制御回路は、LSI 外部から与えられる起動信号 (BSTR) によって起動し、各 BIST 対象ブロックに対し、同時に、BIST モード信号 (BTM)、BIST 初期化信号 (BTRST)、任意サイクルの方形波信号 (BSW)、パルス波信号 (BPW) を与え、空間圧縮信号 (BSCL) を受け取る。各 BIST 対象ブロックからの空間圧縮信号は、時間圧縮器によって時間圧縮し、期待値と比較した後、結果信号 (BPASS) を BIST 終了信号 (BEND) とともに LSI 外部に出力する。また、時間圧縮器の LSB を圧縮状態信号 (BSTT) として LSI 外部に出力する。マスク回路は、故障ブロック特定のための機能 [2] を提供する。

BIST 対象ブロックは、機能ブロックの入力部に配置するパターン発生器と、機能ブロックの出力部に配置する空間圧縮器から構成される。

パターン発生器としては、機能ブロックの入力部に通常レジスタが存在する場合は、通常レジスタ共有型のパターン発生器を、通常レジスタが存在しない場合は、ビット分配型パターン発生器 [1] 等を用いる。通常レジスタ共有型パターン発生器は、オール 0、1 パターンに初期化可能な反転シフト型の LFSR (Linear feedback shift register) を用いている (図 2)。これにより、通常系と BIST 系で初期化機構の共有化を図り、ハード量削減を行なっている。また、乱数では制御し難いモード切替え入力、リセット入力等の入力に対しては、BIST 制御回路から与えられる BSW、BPW をセレクトで切替えて与える。

空間圧縮器としては、ブロックの出力部に通常レジスタが存在する場合は、通常レジスタ共有型の空間圧縮器を、通常レジスタが存在しない場合は、多段空間圧縮器 [1] 等を用いる。通常レジスタ共有型空間圧縮器は、No Feedback 型のシフトレジスタ (図 3) を用いる。No

A Design Environment of a Distributed BIST for VLSIs.
Takeshi IKENAGA, Takeshi OGURA
NTT LSI Laboratories

Feedback型は、多数のフィードバックループを有する MISR (Multiple Input Signature Register) と比較して、少ないハード量で実現可能である。

以上の構成で十分な故障検出率が得られない場合は、機能ブロック中のレジスタを、通常レジスタ、パターン発生器、空間圧縮器共用のレジスタに置き換え、可観測性、可制御性を高める。置き換えるレジスタは、乱数伝搬度^[4]等のメジャを用いて決める。

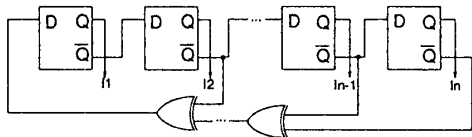


図2: 反転シフト型 LFSR

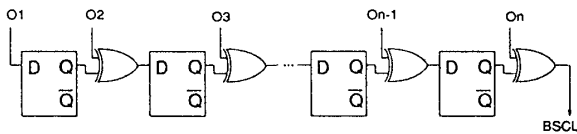


図3: No Feedback 型空間圧縮器

4 分散型 BIST の設計環境

分散型 BIST の設計フローは、ブロック設計段階と全体設計段階に分かれる。ブロック設計段階では、各 BIST 対象ブロックに対し、「パターン発生器、圧縮器の作成、組み込み ↔ ハード量、故障検出率等の評価」を、所望ハードオーバーヘッド、故障検出率の BIST 構成が得られるまで繰り返し行なう。全体設計段階では、期待値を求め、BIST 制御回路を作成する。これらの作業を効率的に行なうためのツールとして、DEBUG (DistributEd Bist Units Generator) と BEST (Bist Evaluation System) のプロトタイプを開発した(図4)。

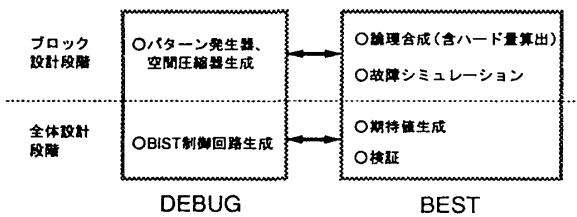


図4: BIST 設計環境

DEBUG は、BIST の実現の容易性に寄与し、ブロック設計段階では、ビット幅等のパラメータを与えることにより、3 で示した各種パターン発生器、圧縮器を自動生成する。全体設計段階では、BIST 対象モジュール数、テストサイクル、期待値ベクトル等のパラメータを与えることにより BIST 制御回路を自動生成する。現時点では、生成された BIST 回路の BIST 対象ブロックへの組み込みは、人手で行なう必要があるが、BIST 回路は全て論理合成可能な機能記述言語で生成されたため、機能記述段階で効率的な BIST 組み込みが可能である。

BEST は、BIST の評価の容易性に寄与し、ブロック設計段階の論理合成、故障シミュレーション等、全体

設計段階の期待値作成、検証等を統一的行なう環境を提供する。

5 評価

画像処理用 LSI の 4 種の演算ブロック (DTPATH…乗算器、加算器等のパイプライン演算パス、PEARY1-3…ハード量の異なるデータパスの 2 次元アレイ) に対し、BIST 対象ブロックを構成した場合のハード量、故障検出率評価結果を表 1 に示す。

表 1. BIST 対象ブロック評価

回路	ゲート数	BIST オーバーヘッド	故障検出率†
DTPATH	40.3k	0.31%	96.0%
PEARY1	25.0k	0.82%	97.6%
PEARY2	22.4k	1.11%	97.7%
PEARY3	26.4k	1.00%	97.4%

†…10 万パターンで算出。冗長故障を含む。

表 1 に示したように、いずれも 1% 程度のハードオーバーヘッドで 96% 以上の故障検出率(冗長故障を含むため実際はさらに高い検出率となる)を得ることが出来た。また、BIST インプリメントは、本 BIST 設計環境を用いることにより、故障シミュレーション時間を含めて、数時間～2 日程度で実現できており、効率的に行なえることを確認した。

DEBUG を用い、テストサイクル 100 万サイクル、BIST 対象ブロック数 4 のパラメータで BIST 制御回路を生成した結果、ハード量は約 500 ゲートとなった。この制御回路と上の 4 つの BIST 対象ブロックで BIST を構成した場合、BIST 付加回路のトータルのハードオーバーヘッドは 1.2% となる。

6 おわりに

本稿では、BIST インプリメントの短 TAT 化を目的として、分散型 BIST を対象とした BIST 設計環境について検討を行なった。本設計環境は、各種 BIST 回路の自動生成を行なう DEBUG と、BIST 評価を効率良く行なう BEST から構成される。画像処理用 LSI の演算ブロックを対象として評価を行なった結果、短 TAT(数日以下)に、少ないハードオーバーヘッド(数パーセント以下)で高い故障検出率(96% 以上)の BIST 実現が可能なることを確認した。今後は、本環境を演算ブロック以外の回路に適用し、その有効性を調べていきたい。

参考文献

1. 池永、高橋: 大規模 LSI の演算ユニット向き Built-In Self-Test 構成法、信学論 C-II、(1994.5 採録決定済)
2. 池永、高橋: 分散型 BIST 向きパターン圧縮器、92 秋信学全大、C-437、(1992)
3. Abramovici M., Breuer M.A. and Friedman A.D.: "Digital Systems Testing and Testable Design", Computer Science Press, pp.457-540 (1990).
4. 池永、高橋、小倉: 乱数伝搬度に着目した BIST 評価手法、第 45 回情処全大、1K-08、(1993)