

フルカスタムブロックを含む同期回路LSIのチップレベル・タイミング検証法

7L-4

石田 耕三 村井 正弘

三菱電機（株）システムLSI開発研究所

1. はじめに

同期回路のタイミング検証では、テストパターンを必要としない静的検証を行なうことが可能であり、ゲートレベルのパス遅延解析を用いる方法が既に実用化されている^[1]。また、最近ではトランジスタレベルのパス解析法も実用化されつつある^[2]。しかしながら、LSI内にフルカスタムブロック（以下FCブロック）を含む場合、チップレベルのタイミング検証は、

- ・ゲートレベルのパス解析を用いる場合、FCブロック内の各素子に遅延を割り付けることが困難であり、
- ・トランジスタレベルのパス解析を用いる場合、実行時間が膨大となる、

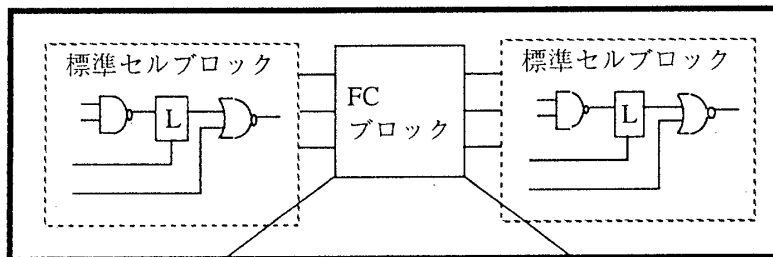
等の問題が生じる。

本報告では、FCブロック単体検証後にブロックをモデル化し、本モデルを用いたチップ全体の検証を行なうことにより、同期回路LSIを効率良く検証する方法を発表する。

2. FCブロックのモデル化

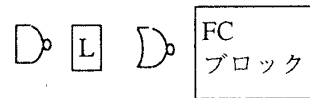
パス遅延解析を用いたタイミング検証では、ラッチ、F/F間に存在する組合せ回路の遅延が、ラッチ、F/F

LSI全体

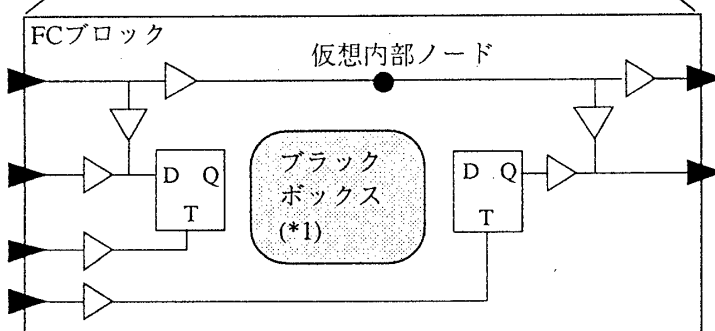


(a) LSI全体検証時の検証対象回路モデル

LSI全体の検証では



各々を遅延/タイミング
チェック値を持つ1個の
素子として扱う



(*1): 入/出力端子間、入/出力端子とラッチ (F/F) 間に存在する素子以外は全て
ブラックボックスとして省略する

(b) FCブロック簡易モデル

モデル作成用素子

—▷— : 遅延素子

D	Q
T	

 : タイミング
チェック素子

図1 LSI全体検証時におけるFCブロックのモデル

のセットアップ/ホールド制約を満たしているか否かをチェックすれば良い。従って、LSI内のFCブロックを単体でタイミング検証した後、検証済ブロックを

- ・入/出力端子間の遅延値、
- ・入/出力端子と入/出力端子に組合せ回路のみを介して接続されるラッチ (F/F) との間の遅延値、
- ・ラッチ (F/F) のタイミングチェック値、

のみを持つようにモデル化し (図1 (b)、例1参照)、本モデルを用いてLSI全体のタイミング検証を行なうことにより、FCブロック内全素子に遅延を割り付けた場合と同様なタイミング検証が実現できる。これにより、FCブロック内の詳細回路構成に基づく複雑なモデル作成の必要がなくなる。

3. チップレベルの検証

当社開発のゲートレベルのパス解析を用いたタイミング検証ツールTACS4^[1]を用いて、以下に示す手順により、FCブロックを含むLSIのタイミング検証を効率良く行なえるようにした。

手順1：FCブロック単体をトランジスタレベルでタイミング検証を行なう。

手順2：検証済FCブロックの簡易モデルを作成する (例1参照)。

手順3：手順2で作成されたモデルを用いてLSI全体のタイミング検証を行なう (図1 (a)参照)。

4. おわりに

本タイミング検証法を現在LSI設計に適用中である。本手法を用いることによりFCブロックに対するLSI検証用データ作成人工/期間等は、FCブロック内の大部分の回路がブラックボックス化されるため、従来の1/10以下であると予測される。

例1 FCブロックモデル記述 (一部省略)

```
FCBlkCell { /* FCブロック名宣言 */
  input DI<0:7> { /* 入力ピンDIの定義 */
    iparameter      : cap = 0.35 ; /* 遅延計算用入力ピンパラメータ */
    to_reg_d  LI<0:7> : rise = 1.5 ; fall = 1.9 ; } /* DIからラッチLIのD端子への接続 */
  clock CEC { /* クロックピンの定義 */
    iparameter      : cap = 0.37 ;
    to_reg_clk  LI<0:7>, LO<0:7> : rise = 1.9 ; fall = 1.3 ; }
                                     /* CECからラッチLI, LOのクロック端子への接続 */
  output DO<0:7> { /* 出力ピンDOの定義 */
    oparameter      : K1 = 1.44 ; /* 遅延計算用出力ピンパラメータ */
    from_reg_q  LO<0:7> : rise = 1.3 ; fall = 2.8 ; } /* ラッチLOのQ端子からDOへの接続 */
  latch LI<0:7>, LO<0:7> { /* ラッチLI, LOの定義 */
    enable = high ;
    set_up      = 4.50 ;
    hold        = 0.5 ;
    clock_to_out = 1.0 ; }
}
```

参考文献

[1] 今井、石川、小原：多相クロック同期回路のタイミング解析手法，電子情報通信学会論文誌 (A)，1992/5

[2] PathMill™ Reference Manual (EPIC DESIGN TECHNOLOGY)