

擬似ベクトルプロセッサ PVP-SW のシミュレーション評価*

6L-4

廣野 哲、板倉 憲一、中村宏、朴泰祐、中澤喜三郎†
筑波大学 電子・情報工学系‡

1. はじめに

大規模科学技術計算の分野では、データ領域が非常に大きく、データの時間的局所性が少ない。そのためスカラプロセッサではデータキャッシュが有効に働かず、主記憶アクセスペナルティのために性能が著しく低下する。

この問題に対処するため、我々は浮動小数点レジスタをスライドウィンドウ化した擬似ベクトルプロセッサ PVP-SW (Pseudo Vector Processor based on Slide-Windowed Registers) を提案し、その有効性を既に確認している [1][2]。

しかし、これまでに報告した PVP-SW の評価は、主記憶が理想的にパイプライン化されていること、及び、ベクトル長が十分に長いことを仮定している。実際には主記憶のパイプライン化はマルチバンク構成により擬似的に実現される。また実用上は短いベクトル長の場合の性能も重要である。そこで、今回はマルチバンク構成の主記憶を用いた場合、及び、ベクトル長が短い場合の PVP-SW の性能評価を計算機シミュレーションを用いて行なった。本稿ではその性能評価結果を報告する。

2. 擬似ベクトルプロセッサ PVP-SW

擬似ベクトルプロセッサ PVP-SW [1][2] は、既存のスカラアーキテクチャに対し、浮動小数点レジスタのスライドウィンドウ化、プリロード命令 (機能) の追加、主記憶のパイプライン化の3つの機能追加を行なっている。

浮動小数点レジスタのスライドウィンドウ構成を図1に示す。論理ウィンドウ内のレジスタ数を拡張前のアーキテクチャのレジスタ数と一致させることにより、上位互換性を保ちながら、物理的により多くの浮動小数点レジスタを有効に利用することが可能である。

3. 性能評価

3.1 評価モデル

表1に示した5つのプロセッサモデルに対して評価を行なった。

<Original> PA-RISC1.1 Architecture. 主記憶はパイプライン化されておらず、レーテンシは 40 MC (Machine Cycle) である。

<Prefetch> <Original> にソフトウェア的なキャッシュへのプリフェッチ機能を追加。

<PVP-SW> 提案する擬似ベクトルプロセッサ。

また、<Prefetch>、<PVP-SW> においては次の2つの主記憶モデルを設けた。

*Performance Evaluation of the Pseudo Vector Processor by Simulation

†Akira Hirono, Ken'ichi Itakura, Hiroshi Nakamura, Taisuke Boku, Kisaburo Nakazawa

‡Institute of Information Sciences and Electronics, University of Tsukuba

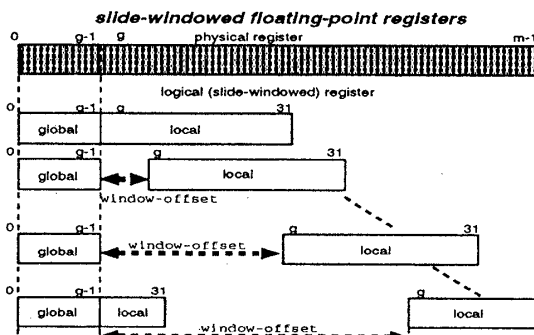


図1: 浮動小数点レジスタのスライドウィンドウ構成

<interleaved> 主記憶はマルチバンク構成 (8 byte 幅/way、16 way 構成) のインタリーブ・メモリ (low-order interleaved)。バンクコンフリクトがない場合のアクセスレーテンシは 40 MC、bank busy time は 16 MC とする。従って、バンクコンフリクトが生じない連続データアクセス時には 8 byte/cycle のスループットとなる。

<ideal> 主記憶は理想的パイプライン・メモリであり、そのスループットは 8 byte/cycle である。アクセスレーテンシは 40 MC。

その他に全モデルに対し以下の仮定をおいた。

- ・命令発行: 2 命令同時発行のスーパースカラ方式。
- ・命令キャッシュ: warm start。
- ・データキャッシュ: サイズ 256 Kbyte、ブロックサイズ 32 byte。ダイレクトマップ方式、write back、write allocation 方式を採用。

3.2 評価ベンチマーク

ベンチマークプログラムとして Livermore Fortran Kernel の #1~#4、#7 を用いて性能評価を行なった。

```

DO 1 k=1, n % kernel 1
1 X(k)=Q+Y(k)*(R*ZX(k+10)+T*ZX(k+11))
DO 2 k=2, n, 2 % kernel 2
i=i+1
2 X(i)=X(k)-V(k)*X(k-1)-V(k+1)*X(k+1)
DO 3 k=1, n % kernel 3
3 Q=Q+Z(k)*X(k)
DO 4 k=5, n, 5 % kernel 4
temp=temp-X(lw)*Y(k)
4 lw=lw+1
DO 7 k=1, n % kernel 7
X(k)=U(k)+R*(Z(k)+R*Y(k))
+T*(U(k+3)+R*(U(k+2)+R*U(k+1)))
7 +T*(U(k+6)+R*(U(k+5)+R*U(k+4)))
    
```

図2: Livermore Fortran Kernels #1~#4、#7

これらは演算とメモリアクセスとの比率、メモリアクセスの連続/非連続を考慮して取り上げたものである。

表 1: 評価対象プロセッサモデルの仕様

評価モデル	<Original>	<Prefetch/ interleaved>	<Prefetch/ ideal>	<PVP-SW/ interleaved>	<PVP-SW/ ideal>
Architecture	PA-RISC 1.1	PA-RISC 1.1 with prefetch	PA-RISC 1.1 with prefetch	拡張 PA-RISC 1.1	拡張 PA-RISC 1.1
レジスタ構造	拡張なし	拡張なし	拡張なし	slide window	slide window
レジスタ数	32	32	32	128	128
Preload/Prefetch	なし	prefetch	prefetch	preload	preload
Main Memory	not pipelined	interleaved	ideally pipelined	interleaved	ideally pipelined

オブジェクトコードは各モデルに対して最適化した。また、バンクコンフリクトやキャッシュのラインコンフリクトの影響を考慮して最適なデータのメモリアロケーションを行なった。

3.3 性能評価シミュレータ

以上のモデルに従って、PVP-SWの拡張機能、及びプリフェッチ機能をシミュレーションするシミュレータを作成した。これはターゲットとなる命令コード列の命令パイプラインでの実行をシミュレートし、同時にキャッシュや主記憶の動作のシミュレートも行なう。このシミュレータにより、プログラムの総実行サイクル数、総実行演算命令数、キャッシュヒット率、バンクコンフリクト回数等の情報が得られる。このシミュレータを用いてメモリの影響を考慮に入れた擬似ベクトル処理の性能評価を行なった。

3.4 評価結果

図3にベクトル長を64Kとしたときの評価結果を示す。性能指標にはFLOPC (Floating point Operation per Cycle) を用いた。

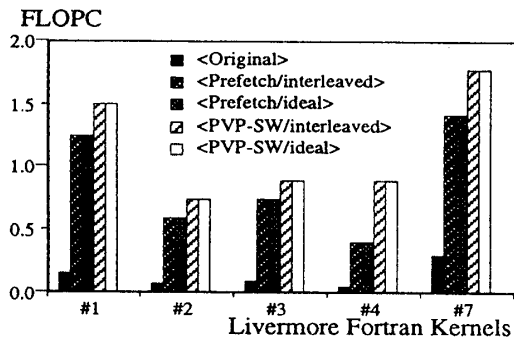


図 3: Performance on LFK

<Original>はデータキャッシュが有効に働かないために性能が他のモデルと比べ著しく低い。<Prefetch>はプリフェッチ命令を余分に挿入しなければならないので<PVP-SW>よりも性能が落ちる。<PVP-SW>はどのkernelにおいても良い性能が得られている。また、<PVP-SW/interleaved>と<PVP-SW/ideal>の間に性能差は見られない。これは、バンクコンフリクトにより動的に変化するメモリアクセスレーテンシを<PVP-SW>が効果的に隠蔽できることを表している。

#3と#4の基本的演算は同じであるが、#3に比べ#4の<Prefetch>の性能は低い。これは#3のデータアクセスが連続なのに対して、#4ではストライド5の非連続アクセスであるためである。連続アクセスである#3では1回のプリフェッチ命令でフェッチされる32 byteのデータを全て有効に利用できるが、#4ではプリフェッ

チされるブロック中の1データ(8 byte)しか利用できない。不必要なデータをプリフェッチするためメモリ・トラフィックが必然的に多くなる。その結果、メモリ・スループットが不足し、性能が下がる。メモリ・スループットの不足は本質的な問題であり、理想的にパイプライン化されたメモリでも解決できない。一方、<PVP-SW>は#3、#4とも同じような性能が得られている。これはブロック単位でなく8 byteのデータ単位でプリロードが行なわれるため、プリフェッチのように不必要にメモリ・トラフィックを増大させないためである。

次に図4にベクトル長が短い場合の#3に対する<PVP-SW/interleaved>の評価結果を示す。

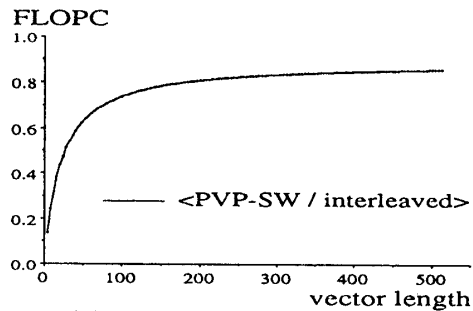


図 4: Performance on LFK #3

この図からわかるように、<PVP-SW>の $N_{1/2}$ は約20程度で、スタートアップ・オーバーヘッドは小さい。また、<PVP-SW>ではstrip-miningを必要としない。このためベクトル長がレジスタ数(128)の倍数になるところでも性能は劣化しない。

4. おわりに

本稿では、計算機シミュレーションを用いて、擬似ベクトルプロセッサPVP-SWの性能評価を行なった。今回の評価モデルにおいて、PVP-SWは効果的に主記憶アクセスペナルティを隠すことができ、高い処理能力を達成できることが確認できた。

謝辞

本研究に関し貴重な御意見をいただいた筑波大学西川博昭助教授並びに中澤研究室諸氏に深く感謝します。なお、本研究は一部文部省科学研究費(創成的基礎研究06NP0601、及び奨励研究(A)06780228)による。

参考文献

- [1] 李航他, "スライドウィンドウ方式に基づく擬似ベクトルプロセッサの評価", 第47回情処全大, 4G-5
- [2] H.Nakamura et al., "Evaluation of Pseudo Vector Processor Based on Slide-Windowed Registers", Proc. of HICSS-27, pp.368-377