

ゲートアレイ / CBIC レイアウトシステム GALET (4)  
— 自動配線手法 —

5L-7

油井 信康 岡本 匠 石塚 昭夫

日本電気(株)

1 はじめに

高密度配線機能を有しかつ高速な自動配線システムを開発し、ゲートアレイ / CBIC 用自動レイアウトシステム「GALET」に組み込んだ。以下ではアルゴリズムの概要を述べた後、実験結果について報告する。

2 配線処理の概要

本配線手法で対象とするゲートアレイ / CBIC は図1のように水平方向、垂直方向にそれぞれ概略格子が定義されている。この概略格子は通常、配線格子十数～数十本ごとに定義されている。更にこの概略格子を縦横それぞれ数本ずつまとめた領域を分割領域として定義する。

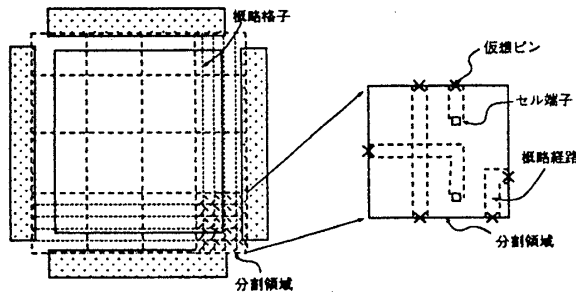


図1: 概略格子と分割領域

配線処理は概略配線と詳細配線の2つの処理に分けられ、以下のような流れになる。

- Step1. 全てのネットに対して概略格子を基本に概略経路を決定する。
- Step2. 概略経路が分割領域の境界を通過する場合、配線の位置、層(これを仮想ピンと呼ぶ)を決定する。仮想ピンを決定することにより分割領域ごとに独立に詳細配線経路を決定することが可能となる。
- Step3. 全ての分割領域に対して概略配線で求めた概略経路に従い詳細配線経路を決定する。
- Step4. 分割領域内で生じたアサインルールエラーを無くするため境界を取り払って再配線する。

Step1,2 までを概略配線で行い、Step3,4 を詳細配線で行う。特に Step4 はエラー修復配線と呼んでいる。

2.1 概略配線

概略配線では、水平方向及び垂直方向の概略格子によって仕切られる矩形全てに節点を定義し、水平、垂直方向の節点を枝で結んでチップ全体を表わすグラフを生成する。各枝には容量とコストが定義される。容量は配線が何本通れるか、コストは配線長、折れ曲がり、配線混雑度から算出する。各枝の容量制約を満たしながら、コスト付き迷路法による引きはがし再配線手法 [1] によって、各ネットの

配線長が短く、折れ曲がりの少ない、しかも配線が局所的に集中しないような概略経路を求めている。

概略経路が求まると次に仮想ピン割り当てを行う。概略経路の水平、垂直線分ごとに分割領域境界を通過する位置と層を決める処理である。仮想ピン割り当て処理では配線が通過できる位置に仮想ピンを割り当てただけでなく、一本の経路線分をなるべく一本の配線格子に割り当てるようにする。例えば、分割領域を垂直方向に通る抜ける概略経路があった場合、分割領域の上辺及び下辺の仮想ピンのX座標は同じでかつ層も同じになるように割り当てを行なう。

2.2 詳細配線

詳細配線はまず分割領域ごとに行う。分割領域には接続すべきピンが領域の境界上及び内部に存在し、配線禁止が領域内部に存在する。この種の配線問題に関しては従来より迷路法が多く用いられている [2]。本配線システムは [2] のアルゴリズムにピン保護機能を加えて実現されている。

迷路法を用いた配線問題で重要なのは配線領域内部のピン及び配線領域境界上のピンへの接続可能性を確保することである。そのため、各ピンに対して他のネットの配線が侵入して来るとそのピンへの配線が困難になる可能性の高い領域を定める(これをピン保護領域と呼ぶ)。ピン保護領域の例を図2に示す。2層仮想ピンは垂直方向に2層の保護領域を設け、1層セルピンは水平方向1層と垂直方向2層の保護領域を設けている。

まず、詳細配線のアルゴリズムの概要を述べる。

- Step1. 全てのネットに対して、ネット内の至近の2ピンを結ぶ仮経路を求める。
- Step2. 仮経路をキューに入れコストの小さい順に並べる。
- Step3. for(仮経路キューが空になるまで) {
  - Step3-1. キューから仮経路を取り出し、その経路がデザインルールを考慮して実現可能ならば、経路を確定する。
  - Step3-2. このネットにまだ未接続のピン対があれば、経路を見つけキューに入れる。経路が見つからなければ未配線のキューに入れる。
- Step4. for(未配線キューが空になるか、キューが規定回循環するまで) {
  - Step4-1. 未配線キューからネットを取り出し、引きはがし再配線処理を行う。
- Step5. まだ残っている未配線を配線や配線禁止とのショート許して配線する。

Step1 の経路探索時は配線長とビア数をコストとして経路を求めるが、Step2 の仮経路に与えられるコストは、そのコストに他ネットのピン保護領域を通過した長さに応じたコストを加える。そのため他ネットのピン保護領域を通過する仮経路は確定される順番が後になり、ピンへの接続妨害が抑止される。しかしその経路が実際にそのピンに接続する経路と競合しなければ仮経路は無事に確定され、不必要な迂回のない経路が求められる。

Step3 では最初に概略経路を守って配線を行なった後、未配線に対しては概略経路を無視した配線を行う。

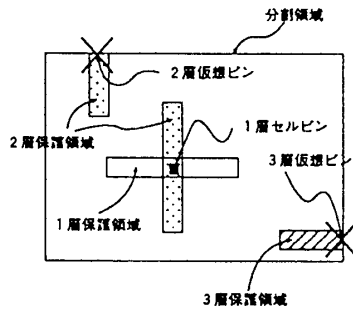


図2: ピン保護領域

### 2.2.1 配線高速化

迷路法配線は経路探索能力に優れているが、配線時間がかかるという欠点を持っている。そのためパターン配線機能と迂回ペナルティ機能を加えて高速化を図った。パターン配線機能は詳細配線アルゴリズムのStep1において、2つのピンが単純なI字型配線またはL字型配線で結べる可能性があるときに迷路法を用いずに定型の配線パターンを発生する機能である。迂回ペナルティ機能はあるピンから目標となるピンに向かって波を広げる時、迂回する波にはペナルティコストを加算し先に広がり難くするものである。こうすることで、迷路法で時間のかかる波面を広げる処理の回数を減らすことができる。

### 2.2.2 並列配線

さらに配線処理時間を短縮するために詳細配線の並列化を図った。分割領域ごとに詳細配線を行なう時は仮想ピンの位置は不変なので、並列配線が可能となる。並列化の方法としては、複数のEWSで独立にまだ配線されていない分割領域を配線し、その結果を共有ディスクに書き込み他のEWSから読めるようにして実現した。最終的に1つのEWSに全ての配線結果を読み込み、エラー修復配線を行う。隣り合う分割領域を同時に配線するとその間でスペーシング違反が起きる恐れがあるので、ある分割領域の隣の分割領域が配線中のときはその分割領域は配線することを禁じた。

## 3 実験結果

表1の3つの実データにおいて自動配線の実験を行なった。実行マシンはEWS4800/360AD(149MIPS)である。

表1: 実験データ

	A	B	C
下地ゲート数	15K	200K	340K
セル数	1800	19300	84700
サイト使用率	93%	52%	62%

### 3.1 ピン保護

ピン保護の実験結果を表2に示す。データCのある分割領域について、ピン保護コストを全く考慮しない(NoPro)、提案手法である仮経路をキューに入れる時のみピン保護コストを考慮する(PostPro)、経路探索時にもピン保護コストを考慮する(PrePro)の3種類について実験を行なった。

PreProは実際にはそのピンが経路として使わないようなピン保護領域をも避けて配線してしまうので、不必要な迂回が生じ配線長、ビア数共最も多い。逆にNoProは初期配線での未配の数が増え、引き剥し再配線に時間がかかるので処理時間が最も多い。PostProがビア数が最も少なく、

表2: ピン保護実験結果

方法	CPU時間	未配線数		配線長	ビア数
		(概略内)	(最終)		
NoPro	52s	16	1	40034	886
PostPro	46s	10	1	40079	879
PrePro	43s	4	1	40091	944

配線長、配線時間は3者の中間である。従ってPostPro手法が配線品質を下げずに初期配線率を上げるのに効果的だと言える。

### 3.2 高速化

高速化の実験結果を表3に示す。データCの30個の分割領域について、高速化なし、パターン配線機能のみ使用、迂回ペナルティ機能のみ使用、パターン配線と迂回ペナルティの両方の機能を使用の4種類について実験を行なった。

表3: 高速化実験結果

方法	CPU時間	探索回数	配線長	ビア数
高速化なし	289s(100)	13095956(100)	260174	6645
パターン配線	210s(73)	8712954(87)	260375	6827
迂回ペナルティ	219s(76)	7475883(57)	260065	6643
両機能	185s(64)	5981374(46)	260472	6942

CPU時間と探索回数の括弧内の数字は高速化なしの値を100とした時のパーセンテージを表している。探索回数は迷路法での波を広げる回数を表している。パターン配線機能、迂回ペナルティ機能共に探索回数を削減でき処理時間の短縮を達成した。

### 3.3 配線結果

実データでの配線結果のCPU時間を表4に示す。

表4: 配線実験結果

データ	A	B	C	C2
概略配線	12s	9m37s	37m45s	—
詳細配線	2m55s	45m17s	3h05m53s	1h36m17s
修復配線	6s	4m31s	25m54s	24m50s

いずれのデータでも未配線は0であり、1MG規模のLSIが実行時間内でレイアウトできる見込が立ったと言える。特にデータAでは3層配線を用いて92.8%という高いサイト使用率を実現している。データC2はデータCと同じデータに対して、詳細配線部分だけ4台の異機種のEWS(CPU性能総和は313MIPS)で並列処理したもので、表に示した詳細配線CPU時間は4台の内最も長いものである。ほぼMIPS値に比例して配線時間が短縮できたことが分かる。

## 4 おわりに

高速で高密度な配線を達成する自動配線システムを開発し、ゲートアレイ/CBIC用自動レイアウトシステム「GALET」に組み込んだ。この自動配線システムが1MG規模のLSI設計にも適用可能であることを実験結果とともに示した。

## 参考文献

- [1] R. Nair, "A Simple Yet Effective Techniques for Global Wiring," *IEEE Trans. on CAD*, Vol.CAD-6, No.2, pp165-172, 1987.
- [2] H. Shin and A. Sangiovanni-Vincentelli, "A Detailed Router Based on Incremental Routing Modifications: Mighty," *IEEE Trans. on CAD*, Vol.CAD-6, No.6, pp942-955, 1987.