

## Verilog-HDLを用いた言語設計教育事例(1)

4L-10

## -カリキュラムの概要-

水田 裕子†, 滝鼻 容子†, 河合 高志†, 佐野 直樹†, 久保 典夫†

樋口 昌彦‡, 入谷 京‡, 佐々木浩二‡

† 横河電機(株) EDA開発センター ‡ (株)横河総合研究所 ASIC部

## 1. はじめに

半導体プロセスの微細化と、ニーズの高度化により、ASICの集積規模は今後ますます大規模化していくものと考えられる。大規模ASICの設計は、回路図入力による設計では対応できなくなっているため、HDLと論理合成ツール、自動配置配線ツールを用いたトップダウン設計が今後のASIC設計の主流になると考えられる。また、パソコン上で動作するHDLシミュレータや論理合成ツールの登場によって、HDLは身近なものとなってきているが<sup>1)</sup>、回路図入力からHDL設計に転向する中堅技術者や、新入社員の教育の教材として、適当なものがあった。各種のツールのセミナーや、トップダウン設計の講習会を個別に受けただけでは、実際の設計に必要な実力を付けることは難しい。従来の回路図入力による設計法から、トップダウン設計に移行するためにはいくつかのハードルがあることがわかった。これらの問題点を解決するために、トップダウン設計のための教育カリキュラムを開発した<sup>2)</sup>。本報告では、現状の問題点の分析と教育カリキュラムの概要について述べる。

## 2. トップダウン設計導入の障壁

従来の回路図入力で設計していたハードのエンジニアが、HDLと論理合成ツールを使ったトップダウン設計手法を導入する場合、次に示すようないくつかの障壁が存在する。

- ① UNIXの操作
- ② EDAツールの操作法
- ③ 回路図から機能記述への頭の切り替え
- ④ 波形入力によるテストからHDLを使った機能検証への頭の切り替え
- ⑤ 同期設計による制約への不満, 論理合成ツールに対する不信感
- ⑥ ツール間の連携と仕事の流れの変化への対応
- ⑦ 導入のための実戦的教材の不足

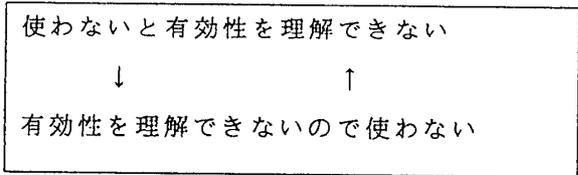
①, ②は、独習やEDAベンダが主催する講習会の受講等である程度対応できるが、これを受けただけでは実際のASIC設計ができるようになるわけではない。

そこで③~⑦の問題点を解決するための教材を検討した。言語によるトップダウン設計は、普及初期のワープロや、アセンブラからC言語への移行時期とよく似た次のようなような状態にあるといえる。

1. An Introduction curriculum for ASIC design by HDL (1)

† Yuko Mizuta, Yoko Takihana, Takashi Kawai, Naoki Sano and Norio Kubo  
Yokogawa Electric Corporation.

‡ Masahiko Higuchi, Miyako Iritani and Koji Sasaki  
Yokogawa Research Institute Corporation  
2-9-32 Nakacho, Musashino-shi, Tokyo 180 Japan



したがって、解決策としては、実際の仕事の流れに近い設計過程を体験させることが突破口になる。アーキテクチャがシンプルで、可観測性、可制御性がよく、回路規模が適当なサイズの実在のチップである、AMD社の2種のIC (Am2901, Am2910) を教材として、HDL記述から、フォールトシミュレーションに至るまでの作業をシステムティックに体験できるカリキュラムを作成した。この内容は、5年前から、社内のASIC開発技術者の育成に使っていたが、全てのソースとテストプログラムを記述させていたため、1ヶ月以上の期間を必要としていた。今回、この内容をまとめ、短期間にHDLによる設計手法を修得できるように教材を整備した。

3. カリキュラムの構成

○基礎知識

- ・論理回路の基礎 (新入社員のみの)  
市販の教科書+独習 (2週間)
- ・UNIXの基礎と応用 (未経験者)  
社外セミナー等 (数日)
- ・HDL (Verilog HDL) の文法  
CAEベンダの講習会等 (数日)
- ・論理合成ツールの使用法  
CAEベンダの講習会等 (数日)

○トップダウン設計教育コース

講義と実習、練習問題

(自社開発) (1ヶ月~3ヶ月)

○実務 (OJT)

社内の人材育成では、図1の内容を受講させている。また、点線の枠で囲んだ部分は、教材

(テキストと、HDLソースを記録したテープ Am2901, Am2910) にまとめ、社外からの受託教育も行っている<sup>3)</sup>。この教材では論理合成が可能なRTLモデル (Am2901, Am2910) と、そのテストプログラムが、未完成のソースに設けたブランクを埋めていくことにより容易に完成できる。

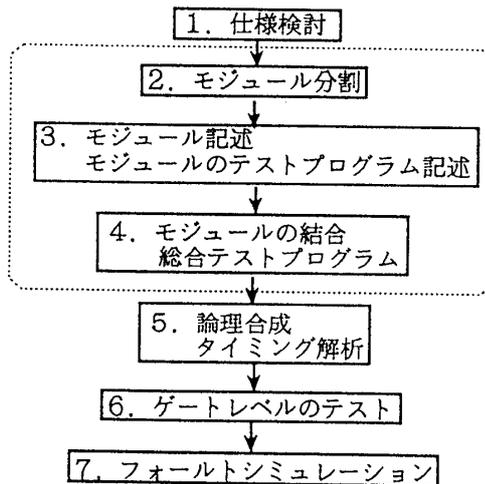


図1 カリキュラムがカバーする範囲

4. 結果

トップダウン設計の導入には、実務に近い形の教材を使って短期間に、集中的に教育することが有効であることが判明した。この、カリキュラムを受講した社内および、社外のエンジニアは、比較的スムーズにHDLによるASIC設計に参加できるレベルとなった。

参考文献

- 1) 末吉, 田中, 久我, 「教育用マイクロプロセッサ KITEを利用した設計教育事例」, 情報処理学会第47回全国大会予稿集 6-9, 1993
- 2) 久保典夫, "Virtual ware におけるシステム開発 Methodology", 第7回 回路とシステム 軽井沢ワークショップ 論文集, p453, 1994
- 3) 横河電機, 横河総合研究所編, 「HDLアドバンスコース I, II」, 1994