

カスタム L S I 自動設計システム C U P O L A

4 L - 9 一高性能 L S I 設計自動化のための設計手順再利用手法一

松本典子 得能誠司 西山 保

松下電器産業株式会社 半導体研究センター

1. はじめに

ユーザーニーズに沿った高機能・高性能なシステム LSI を効率的に開発し迅速に提供するために、過去の設計資産をオブジェクト指向の枠組みで部品化して蓄積し再利用するカスタム LSI 自動設計システム CUPOLA¹⁾を開発している。高品質な再利用設計を実現するには、複雑な設計手順や回路特有の設計ノウハウ等を如何に部品化するかが課題となる。本稿では、再利用設計の品質向上ため CUPOLA で用いた設計手順再利用手法の特徴について報告する。

2. CUPOLA による再利用設計と課題

本システムでは、回路部品をオブジェクトとして捉え、回路データとそのデータからレイアウトデータを生成するまでの設計手順とを部品に隠蔽している。設計手順はオブジェクトが持つクラスメソッドとして実現され、オブジェクトに対するメッセージセンディングにより最適な設計ツールを起動する。

LSI 設計において、既設計回路を用いた再利用設計が困難である要因としては、

- (a) 要求性能を満たすために設計の各レベルで手修正や繰り返し設計を行う等、設計手順が複雑であり、回路データ間の整合性の保証が困難
- (b) チップの仕様変更や機能モデルの修正に対して高品質な設計を保持できる柔軟性の欠如等があげられる。これらを解決するため、本システムでは、修正手順等のより詳細な設計手順を部品化して蓄積する。また、既設計回路の性能・コストに関する情報を用いて、最適な設計手順を抽出することにより、再利用設計の品質向上を図る。

3. 設計手順再利用手法の特徴

3. 1 設計手順の部品化モデル

機能設計、論理設計、レイアウト設計の各フェーズを経てレイアウトデータを生成する LSI 設計フ

CUPOLA: Custom LSI Design Automation System
 - A Methodology for the Reuse of Design Methods in VLSI Design Automation -
 Noriko MATSUMOTO, Seiji TOKUNOH,
 Tamotsu NISHIYAMA
 Matsushita Electric Industrial Co., Ltd.

ローを以下の3種類の空間によりモデル化する²⁾。

- (1) 機能 i を実現する機能記述データ空間:Hi
- (2) 機能 i を実現するネットリストデータ空間:Ni
- (3) 機能 i を実現するレイアウトデータ空間:Li

上記の各空間上の回路データは、その回路が実現する機能 i の 1 つの表現であるとする。回路部品は、部品オブジェクトの少なくとも 1 空間における表現とその空間から設計の下位レベル空間への写像を定義したものである。この写像を設計手順と呼ぶ。実際には設計手順は、設計ツールの処理操作とパラメータで表され、例えば、図 1 の

$$fd: Hi \rightarrow Ni$$

は、論理合成ツールによる合成や人手で設計された論理回路図の流用等で定義できる。

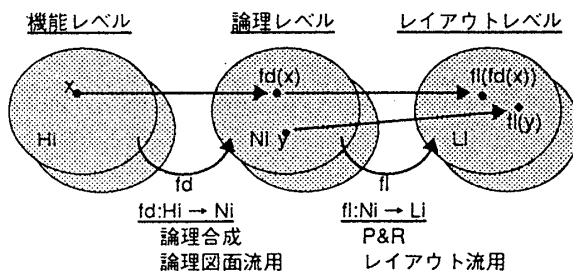


図 1 設計手順の部品化モデル

3. 2 詳細な設計手順の部品化

ツールによる自動設計だけでは要求性能を満足させることができず、いくつかのツールを繰り返し実行したり手修正を加えたりすることがある。このような複雑な修正手順の 1 つを図 2 の写像 g で表すと回路データ x の設計手順に対して次の (A)(B) のように合成写像を求めて部品化することにより回路データの整合性を保証する再利用設計が実現できる。

- (A) 回路データ x に対する設計手順として、合成写像 $f \circ g$ を求める。
- (B) 上記 $f \circ g$ とともに合成写像 $f \circ g \circ f^{-1}$ を求め、回路データ $f \circ g \circ f^{-1}(x) = f^{-1}(g(f(x)))$ を得る。

例えば、微妙なタイミング調整のため、レイアウト設計のフェーズでバッファを挿入する場合等は、論理ネットリストの修正手順を併せ持つことで、回路検証の際のデータ整合性が保持される。

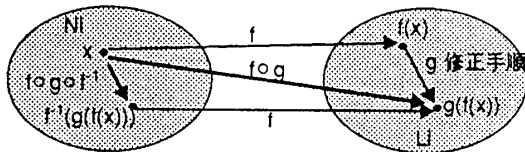


図2 設計手順の合成写像による表現

3. 3 最適設計手順の抽出

既設計における性能やコストの情報を参照することにより、さらに高品質な設計を一度で実現する。そのため、回路部品には図3に示すような回路情報を持たせる。設計手順 $f[p]$ は、回路データ x に対する設計処理をパラメータ p を与えて実行する。また設計手順 $f[p]$ によって生成されたデータ $f[p](x)$ の性能・コストに関する情報の一つを $C(f[p](x))$ で表す。このとき、再利用設計における設計手順のパラメータを以下のような方法で決定する(図4)。

- [1] パラメータ p と性能・コスト $C(f[p](x))$ から回路特有のパラメータと性能・コストの関係を導出
 - [2] 要求する性能・コスト $C(f[p'](x))$ および[1]で導いた関係からパラメータ p' を決定
 - また、回路データ x から y へモデル変更した場合、
 - [3] $C(f[p'](y))$ と[1]で導いた関係および回路データ x と y のコスト比等からパラメータ p'' を決定
- このような設計手順の最適パラメータ抽出によれば、再利用設計はもちろんのこと新規設計においても、設計の後戻りに要する設計工数を削減できる。

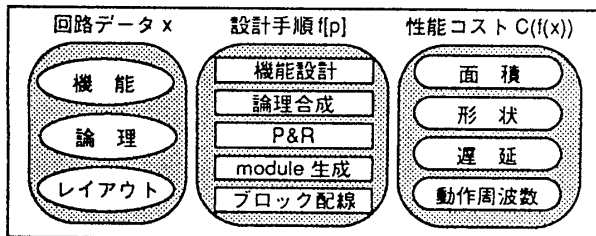


図3 部品の持つ回路情報の例

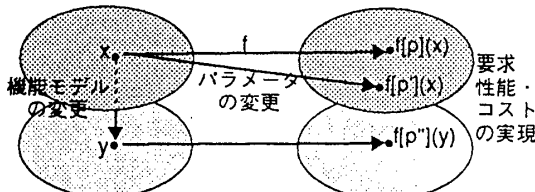


図4 設計手順の最適パラメータ抽出

4. チップ設計への適用例

4. 1 タイミング設計手順の部品化

緻密なタイミング設計を行うため、例えば、以下のような詳細な設計手順を回路部品を持たせる。

- (a) クロックバッファツリーをネットリストに挿入
- (b) レイアウトデータにバッファセルを自動挿入

(c) バッファをトランジスタサイズ可変セルに置換
 このようなタイミングに関する細かな修正や変更の手順を、特に (b)(c) に関してはネットリストの修正手順とともに部品に埋め込むことにより、データ間の整合性が保証され、回路検証等が容易に行える。

4. 2 P&R ツールの最適パラメータ抽出

P&R ツールを用いたブロックのレイアウト設計における最適設計手順抽出の一例として、要求形状を実現する row パラメータの決定を行う。

フロアプランナの面積見積りが $A0$ である部品の回路データに対して、row パラメータ $r0$ で P&R を実行した結果のブロックの高さが $h0$ 、幅が $w0$ であるとき、再利用設計における機能モデル変更後の面積見積りを $A1$ とすると、高さ $h1$ を実現する row パラメータ $r1$ および幅 $w1$ は下式により抽出できる。

$$r1 = h1 \cdot (r0 / h0)$$

$$w1 = A1 \cdot (h0 \cdot w0 / A0) / h1 \times \alpha$$

(α は形状変更によるオーバーヘッド増減少分)

このような既設計回路情報からの最適パラメータ抽出により後戻り工数のない設計が高品質で行える。

5. 設計手順再利用の結果と考察

上述のタイミングを考慮した修正手順の再利用や最適設計手順の抽出は、再利用設計における設計工数の削減と設計品質の向上に非常に有効である。

表1に P&R ツールの row パラメータ抽出効果を示す。ほぼ見積り通りの結果が得られ設計の後戻りに要する工数削減に効果をもたらしことがわかる。

表1 P&R ツールのパラメータ抽出効果

回路部品	部品 r0	要求 h1(μm)	見積り W1(μm)	抽出 r1	結果 h2(μm)	結果 W2(μm)	h2/h1	w2/w1
blk1	45	2300	1593	53	2316	1584	1.01	0.99
		2200	1224	51	2127	1272	0.97	1.04
blk2	40	1700	1599	38	1677	1613	0.99	1.01

6. まとめ

カスタム LSI 自動設計システム CUPOLA におけるタイミングを考慮した詳細な設計手順の再利用や最適設計手順の抽出等の設計手順再利用手法とその有効性について述べた。今後、これをもとに、システム LSI の効率的な ASSP 展開等への適用を図る。

参考文献

- 1) 松本 他:CUPOLA:カスタム LSI 自動設計システム, 電子情報通信学会 1994 年春季大会, A-134,135, 1993.
- 2) 松本 他:カスタム LSI 自動設計システムにおける回路部品再利用技術, 第 46 回全国大会, 9N-2,1993.