

ブロック図による HDL 設計環境の実現方式

4 L-5

水本 勝也 高坂 広之 青木 洋 濱田 英幸 野地 保

三菱電機(株) システムLSI開発研究所

1 はじめに

トップダウン設計手法の一形態として過去の設計資産を容易にかつ有効に活用できるブロック図によるハードウェア記述言語 (HDL) 設計環境[1]を提案する。

本環境では、機能単位のHDL記述(HDLマクロ)や従来の論理図をブロックとして表現することにより、視覚的に組み合わせて設計する。以下、本環境の概要と実現方式について述べる。

2 ブロック図による HDL 設計環境の概要

2.1 構成

本環境は、ブロック図エディタ、ブロック設計、合成予測[2]、ライブラリデータベース(以下、L.D.B と記す)から構成されており、主にASIC設計における機能設計段階で使用される。図1に本環境の構成図を示す。ブロック図エディタでは、設計者がL.D.Bに登録されているブロックを組み合わせたたり、新たにブロックを描くことにより、所要の設計を行なう。ブロック設計では、ブロックとして取り扱うHDLマクロの作成や登録、並びに論理図面の登録を行なう。合成予測では、設計したブロック図に対する論理

合成の可否、ゲート数の見積りなどを論理合成することなく把握できる。

2.2 特徴

本環境の特徴を以下に示す。

- ブロックを組み合わせて、視覚的に設計できる。
- 定型的な機能は、パラメータ入力のみで、HDL記述及びブロックが自動生成される。
- 論理図とHDL記述を混在して設計できる。
- 再利用設計ができる。
- 合成予測機能により、設計したブロック図に対する論理合成の可否判定やゲート数の見積りが行なえる。

2.3 ブロック設計の形態

ブロック設計の形態としては、以下の3種類がある。なお、本論文では、断わりのない限り論理合成可能なレジスタ転送レベル(RTL)のHDL記述を単に”HDL記述”と記す。

(1) 新規設計

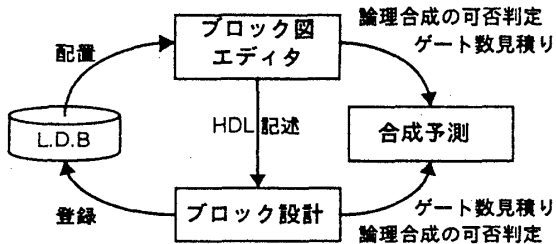
設計者が新たにHDL記述を行なったり、既存のHDL記述に変更/修正を施し設計を行なう。

(2) 再利用設計

従来の論理図及び頻繁に使用する過去のHDL記述をブロックとして取り扱い設計を行なう。

(3) パラメータ入力設計

定型的な機能(カウンタ、乗算器など)は、ビット幅などをパラメータ化したHDLマクロ(以下、パラメータ化HDLマクロと記す)をもとに、設計者がパラメータ設定を行なうだけで、HDL記述とそのブロックを自動生成する。このため、設計者はHDL記述する必要がない。パラメータ化HDLマクロは、Verilog HDLなどの標準的なHDLをベースとして記述するため、設計者でも作成し登録することができる。



L.D.B: ライブラリデータベース

図1 本環境の構成

Implementaion of HDL Based Design Environment using Block Diagram

Katsuya MIZUMOTO, Hiroyuki KOSAKA, Hiroshi AOKI, Hideyuki HAMADA, Tamotsu NOJI Mitsubishi Electric Corporation.

3 必要機能の実現方式

本環境では3種類のブロック設計形態を図2に示す処理フローで実現した。なお、論理図面では、HDL生成が必要ないため、ブロック生成とデータベース登録を行なう。以下、各部について述べる。

3.1 マンマシンインタフェース部

マンマシンインタフェース部には次の機能を持たせた。

- パラメータ抽出部から抽出された情報を設計者に提示し、必要項目の入力を促す。
- 設計者から入力された設定値は、誤りがないかチェックを行なった後、HDL生成部やブロック生成部に振り分ける。

3.2 パラメータ抽出部

パラメータ抽出部は、パラメータ化HDLマクロや設計者が記述したHDL記述（再利用、新規設計のHDL記述）から次の情報を抽出する。

- 最上位モジュール名
- ピン情報
- パラメータ設定項目（パラメータ化HDLマクロのときのみ）

ピン情報は、最上位モジュールで宣言されているピンの入出力方向、ピン名、及びピンの並びである。また、Verilog HDLにおけるパラメータ設定項目は、parameter文から抽出する。

これらの抽出した情報は、マンマシンインタフェースを介して、HDL生成及びブロック生成時のデフォルト値として設計者へ示される。

3.3 HDL生成部

HDL生成部は、設計者がマンマシンインタフェースを介して入力したブロック名、パラメータ値をもとに、HDL記述中のモジュール名の変更及びパラメータ値の置換を行ない、所要のHDL記述を生成する。

モジュール名の変更は、既にL.D.Bに登録されているブロック及びHDL記述との重複を防ぐためである。

3.4 ブロック生成部

ブロック生成部は、設計者がマンマシンインタフェースを介して入力したブロック名、シンボル上でのピンの並び、入出力ピンのビット幅をもとにブロックの自動生成を行なう。入出力ピンのビット幅はHDL生成部で生成されたHDL記述から抽出する。

3.5 データベース登録部

HDL生成部及びブロック生成部で生成されたHDL記述とブロックをL.D.Bに登録する。

4 おわりに

本論文では、ブロック図によるHDL設計環境の概要並びにブロックの設計形態である新規設計、再利用設計及びパラメータ入力設計の実現方式について述べた。

参考文献

- [1] 野地 保 その他:ブロック図によるHDLベース設計環境, 情報処理学会研究報告, 94-DA-71, pp.53-60(1994)
- [2] 野地 保, その他:機能記述からの合成予測, 電子情報通信学会 第7回 回路とシステム軽井沢ワークショップ論文集, pp.303-308(1994).

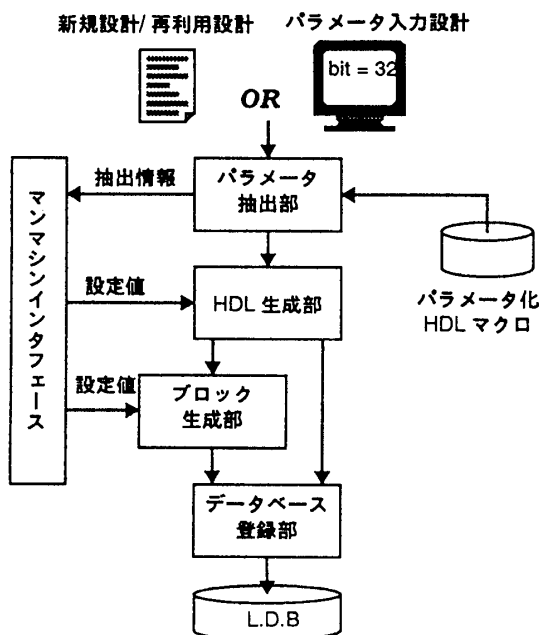


図2 ブロック設計の処理フロー