

HDLによるコ・デザイン環境の構築

3L-7

夏井 聡 山本 剛士 則安 学 佐野 直樹 久保 典夫
 横河電機(株) EDA 開発センター

1. はじめに

HDLによるトップダウン設計手法の普及により、複雑なハードウェアを短期間で容易に構築できるようになってきた。一方、ソフトウェアを含めたシステム検証は、依然として、ハードウェア構築後に行なわれている。

今回我々は、汎用 Verilog-HDL シミュレータ上で動作する、ハード/ソフトのコ・デザイン環境 (CEEDS-ICE) を構築した。本環境は、HDL で記述された CPU モデル及び仮想 ICE(In-Circuit Emulator) 機能と、C 言語で記述されたグラフィカル・ツール等により構成される。本環境により、実システム構築前に、システムパフォーマンス、アルゴリズム、ハード/ソフトのトレードオフなどが容易に検証できるようになった。

本稿では、CEEDS-ICE の構成、特徴、適用事例について述べる。

2. コ・デザイン環境に要求される機能

CEEDS-ICE を開発するに当たって、我々は、コ・デザイン環境に必要な機能について検討した。

1. ソフトウェアの検証

C 言語やアセンブラで記述されたプログラムを、ソースコードレベルでデバックできること。また、特定のコンパイラやリンカーに依存しないこと。

2. ハードウェアの検証

プログラムに従って動作する CPU と開発対象となる ASIC などが、任意の時間において、状態を表示したり変更できること。

3. ハード/ソフトのコ・シミュレーション環境

CPU を含むシステム全体が、正確なタイミングでシミュレーションでき、ソフト/ハードの両面で時間測定が可能なこと。

3. 開発環境の構築

3.1 必要な機能

以上の要求から、コ・デザイン環境に必要ないくつかの機能を選択した。

- ・C 言語のソースレベルデバック機能
- ・ブレーク機能とトレース機能

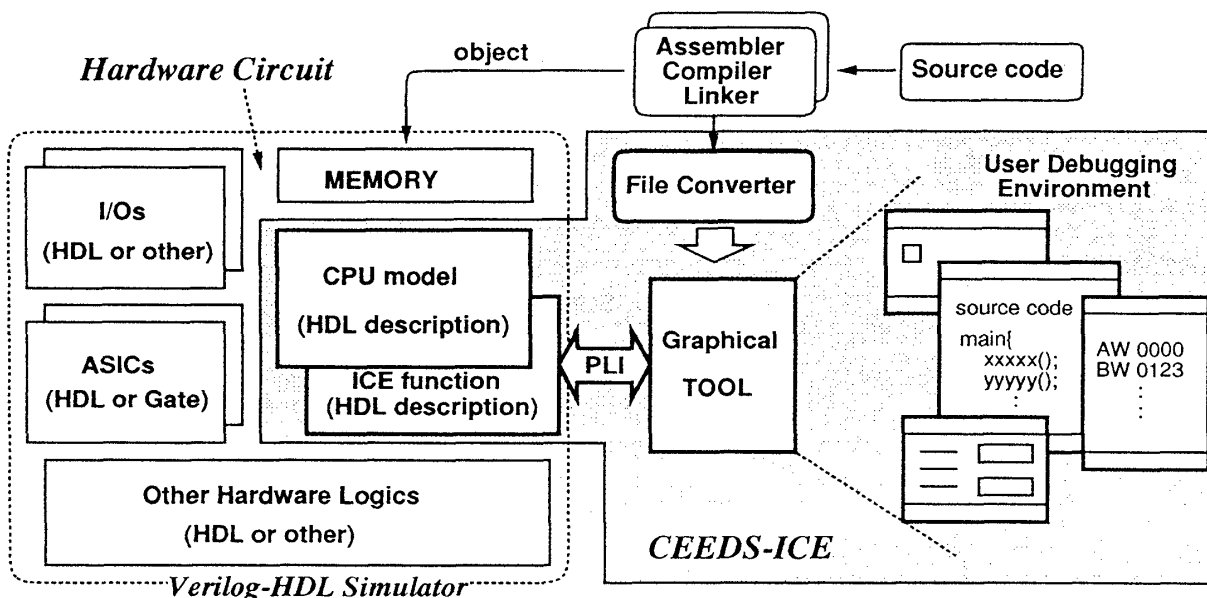


図 1: CEEDS-ICE によるコ・デザイン環境

The Development of Co-design Environment based on HDL

Satoru Natsui, Takeshi Yamamoto, Manabu Noriyasu, Naoki Sano, Norio Kubo

EDA Development Center, Yokogawa Electric Corporation

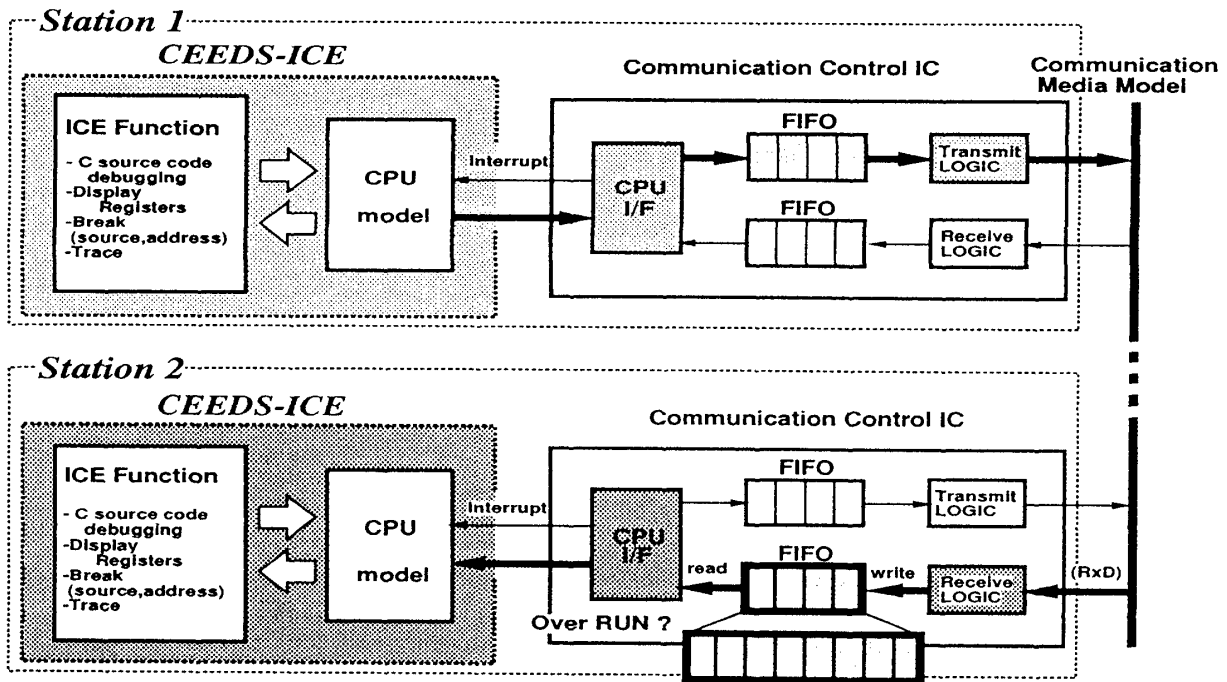


図 2: CEEDS-ICE の適用事例

- ・ 時間測定機能
- ・ 逆アセンブラ表示
- ・ レジスタ表示と設定
- ・ CPU 周辺回路へのアクセス

3.2 コ・デザイン環境の構成要素

これらの機能を実現するために、以下に示す各要素を開発し、図 1 に示される開発環境を構築した。

- CPU model** Verilog-HDL 記述された
実 CPU と命令/動作の互換なモデル^[1]
- ICE function** Verilog-HDL 記述された
仮想的な ICE 機能
- Graphical Tool** C 言語によって記述された
Window ベースのユーザーデバック環境
- File Converter** 種々のコンパイラに対応する
デバック情報変換ソフト

4. 効果

CEEDS-ICE は、マルチプロセッサシステムの検証やブレーク時の CPU 周辺回路のデバックなど、従来の設計環境にはない特長を有している。

4.1 応用分野

- ・ システム・パフォーマンス検証
- ・ ボード設計
- ・ CPU コア搭載 ASIC の開発
- ・ リアルタイム OS の検証

4.2 適用事例

図 2 は、CEEDS-ICE を実際の通信制御 IC の設計に適用した例である^[2]。CEEDS-ICE を用いて、実際のチップが設計される前に、通信バッファのアーキテクチャを検討した。ステーション間の通信パフォーマンス検証の結果から、通信バッファは 32 バイトの FIFO 方式とし、現在、この仕様に基づきチップを設計している。

5. まとめ

HDL をベースにした 仮想環境によるハード/ソフトのコ・デザイン環境を構築した。我々は、本環境を開発工程の上流側に適用することにより、その有効性を確認することができた。

今後、CPU モデルの充実、効率的なデバック機能の追加、シミュレーション速度の向上などにより、広範囲なコ・デザインに対応する環境を検討している。

参考文献

- [1] 山本、則安、夏井、佐野、久保：HDL による CPU コア搭載 ASIC の開発環境の構築 --- 情報処理学会第 47 回全国大会、1H-1、(1993-10)
- [2] 夏井、島田、佐野、久保：CEEDS-ASIC によるフィールドバス通信制御用チップの開発 --- 横河技報 Vol38 No.2(1994)、pp53 ~ 58