

HDLによる音声処理用DSPの開発（1）— 開発概要 —

3L-3

中嶋 敏勝 鈴木 俊彦 村山 孝司 星 十郎
 ヤマハ(株) 電子デバイス事業部
 山本 剛士 則安 学 佐野 直樹 久保 典夫
 横河電機(株) EDA 開発センター

1. はじめに

従来の回路図入力に基づいたゲートレベルのASIC開発では、“新規設計に時間がかかる”、“システムレベルでのASICの検証が難しい”、“設計者育成に時間がかかる”、“ASICマルチベンダ化対応が困難である”等の問題が顕在化している。[1]

今回、我々はこれらの問題点を解決するためHDL設計手法を導入し、本手法を用いてマイクロプログラミング制御方式による音声処理用DSP(YSP)を開発した。本チップはRAM,ROM等のハードマクロやアナログI/Oを内蔵し、これら以外の部分を論理合成対象として設計されている。

本稿では、本チップの開発概要（チップ諸元、特徴、アーキテクチャ）、並びにHDL設計手法の特徴と留意点等について述べる。

2. YSP の特徴

(1) 概要

- プロセス : 0.65 μ m CMOS
- 動作周波数 : 20MHz
- ゲート数 : 約 20K ゲート
- チップサイズ : 5.3 × 5.3 (mm²)
- ソース記述 : 約 3000 行
- 故障検出率 : 89.5% (テストベクタ数 : 約 75K パターン)

(2) 構成要素

- デジタル入出力 : オーディオフォーマット、LVFPM フォーマット
- アナログ入出力 : 15 ビットフローティング AD / DA
- シグナルジェネレータ : ノコギリ波等特殊波形発生器
- DSP : 乗算器 20 × 13 ビット、加算器 22 ビット、RAM、ROM
- 外付けメモリ インターフェース
- CPU インタフェース
- タイミングジェネレータ

(3) 開発期間

- 3ヶ月 (仕様書作成→レイアウト)

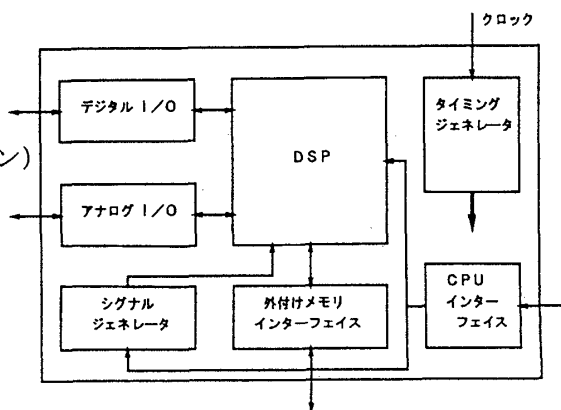


図 1: YSP 構成図

3. HDL 設計手法の特徴と留意点

(1) 多周波回路への対応

YSPでは、4本のクロックが使用されている。基準クロック、基準クロックを3分周したAクロック、Aクロックを2分周したBクロック、Bクロックの2分周クロックの4本である。Aクロックはチップ内の多くの部分で使われている為、Bクロックの位相はAクロックに対して、Aクロックの±1/2周期の範囲で不確定である。図2の上図の様なDataとBクロックとの位相関係を実現する為には、図2の下図の様にAクロックの反転を使用するのが最も有効である。

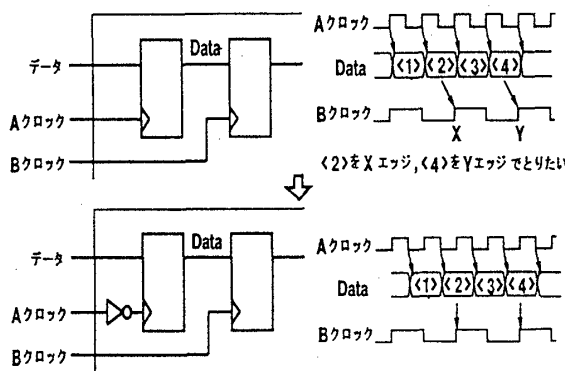


図 2: 多周波回路への対応

The Development of Sound Processing DSP by using HDL
 Toshimasa Nakajima, Toshihiko Suzuki, Takashi Murayama, Juro Hoshi
 Electronic Devices Division, YAMAHA Corporation
 Takeshi Yamamoto, Manabu Noriyasu, Naoki Sano, Norio Kubo
 EDA Development Center, Yokogawa Electric Corporation

(2) 基本的なクロックスキューの考え方

HDL 設計では、単一同相クロックを用いた同期回路設計が理想的である。その際、重要となるクロックスキューに対する基本的な考え方を図3に示す。図3は、チップのブロック内における考え方を示している。ブロック間では、データラインにタイミングを保證できるだけのディレイをいれるか、反転クロックでデータを受けるといった対策が必要となる。

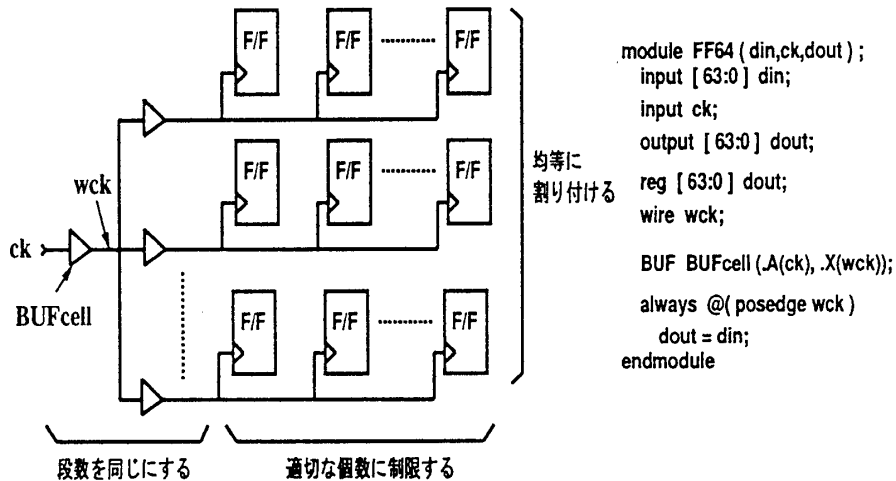


図3: クロックスキューの考え方と RTL 記述例

(3) テストプログラムのコンセプト

従来の回路図入力に基づいた ASIC 開発では、設計対象の検証はテストパターンを用いて行なわれる。これに対し、HDL 設計では、テストプログラムのコンセプト (図4) を導入でき、これにより開発期間を大幅に短縮できる。テストプログラムから対象 ASIC に対して与えられる入力値によって得られる出力値と期待値を比較し、等しければシミュレーションを継続、等しければシミュレーションをストップして解析を行なう。

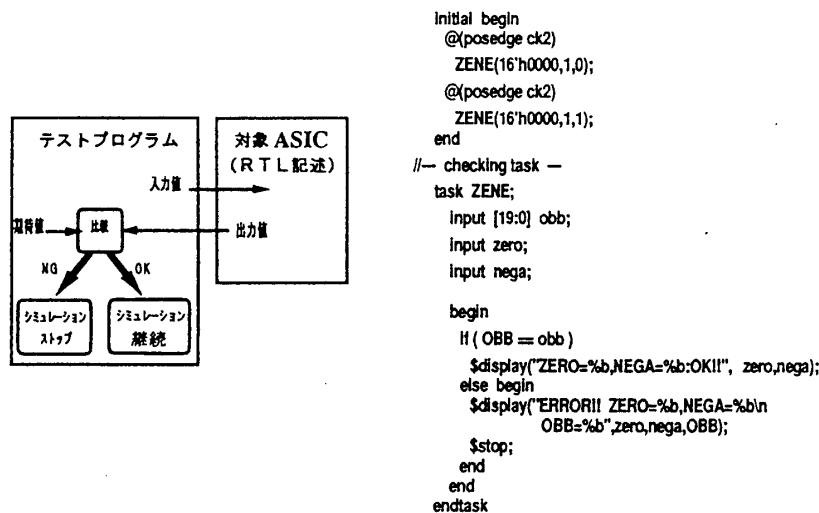


図4: テストプログラムのコンセプトと HDL 記述例

4. まとめ

HDL 設計手法を用いてマイクロプログラミング制御方式による音声処理用 DSP を開発した。今後の高機能かつ大規模化する ASIC 開発に向け、この HDL 設計手法を定着させていく必要がある。

<参考文献>

[1] 佐野、久保 : "HDL による ASIC 開発手法"、情報処理学会第 43 回全国大会、4R-5、(1991-10)