

ハードウェア/ソフトウェア協調動作のための 再構成可能な汎用コプロセッサシステム†

1L-5

松岡 裕人 木村 晋二 渡邊 勝正
奈良先端科学技術大学院大学 情報科学研究科

1 はじめに

アプリケーションの一部をハードウェア化し、プロセッサと協調動作させるシステムは、ある特定の処理を高速に実行できるので、現在広く研究されている。特に、ハードウェア部に FPGA (Field Programmable Gate Array) を用いることにより、適応できるアプリケーションを増やすことができる [1]。しかし、これまで FPGA で構成された回路から CPU バス上のメインメモリ等に直接アクセスすることはできず、扱えるデータ処理は限定されていた。そこで、我々は、CPU バス直結型の汎用コプロセッサシステムを提案する。現在、汎用コプロセッサのプロトタイプとして、SUN SBus [2] 用の GPCP-1 (General Purpose CoProcessor) の開発を行っており、そのシミュレーションによる評価結果も併せて報告する。

2 汎用コプロセッサ

2.1 概要

汎用コプロセッサは、数個の FPGA、バス・インターフェース、キャッシュ・メモリ、キャッシュ・コントローラで構成される。そして、アプリケーションに応じて、FPGA 内の回路を変更することができ、各々のアプリケーションに適したハードウェア機能を実現することができる。

汎用コプロセッサは CPU バスに直結され、メイン・メモリやビデオ・メモリ等を直接アクセスする機能を持つ。このため、コプロセッサで扱えるアルゴリズムは幅広く、また、回路特有の並列性を用い

ることもできる。さらに、キャッシュ・メモリを用いて、バス転送効率を上げ、メモリ・アクセスによるネックを低減している。

2.2 GPCP-1

SUN SBus 用の汎用コプロセッサのプロトタイプ GPCP-1 の構成を図 1 に示す。GPCP-1 は、FPGA に ALTERA 社の EPF81188MC240-2 [3] を 4 個内蔵し、内部クロック 50 MHz で動作する。表 1 に、EPF81188MC240-2 のデバイス特性を示す。メモリは、64 Kbyte のローカルメモリと、64 Kbyte のキャッシュメモリを持ち、ローカルメモリアクセスは 2 クロック、キャッシュヒットアクセスは 4 クロックで行なう。キャッシュは、1024×4 ウェイ構成である。SBus ではスヌーピングが行なえないので、ライトスルー方式を採用している。ライトバック方式に比べ、ライトスルー方式はパフォーマンスが落

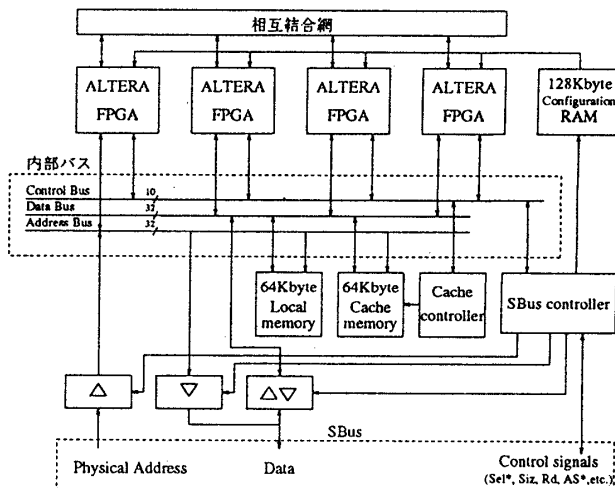


図 1: GPCP-1 の構成

表 1: EPF81188MC240-2 デバイス特性

Available Gates	Usable Gates	Flip-flops	Logic Elements	Dedicated Inputs	I/O pins
24,000	12,000	1,188	1,008	4	180

† A General Purpose Coprocessor for Hardware-software Co-operation.
Hiroto MATSUOKA, Shinji KIMURA, Katsumasa WATANABE
Graduate School of Information Science, Nara Institute of Science and Technology

ちる。これを補うため、ローカルメモリを設け、ローカルメモリとメインメモリ間のブロック転送機能を付加し、ライトバックに近い動作が実現できるようにした。

また、GPCP-1 は、128 Kbyte のコンフィギュレーション用メモリと起動フラグを持つ。これらは、SBus のメモリ空間上にマッピングされており、CPU により直接アクセスされる。ネットリストデータをこのメモリに書き込み、起動フラグをセットすることにより、汎用コプロセッサ内の FPGA は、コンフィギュレーションを行なう。GPCP-1 の場合、コンフィギュレーションに要する時間は、約 400msec である。

FPGA 間のデータの受渡しには、FPGA の 135 本の I/O ピンを用いる。相互結合網により、各 FPGA は 45 本ずつの接続線で相互に結ばれている。また、相互結合網の設定により、接続線の一部をバス接続にすることもできる。

3 シミュレーションを用いた評価

字句解析、バイナリサーチ、クイックソート、マージソート、文字列検索のプログラムを SFL (Structured Function description Language : NTT 製) [4, 5] で記述し、GPCP-1 で実行した場合に得られる処理時間をシミュレーションにより求めた。なお、字句解析については、UNIX の Lex の仕様書ファイルから、ハードウェア部を自動的に抽出して SFL 記述に変換するプログラムを試作し、GPCP-1 で字句解析を行なったときに得られる処理時間をシミュレーションにより求めた。

シミュレーションは、SFL 記述したハードウェアの動作を C 言語で模擬し、評価用のデータを与えて、実行に必要とするクロック数を測定することにより行なった。ただし、GPCP-1 の SBus へのアクセスには、競合が生じないものと仮定した。シミュレーションの比較対象には、SUN SPARCstation10/51 (50MHz SuperSPARC, 主記憶 64Mbyte, キャッシュメモリ 1Mbyte) で実行した結果を用いた。

表 2 に、SS10/51 と GPCP-1 との実行時間の比較結果を示す。比較結果によると、字句解析で 12.9 倍、サーチやソート等では、整数値のクイックソート以外で 2.5~7.5 倍の効果が得られた。整数値のク

イックソートでは、0.97~1.15 倍であるが、これはソフトウェアのアルゴリズムをそのままハードウェア化したため、回路の並列性を利用できなかったためである。

表 2: 基本データ処理のシミュレーション結果

評価データ	アルゴリズム	実行時間		向上率
		SS10/51	GPCP-1	
9.6Mbyte Text	字句解析	16.31sec	1.26sec	12.9
整数値 10,000 個	バイナリサーチ	3.02μsec	1.13μsec	2.48
	クイックソート	15.6msec	13.6msec	1.15
	マージソート	37.4msec	7.7msec	4.86
整数値 1,000,000 個	バイナリサーチ	9.77μsec	3.82μsec	2.56
	クイックソート	2.47sec	2.54sec	0.97
	マージソート	6.09sec	1.64sec	3.71
文字列 1,000,000 個	バイナリサーチ	32.05μsec	5.97μsec	5.37
	クイックソート	49.43sec	13.21sec	3.74
1Mbyte Text	文字列検索	240msec	32msec	7.50

4 おわりに

本稿では、アプリケーションに応じて機能を再構成することのできる汎用コプロセッサを提案した。現在、汎用コプロセッサのプロトタイプ GPCP-1 の設計を完了し、試作段階に入っている。シミュレーションを用いた評価によると、GPCP-1 では、SBus のデータ転送時間によるネックは生じているが、ある程度の効果が得られている。今後、GPCP-1 を完成させ、実際に動作させたときの性能評価を行ないたいと考えている。

謝辞 日頃から御討論頂く本学情報科学研究科渡邊研究室の諸氏に感謝致します。また、PARTHENON を提供して下さいました NTT コミュニケーション科学研究所の皆様方に感謝致します。

参考文献

- [1] 沼昌宏: “FPGA を利用したアーキテクチャとシステム設計”, 情報処理学会誌, Vol.35, No.6, pp.511-518 (1994).
- [2] Edward H. Frank, Jim Lyle: “SBus Specification B.0”, SUN Microsystems, Inc (1990).
- [3] “Data Book”, Altera Corporation (1993).
- [4] “PARTHENON Reference Manual”, NTT データ通信株式会社 (1990).
- [5] “PARTHENON User’s Manual”, NTT データ通信株式会社 (1990).