

メモリ型プロセッサによる動画処理システム RVS-2

5R-3

—メモリ型プロセッサ IMAP-2—

藤田善弘 山下信行 岡崎信一郎

NEC 情報メディア研究所

1 はじめに

近年、監視装置や車の危険回避システムなど動画処理を利用する応用の実用化や研究開発が盛んになってきている。一方、現在の画像処理装置は、高性能ではあるが大きく高価なものか、小型ではあるが1フレーム時間内に1回～数回の基本画像処理が実行できる程度の性能しかないものがほとんどであり、小型で高性能な動画処理装置が望まれている。筆者らは、プロセッサアレイと画像メモリを1チップに集積し、3.84GIPSの演算性能を有するLSI IMAP-2を開発した[1]-[3]。また、IMAP-2を8個使用して、基本画像処理ならば1フレーム時間(33ms)内に50～100回程度実行できる性能を有する、動画処理システムRVS-2を構築した。本稿では、IMAP-2の構成について述べる。

2 IMAP-2の構成

IMAP-2の構成を図1に示す。2MビットのSRAMと64個の8ビットプロセッサおよび2系統のシリアルアクセス用シフトレジスタを1チップに集積しており、VRAMに1次元SIMDプロセッサアレイを付加したような構成になっている。画像メモリと高並列プロセッサを同一チップに集積することにより、メモリアクセスボトルネックの解消と小型化を実現している。

複数のIMAP-2を1次元状に接続することができ、図2は、8個のIMAP-2を使用し、512プロセッサを有する動画処理システムRVS-2の構成例である。

IMAP-2への命令はシーケンサやプログラムメモリを有するコントローラから供給される。ホストワークステーションは、コントローラやIMAP-2内部のメモリにバス接続されており、プログラムメモリへのプログラムロードや、処理の起動などのコントローラの制御、

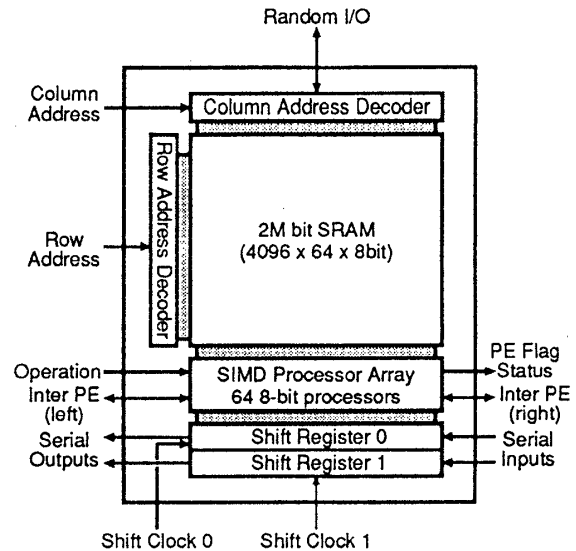


図1 IMAP-2の構成

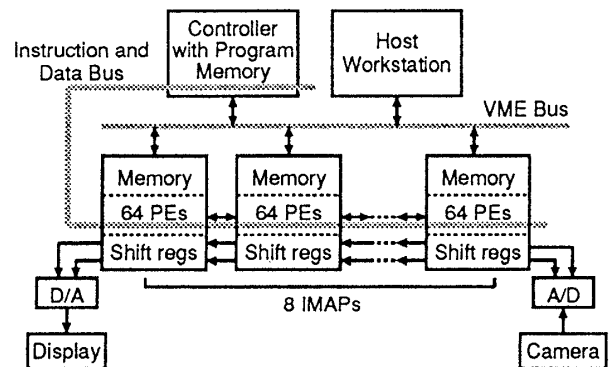


図2 RVS-2の概略構成

IMAP-2内部のメモリの読み書きなどができる。

画像はシフトレジスタを用いて入出力する。入力された画像は、IMAP-2内のメモリに蓄積され、プロセッサアレイによって処理される。処理結果は直接表示したり、ランダムアクセスポートを介して外部からアクセスすることができる。従って、IMAP-2のプロセッサアレイで低レベル～中レベルの画像処理を高速に行い、ホストワークステーションはその結果をIMAP-2から直接読み出して、より上位の処理を行うことができる。

図3に1プロセッサの構成を示す。画像処理では8ビット演算が多用されるため、8ビットアーキテクチャを採用した。ALU、シフト、レジスタから構成され、

RVS-2: A Real-Time Vision System based on Integrated Memory Array Processors —IMAP-2 Architecture—
Yoshihiro Fujita, Nobuyuki Yamashita, Shin'ichiro Okazaki
Information Technology Research Laboratories,
NEC Corporation

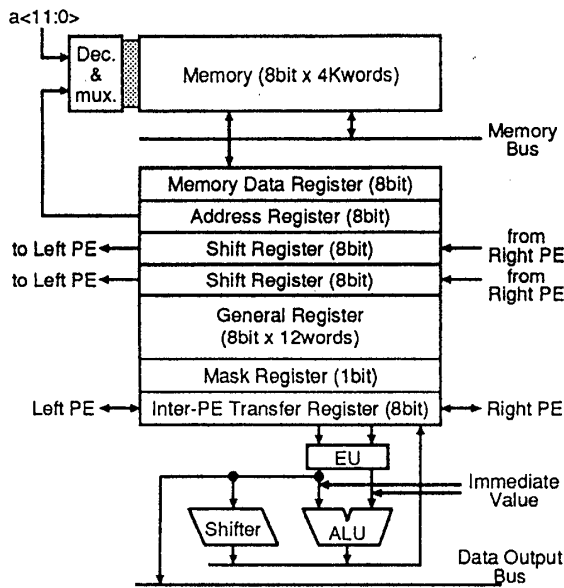


図3 1プロセッサの構成

RISCライクな命令セットを有する。汎用レジスタ12本の他、画像入出力用のシフトレジスタ、隣接プロセッサ間通信用レジスタ、メモリアクセス用のアドレスレジスタとデータレジスタ、個々のプロセッサの動作/非動作を制御できるマスクレジスタなどがある。また、本プロセッサは乗算器は持たないが、テーブルルックアップ乗算を高速化するためのアドレス生成命令と加算命令を持ち、8ビットの乗算を11ステップで実行できる。

メモリはプロセッサ当たり4KBあり、256バイト単位のページ内ならば、各プロセッサが異なるアドレスをアクセスする、間接アドレッシング機能を利用できる。

各プロセッサで独立に実行する命令の他にも、演算フラグを集計して出力する命令や、任意のプロセッサを外部からアクセスするための命令、CAM的な検索機能を実現するための命令などがある。CAM的な検索機能は、(1)比較演算によりフラグを立てる、(2)フラグ選択命令により1プロセッサを選択する、(3)選択されたプロセッサのデータを読み出す、という手順で実現できる。

3 チップレイアウトおよび諸元

0.55 μ m BiCMOS 2層アルミ配線プロセスを使用し、千百万トランジスタを15.1 \times 15.6 mm^2 に集積した。チップ写真を図4に、諸元を表1に示す。IMAP-2の最大性能は8ビット演算に於いて3.84GIPSであり、それはプロセッサアレイ部での演算による2.56GIPSと、それと並列に実行可能なロード/ストア命令による1.28Gバイト/秒のデータ転送によって実現されている。

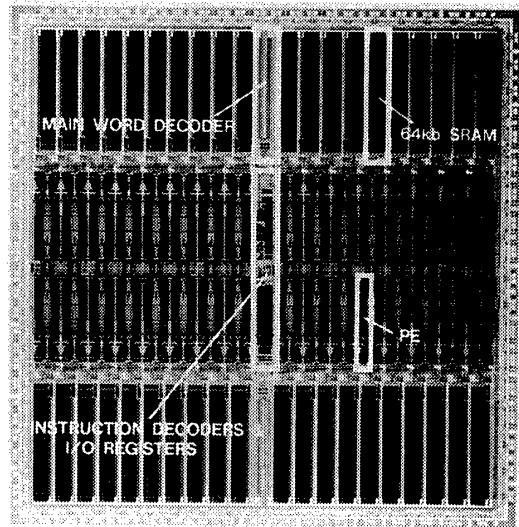


図4 IMAP-2チップ写真

表1 IMAP-2諸元

プロセス	0.55 μ m BiCMOS, 2層Al配線
チップサイズ	15.1mm \times 15.6mm
トランジスタ数	千百万Tr
クロック周波数	プロセッサ: 40MHz メモリ: 80MHz
パッケージ	208ピンPGA (信号線144本)
電源電圧	3.3V
最大消費電力	4.0W
最大性能	3.84GIPS (8ビット演算)

4 おわりに

小型で高性能な高並列一次元SIMDプロセッサシステムを構築することのできる、動画像認識処理に適したIMAP-2を試作した。さらに、IMAP-2を8個使用する動画像処理システムRVS-2を試作しIMAP-2の動作を確認した。IMAP-2を使用することにより、1ボード程度の大きさながら基本画像処理ならば1フレーム時間内に50~100回程度実行することができる性能を有する、動画像処理システムを構築することができる。

参考文献

- [1] 藤田善弘: “画像演算メモリ”, 情処学計算機アーキテクチャ研究会, 89-1 (1991-07).
- [2] Y. Fujita, N. Yamashita, S. Okazaki: “Integrated Memory Array Processor: A Prototype VLSI and a Real-time Vision System”, Proc. of Workshop on Computer Architecture for Machine Perception, pp.82-91, (Dec. 1993).
- [3] N. Yamashita, T. Kimura, Y. Fujita, Y. Aimoto, T. Manabe, S. Okazaki, K. Nakamura, M. Yamashina: “A 3.84GIPS Integrated Memory Array Processor LSI with 64 Processing Elements and 2Mb SRAM”, ISSCC94, FA15.2, pp.260-261, Feb., 1994.