

## CMOSゲートアレイ用マクロセル自動レイアウトシステム

3C-5

定兼利行、中尾博臣、林中也、奥田亮輔、寺井正幸

三菱電機（株）システムLSI開発研究所

## 1. はじめに

ゲートアレイのマクロセルレイアウトは、マクロセル回路図中のトランジスタをベースアレイ（P型/N型トランジスタを横一列に並べたもの）に割り付け、2層のアルミを用いてトランジスタ間を配線したものである。配線はベースアレイ上に設けられた垂直及び水平配線トラックに従い、セル領域（割り付けられたトランジスタ上の領域）の範囲で行う。一般に、マクロセルのレイアウトでは、セル間配線のためのフィードスルー可能な垂直配線トラックがある基準値以上に多くなるように、第2層アルミ配線の数を少なくすることが要求される。

様々なベースアレイ構造が提案されている。このうち高密度ゲート分離方式[1]のベースアレイでは、上記の基準を満たすように配線することは難しい。その理由は、高密度ゲート分離方式では1トランジスタ当たりの垂直方向配線トラック数が1本と少ないためである。そこで、第2層アルミを多く使用したレイアウトを、次の方法で改善するのが一般的である。分離ゲート（ゲート端子を電源/グランドに接続された常にオフ状態のトランジスタ）を挿入し、この分離ゲート上の垂直配線トラックを使って配線をやり直すことにより、第2層アルミ配線を減らす。セルの面積を大きくしないために、挿入する分離ゲートの数はフィードスルー数の基準を達成するのに必要な最小限にするのがよい。これまで、多くのマクロセルジェネレータが報告されたが、いずれもセル面積最小化および第2層アルミ数最小化を目指したものであり、第2層アルミ配線を減らすために分離ゲートを挿入することを考慮したものはない。

我々は、分離ゲート挿入・第2層アルミ削減の作業を効率よく行うための機能を備えた、マクロセルレイアウトシステムMCgen(MacroCell generator)を開発した。本システムは、第2層アルミを減らすように経路改善するプログラムを備え、設計者はこれを対話的に用いることにより効率よく分離ゲートの挿入・第2層アルミ削減作業が出来る。以下では、この機能を中心に我々の設計システムについて説明する。

## 2. 高密度ゲート分離方式のマクロセルレイアウト問題

(1) レイアウトスタイル 図1に高密度ゲート分離方式のベースアレイ構造と対応する回路図を示す。P型/N型トランジスタのペアからなるベーシックセルが横一列に等間隔で並んだ構造になっている。横に隣り合うトランジスタは拡散領域を共有している。

マクロセルのレイアウトは次のようにして行う。マクロセルの回路図中のトランジスタをベースアレイに割り当てる（トランジスタを配置する）。ゲート分離方式では、相隣接するトランジスタを電気的に分離したい場合は、分離ゲートをその間に設ける。配置されたトランジスタ及び分離ゲートとして使用したトランジスタ上の領域をマクロセル領域と呼ぶ。配線はマクロセル領域内で2層のアルミを用いて行う。配線はベースアレイ上に設けられた水平および垂直配線トラックに従う。高密度ゲート分離方式では、垂直配線トラックは1トランジスタ

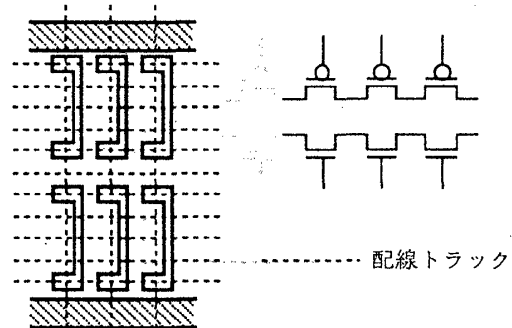


図1：高密度ゲート分離方式のベースアレイ構造

タペア当たり1本である。

(2) 要求されるレイアウトの品質 マクロセルでは以下の要求を満たす高品質のレイアウトを作成する必要がある。

1. マクロセル領域内の垂直配線トラックのうち、セル内第2層アルミ配線が存在しないトラックはセル間配線においてフィードスルー配線が通過可能である。このフィードスルー可能トラックが多いほどよい。
2. セル横幅を最小化する。即ち分離ゲートの数をできるだけ少なくする。
3. 拡散と第1層アルミをつなぐビアの数をできるだけ多くする。これは、電気的に並列に配置されるビアが多いため、寄生抵抗が小さくなり回路の動作速度が上がるからである。

このうちの1と2は前述のようにトレードオフの関係にある。この場合、フィードスルー可能トラック数にある最低基準を設け、その基準以下の場合にはセル横幅を増やしてでもフィードスルー可能トラックを増やした方がよいものとする。

## 3. システム構成

我々のシステムでは図2のような設計フローでレイアウトを作成する。図中四角で囲んだものが本システムの機能である。設計フローは初期レイアウト自動生成、レイアウト品質改善の2段階に分けられる。以下ではこの設計フローに従って我々のシステムについて説明する。

## 3.1 初期レイアウト生成

マクロセルのライブラリは100トランジスタを越える大規模なセルものを含んでいるが、マクロセルのレイアウトでは水平配線トラック数はベースアレイ構造により決まっている。このため配線不能なしに配線することは容易ではない。我々のシステムでは、自動配置配線とテクノロジー変換の両方の方式で初期レイアウトを生成できるため、生成不能となるセルを減らすことができる。

(1) 自動配置配線方式 次の3つのプログラムによりマクロセル回路図からレイアウトを自動生成する。

1. トランジスタ配置プログラム・・・セル横幅を小さくすることと配線の容易さを考慮してトランジスタを割り付ける[2]。
2. 初期配線プログラム・・・配線不能を避けることを第一の目標とし、チャンネル配線を基本としたマクロセルレイアウト用の配線アルゴリズム[3]を採用してい

る。  
 3. 第2層アルミ最小化プログラム・・・初期配線結果を入力とし、フィードスルー可能な垂直トラックをなるべく増やすように第2層アルミ配線を引き剥がし、第1層アルミで再配線する。著者の一人が開発した押し退け機能付の迷路法を用いている[4]。

(2)テクノロジー変換方式 テクノロジー変換プログラムは、同一回路情報をもつ既設計のマクロセル(旧世代マクロセル)のトランジスタ配置順序と配線経路の位置関係をそのまま用いて、新しいマクロセル(新世代マクロセル)のレイアウトパターンを作成する。この結果を上述の第2層アルミ最小化プログラムにより引き剥がし再配線して初期レイアウトとする。

過去の人手による高品質の配線結果を利用するので、自動配置配線では配線不能になったようなセルに対しても容易にレイアウトを得ることができる場合がある。但し、この機能は新世代ゲートアレイの設計ルールによっては適用できない(例えば、新世代マクロセルのトランジスタ上のグリッド数が旧世代のそれより小さい場合)。従って、本機能は自動配置配線方式によるレイアウト生成の補助的手段である。

3.2 レイアウト品質改善

この段階では、生成された初期レイアウトがフィードスルー可能トラックに関する基準を満たさない場合に分離ゲートを挿入して第2層アルミ配線を減らし、その後、拡散ビアをできる限り増やす。

(1)分離ゲート挿入・第2層アルミ削減 従来この作業を手でおこなう場合は、次の1、2の試行錯誤により挿入位置と経路変更を行っていた。

1. 挿入位置の目星をたてて挿入する。例えば分離ゲートを挿入することにより迂回した第1層アルミ配線が短い経路で引き直せる場合などは、その挿入位置は有望である。迂回を解消することで生じた配線スペースを使って第2層アルミ配線を減らせ可能性があるからである。
2. 経路変更により第2層アルミを減らすことができないか試みる。

現在の我々のシステムでは、1、2のうち比較的自動化しやすいと思われる2の部分を自動化し、1の部分は人手で行う。それでも2の自動化により作業の効率は大幅に改善された。1の部分の自動化は将来の課題である。我々のシステムは、1の作業のために、設計者が指定した挿入位置に分離ゲートを挿入する対話型コマンドを備え

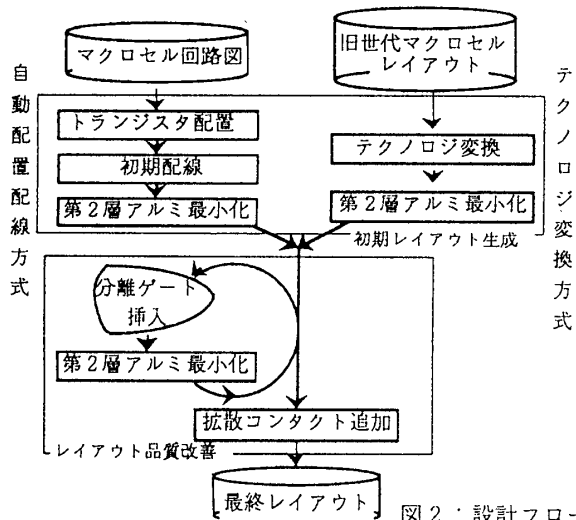


図2: 設計フロー

る。また、2の部分は前記の第2層アルミ最小化プログラムを用いる。

(2)拡散ビアの増加 拡散ビア増加プログラムは、拡散ビアを可能な限り増やす。障害となる配線がある場合はそれを移動して拡散ビアを増やす。

4. 適用結果

本システムMCgenを当社0.5μmCMOSゲートアレイのライブラリ用の258種類のマクロセルの開発に適用した。レイアウト生成では、258セル中253セルを配線不能なく自動生成できた。結果を表1に示す。フィードスルー可能トラック数の全トラック数に対する割合が3/4程度を基準とし、これ以下のセルについて、分離ゲートを挿入し第2層アルミ削減を試みた。少数の分離ゲート挿入で第2層アルミを減らすことができなかったセルなどについてはレイアウトエディタによる人手修正を行った。本システムを使用することで、人手修正や生成不能となったセルの人手作成、検証も含めたトータルマクロセルのレイアウト設計期間は、人手設計の10分の1になった。レイアウト結果の一例を図3に示す。

本システムを使用することで、人手修正や検証も含めたマクロセルのレイアウト設計期間は、人手設計の10分の1になった。

5. おわりに

高密度ゲート分離方式のゲートアレイ用のマクロセルレイアウト設計システムを提案した。実際のマクロセルに適用し、設計期間をこれまでの1/10に削減できた。

参考文献

- [1] I. Ohkura, et. al. : Gate isolation - a novel basic cell configuration for CMOS gate arrays, Proc. 1982 CICC, pp.307-310, 1982.
- [2] 栗山、他: CMOS・SOG用マクロセル自動生成プログラムにおけるトランジスタ配置手法の検討と評価、情報第43回全国大会予稿7R-2, 1991.
- [3] R. Okuda, et. al. : An Efficient Routing Algorithm for CMOS SOG Cell Generation on a Dense Gate-Isolated Layout Style, 29th DAC pp.676-681, 1992.
- [4] 林、他: 障害となる既配線の押し退け可能性を考慮した自動配線手法、本大会予稿3C-01.

表1: レイアウト生成結果

	試行セル数	生成できたセル
自動配置配線	258	224(87%)
テクノロジー変換	211*	211(100%)
自動配置配線もしくはテクノロジー変換**	258	253(98%)

\*258セルのうち旧世代マクロセルが存在するものは211セルである  
 \*\*両方のフローで生成できたセルについては、品質がよい方を選んだ

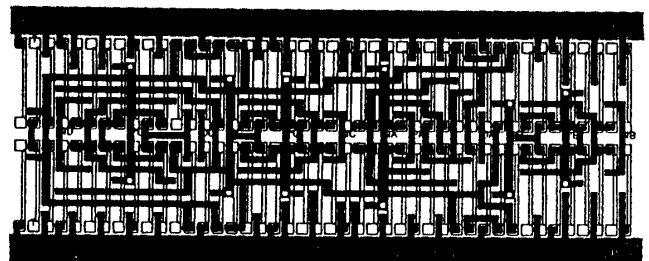


図3: レイアウト結果