

回路図面自動生成における配線の一手法

3C-3

中谷 隆 米澤 典剛

日本電気株式会社 ULSI システム開発研究所¹

1 はじめに

本論文ではスキマティックジェネレータ用の回路図面における配線の一手法として、拡張型の線分探索法を提案する。本手法の特徴は、素子配置時に配線領域を確保せず、動的に素子を移動することにより配線領域を確保しながら配線する点である。本手法に基づく配線プログラムを作成し、実際の回路に適用した実験結果について報告する。

2 配線手法

回路図面自動生成においては、生成図面の見やすさが重要である。配線手法としては、チャンネル配線法とラインサーチ法の2手法が考えられるが、チャンネル配線法が配線領域最小化を目的とするのに対し、ラインサーチ法は折れ曲がり数最小配線を目的とする。折れ曲がりが少ない配線結果の方が見やすいため、回路図面自動生成における配線手法としてはラインサーチ法の方が適している。しかし、従来のラインサーチ法は一定の領域内で配線を行うため、100%配線が保証できない。そこで、配線領域が不足した場合、素子を動的に移動するようにラインサーチ法を拡張した。

配線処理の入力として、

- 素子間隔が、最小配線間隔(グリッド)の2倍を保持した素子の配置
- 各素子の形状
- 各素子上の端子位置
- 端子間の接続情報

が与えられる。

配線処理の流れは次の通りである。

```

経路候補線分発生;
for (各ネット について) {
    引き出し線生成;
    経路探索;
    配線領域拡張;
    経路候補線分追加; }
端子と既配線のずれ修正;

```

2.1 基本データ構造

本手法では、線分データを2分木とヒープ探索木(PST)を組み合わせたデータ構造を用いて管理する[1]。これにより、線分の交差検査、ある点から最短距離の線分の抽出、ある値以上のX(Y)座標をもつ垂直(水平)線分の列挙などを効率的に行うことができる。

2.2 各処理の説明

2.2.1 経路候補線分発生

素子の周囲に素子より一回り大きい矩形を発生し、これを素子枠とする。素子枠上に仮想的な端子を発生し、この端子間で配線処理を行う。初期配置をもとに、図1のように素子枠から1グリッド外側に線分を発生させ、これを経路候補線分とする[2]。

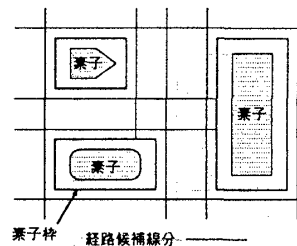


図1 経路候補線分

2.2.2 引き出し線の生成

配線を行う端子から、素子枠に対して垂直に他の素子枠、又は既配線の端点の1グリッド手前まで、線分を発生する。

2.2.3 経路探索

引き出し線から、交差検査を行いながら幅優先探索し、折れ曲がり最小の配線結果を得る[2]。

2.2.4 素子移動による領域拡張

既配線によって領域が塞がると配線が不能になるのを避けるため、一つのネットの配線が終了した後、この配線経路を構成する線分の周囲を検査し、線分と隣接している素子及び既配線を移動することにより配線領域を確保する。

水平線分を例にとって処理の概略を以下に記す。

配線経路を構成する線分の両端点を P_1, P_2 とする。 P_1, P_2 の1グリッド上の点を G_1, G_3 とする。 P_1, P_2 の1グリッド下の点を G_2, G_4 とする(図2)。

¹A Routing Method for Schematic Generation
Takashi Nakaya, Noritake Yonezawa
NEC Corporation
ULSI systems development laboratories

このとき、前述の配線経路を構成する線分すべてについて、以下の規則を適用する。

- (1) 点 G_1 , または G_3 に素子枠水平線分があるとき、点 G_1 以上の垂直座標をもつ線分、素子をすべて1グリッド上方向に移動
- (2) 点 G_1 と点 G_3 間に素子枠垂直線分があるとき、点 G_1 以上の垂直座標をもつ線分、素子をすべて1グリッド上方向に移動
- (3) 点 G_2 または G_4 に素子枠水平線分があるとき、点 P_1 以上の垂直座標をもつ線分、素子をすべて1グリッド上方向に移動
- (4) 点 G_2 と点 G_4 間に素子枠垂直線分があるとき、点 P_2 以上の垂直座標をもつ線分、素子をすべて1グリッド上方向に移動

素子の位置、既配線の位置は、2分木と PST を組み合わせたデータ構造に格納しているため、効率良く素子の移動を行うことが出来る。

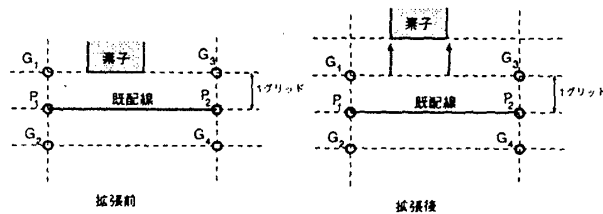


図2 領域拡張

2.2.5 経路候補線分追加

一つの配線が終了した後、配線経路を構成する線分の周囲を検査し、空き領域の場合、経路候補線分を追加する。

配線経路を構成する線分の両端点を P_1, P_2 とする。 P_1, P_2 の1グリッド上の点を G_1, G_3 とする。 P_1, P_2 の1グリッド下の点を G_2, G_4 とする(図3)。

水平線分を例にとると、 $P_1 \sim P_2$ から上下1グリッドの点 $G_1 \sim G_4$ に、既配線の水平線分又は素子枠の水平線分が存在するかどうか検査する。これがなければ、線分の上側の点 G_1 より、左右それぞれの方向に経路候補線分、既配線、素子枠の水平線分の端点のうち最も G_1 に近い端点を抽出し、両端点間で線分を発生し、これをあらたな経路候補線分集合に追加する(図3)。同様に、 G_2, G_3, G_4 についても経路候補線分の発生を行う。

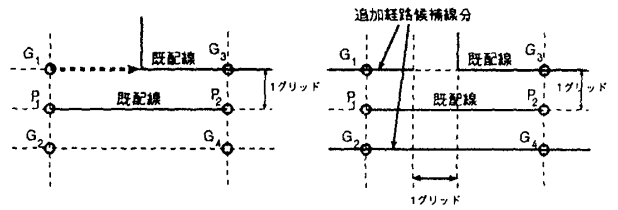


図3 経路候補線追加

2.2.6 端子と既配線のずれ修正

前記の領域拡張を行うと、既配線と端子の位置がずれてしまうため、配線開始前に確保した素子と素子枠の間の領域でリバーテイングを行うことにより、ずれを吸収している。

3 実行結果

本手法に基づく回路図面自動生成プログラムを作成し、実際の回路に適用した。チャンネル配線法と本手法の実行時間の比較を表1に示す。

表1 チャンネル配線法と本手法の実行時間比較

	素子数	ネット数	チャンネル配線法 [s]	本手法 [s]
回路1	45	40	9.53	9.34
回路2	74	73	10.65	10.93
回路3	120	95	9.97	11.10

マシン EWS4800/350 (95 MIPS)

本手法で回路図面を生成した結果を図4に示す。

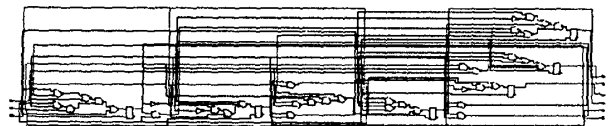


図4 本手法による生成図面

4 おわりに

動的に素子を移動することにより100%配線を保証するようにラインサーチ法を拡張し、チャンネル配線法と比較して遜色のない時間で配線処理が行えることを確認した。

今後の課題は、配線間交差の削減や、距離と折れ曲がり数の整合をとり、より見やすい回路図面を生成することである。

参考文献

- [1] 鈴木 敬, 小島 直仁, 佐藤 政生, 大附 辰夫, “線分探索法の改良とその評価,” 信学会論文誌, 1989年2月
- [2] J.P. Cohoon and D.S. Richards, “Optimal two-terminal $\alpha - \beta$ wire routing,” INTEGRATION, the VLSI journal 6(1988) pp.35-57.