

## 多重符号割当に基づく高並列線形多項演算回路の設計

2C-5

中島 雅美

亀山 充隆

東北大学大学院情報科学研究科

## 1. はじめに

VLSI システムにおける高速演算のためには、出力の各桁が入力桁の一部にしか依存しない符号表現により、高並列性を実現することが重要である [1][2]。著者らは、これまで、線形性の概念を用いて高並列演算回路を解析的に求める手法を提案してきたが、1つのシンボルに1つの符号を割り当てる単一符号割当では、与えられた任意の仕様に対して、高並列演算回路を実現できないという問題点があった [3][4]。本稿では、高並列演算回路を設計するために、仕様に対する写像が満たすべき必要条件を示し、さらに、与えられた写像がその条件を満たすように、1つのシンボルに複数の符号を割り当てる「多重符号割当」という概念を導入する。これにより、単一符号割当では、実現不可能な仕様に対しても、高並列演算回路が設計できることを明らかにしている。

## 2. 線形デジタルシステム

以下では、 $GF(p)$  上の線形回路素子 (加算器、係数乗算器) を用いて、2項演算仕様を実現する回路設計を考える。2項演算は、 $z = f(x, y) = Ax + By$  の一般形により表すことができる。ここで、 $A, B$  を表現行列と呼ぶ。ここで、 $y=0$  とすると  $z = Ax$ 、 $x=0$  とすると  $z = By$  のような単項演算になるので、各入力項ごとに単項演算回路を設計し、後にそれらの回路を重ね合わせることで、多項演算回路が設計可能である。単項演算の組合せ回路において表現行列  $A$  は相似変換により式 (1) に示すようなブロック対角行列  $A'$  に変換できる [5]。

$$A = \begin{pmatrix} C_1 & & & \\ & C_2 & & \\ & & \ddots & \\ & & & C_n \end{pmatrix} \quad (1)$$

ここで、各ブロック  $C_i$  は、式 (2) に示すようなコンパニオン行列である。

$$C_i = \begin{pmatrix} 0 & 0 & \cdots & 0 & -a_{i0} \\ 1 & 0 & \cdots & 0 & -a_{i1} \\ 0 & 1 & \cdots & 0 & -a_{i2} \\ \vdots & \vdots & \ddots & \vdots & \vdots \\ 0 & 0 & \cdots & 1 & -a_{i(n_i-1)} \end{pmatrix} \quad (2)$$

したがって単項演算の場合、演算を局所化できることがわかる。ここで、それぞれの出力は、高々入力2桁にしか依存していない。

## 3. 多重符号割当

これまで述べてきた設計方法は、与えられた仕様の一部しか用いておらず、任意の仕様に対して回路を設計することはできない。そこで、以下の必要条件を満たすように多重符号割当を与えることにより、仕様情報全てを用いた回路設計アルゴリズムを得ることができる。

「 $Z = f(X, Y)$  で与えられる2項演算仕様において、 $Y$  (又は  $X$ ) に特定の定数を与えたとき、 $f$  は  $X$  (または  $Y$ ) に対する単項演算となる。 $Y$  (または  $X$ ) がどんな定数であっても、単項演算の入出力グラフは全て等しい。」

このとき、単項演算が非置換の場合には、入出力写像のグラフ表現である木の構造の枝分かれ数に着目することにより、以下に示すアルゴリズムで系統的に多重化が行える。枝分かれ数とは、同じ符号を出力する入力符号の数のことである。

## [非置換演算に対する多重化アルゴリズム]

Step 1: 全ての木の構造が等しければ、終了。

Step 2: 最も枝分かれの多い頂点を選ぶ。

Step 3: 問題にしている木の高さが他の木の高さより低ければ木が高くなるように、そうでなければ木の高さが変わらないように、選ばれた頂点を多重化する。この操作を全ての木について繰り返し、Step 1に戻る。

但し、必要条件を満たすように多重化することで、適用範囲は拡大するが、十分条件が保証されていないので、必ずしも全ての仕様を満たす回路は実現できない。

具体例として、表1に示す仕様に対し、GF(2)上で高並列演算回路を設計する。図1に示すように、すべての入出力グラフは一致しないので、実現不可能である。そこで、最も枝分かれ数の多いシンボルであるCを、枝分かれの数が少なくなるようにC<sub>1</sub>とC<sub>2</sub>に多重化することで、図2に示すようにすべての入出力グラフが一致するので、実現可能である。このときの入出力写像の関係は表2に示すようであり、入出力方程式は、式(3)のようになり、高並列演算回路と符号割当はそれぞれ図3及び表3のようになる。

$$\begin{pmatrix} z_1 \\ z_2 \\ z_3 \end{pmatrix} = \begin{pmatrix} 000 \\ 000 \\ 010 \end{pmatrix} \begin{pmatrix} x_1 \\ x_2 \\ x_3 \end{pmatrix} + \begin{pmatrix} 000 \\ 100 \\ 010 \end{pmatrix} \begin{pmatrix} y_1 \\ y_2 \\ y_3 \end{pmatrix} \quad (3)$$

4. むすび

線形性に基づく高並列演算回路として実現可能な必要条件を示し、それを満たすように多重符号割当を系統的に与えることにより、適用範囲が拡大することを明らかにした。今後、全ての多項演算を実現するための符号の多重化の方法と高速演算回路などへの応用を検討したい。

謝辞 日頃有益な御助言を頂く東北大学大学院情報科学研究科樋口龍雄教授に深謝する。

参考文献 [1] 樋口, 亀山:多値情報処理, 昭晃堂 (1989). [2] 安浦:単項演算に対する局所演算可能な符号化, 情報処理 Vol.31, No.5, pp.740-747(1990). [3] M.Nakajima and M.Kameyama: "Design of Highly Parallel Linear Digital System for ULSI Processors", IEICE Trans. Vol.E76-C(July 1993). [4] 中島, 亀山:線形性に基づく高並列多項演算回路の設計, 1993 信学春季全大 D-137 [5] Gill:Linear Sequential Circuits, McGraw-Hill(1966).

表1. 入出力仕様  $Z = f(X, Y)$

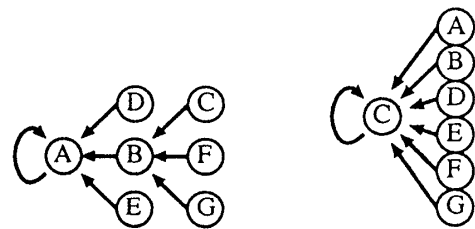
Y/X	A	B	C	D	E	F	G
A	A	A	B	A	A	B	B
B	A	A	B	A	A	B	B
C	B	B	A	B	B	A	A
D	C	C	C	C	C	C	C
E	C	C	C	C	C	C	C
F	C	C	C	C	C	C	C
G	C	C	C	C	C	C	C

表2. 多重化された仕様  $Z = f'(X, Y)$

Y/X	A	B	C <sub>1</sub>	C <sub>2</sub>	D	E	F	G
A	A	A	B	B	A	A	B	B
B	A	A	B	B	A	A	B	B
C <sub>1</sub>	B	B	A	A	B	B	A	A
C <sub>2</sub>	B	B	A	A	B	B	A	A
D	C <sub>1</sub>	C <sub>1</sub>	C <sub>2</sub>	C <sub>2</sub>	C <sub>1</sub>	C <sub>1</sub>	C <sub>2</sub>	C <sub>2</sub>
E	C <sub>1</sub>	C <sub>1</sub>	C <sub>2</sub>	C <sub>2</sub>	C <sub>1</sub>	C <sub>1</sub>	C <sub>2</sub>	C <sub>2</sub>
F	C <sub>2</sub>	C <sub>2</sub>	C <sub>1</sub>	C <sub>1</sub>	C <sub>2</sub>	C <sub>2</sub>	C <sub>1</sub>	C <sub>1</sub>
G	C <sub>2</sub>	C <sub>2</sub>	C <sub>1</sub>	C <sub>1</sub>	C <sub>2</sub>	C <sub>2</sub>	C <sub>1</sub>	C <sub>1</sub>

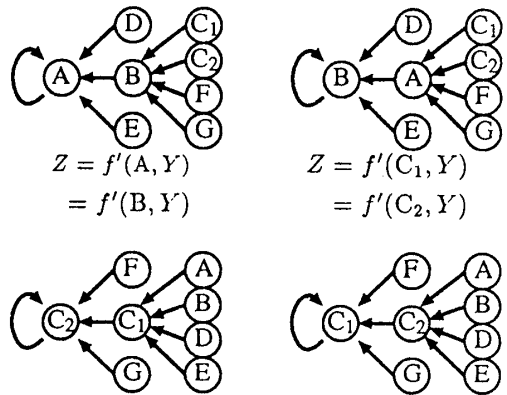
表3. 符号割当

	A	B	C <sub>1</sub>	C <sub>2</sub>	D	E	F	G
x <sub>1</sub>	0	0	0	0	1	1	1	1
x <sub>2</sub>	0	0	1	1	0	0	1	1
x <sub>3</sub>	0	1	0	1	0	1	0	1



$Z = f(A, Y)$        $Z = f(D, Y)$

図1. 表1の入出力グラフ



$Z = f'(A, Y)$        $Z = f'(C_1, Y)$   
 $= f'(B, Y)$        $= f'(C_2, Y)$

$Z = f'(D, Y)$        $Z = f'(F, Y)$   
 $= f'(E, Y)$        $= f'(G, Y)$

図2. 表2の入出力グラフ

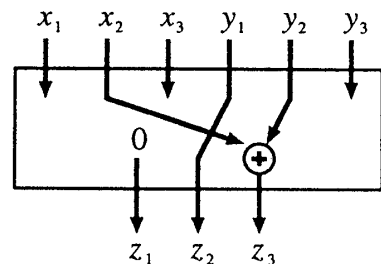


図3. 局所演算回路