

リアルタイム画像生成システム AVIP のシステムアーキテクチャ

6H-2

吉岡 康介、安部 美乃夫、日高 教行、浅原 重夫、鷺島敬之

松下電器産業株式会社 メディア研究所

1 はじめに

コンピュータグラフィックス技術の応用は CAD/CAM/CAE、映像制作、ビジュアルシミュレーションなど多岐にわたり、より高速に高画質の画像を描画する機能が求められるようになってきている。さらに表示画像と外部イベントとを同期させ、リアルタイム応答性を生かして新しい応用形態を切り開くリアルタイム画像生成への要求も高まっている。

我々はこれらの背景から、映像制作システムのコアプロセッサとして画像生成に特化したアーキテクチャを有し、CG による仮想空間内で物体間の相互作用を計算しながらリアルタイムに現実感の高い画像を生成するグラフィックスシステム AVIP(Audio Video Information Processor) を開発した。

AVIP では 100 ユニット構成時のピーク性能はテクスチャ・照度マッピング、アンチエイリアス付き独立三角形の HDTV(NTSC)CG 画像を生成する場合、1200 万ポリゴン/秒に達する。

2 AVIP のアーキテクチャ

図 1 に AVIP の画像生成の概念図を示す。我々は画像生成アルゴリズムとしてスキャンライン Zバッファ法 [1] を採用した。それぞれの並列処理ユニットはポリゴンデータを分割して保持し、座標変換、セグメント生成、画素生成処理、Zバッファ処理を行ない、結果を 1 スキャンライン分の Zバッファに格納する。この画素生成処理では Z 値とマッピングアドレスが計算される。各ユニットからの出力はスキャンライン毎に同期をとって行なわれる。Z マージ処理では前のユニットから送られる画素の Z 値を比較し、より視点に近い画素を選択して次のユニットに送る。最終段のユニットから出力される画

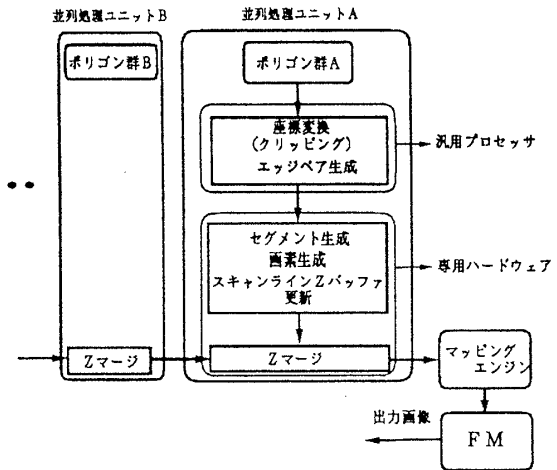


図 1: 並列処理による画像生成の概念図

素はすべてのポリゴン群を隠面消去処理したものになり、この出力画素にテクスチャマッピングの処理をマッピングエンジンで行なう。上記のアルゴリズムを用いる利点は以下の通りである。

1. 処理ユニット内の高速化

- 1 スキャンライン分の小さな Zバッファを画素生成チップ内に持つことにより高速処理を実現
- マッピングデータの参照を最終段のマッピングエンジンで処理することにより、ユニット内ではマッピングアドレスの補間演算だけを行なうため、高速画素生成が可能

2. ユニット間の拡張性

- 各ユニット間のバンド幅は表示画素レートで一定であり、ユニット数にほぼ比例したポリゴン処理性能が得られる。(負荷分散の評価 [2] によれば 100 ユニット以上の構成が可能)

AVIP では、処理ユニット内の高速化とユニット間の拡張性というこれら 2 つの特徴によりテクスチャ付きでの超高速・高画質描画を実現した。

Realtime Image Generating System AVIP  
Kosuke Yoshioka, Minobu Abe, Noriyuki Hidaka, Shigeo Asahara, Takayuki Sagishima  
Media Research Laboratory, Matsushita Electric Industrial Co., Ltd.

### 3 AVIP のシステム構成

#### 3.1 AVIP の全体構成

AVIP の全体構成を図2に示す。前記の並列処理ユニットに対応するプロセッサユニットはそれぞれが一枚のボードであり、複数の RISC プロセッサとグラフィックスハードウェア、通信プロセッサから構成されている。RISC プロセッサは生成画像に存在する物体間の相互作用をシミュレートするプログラムを実行しながらその結果を反映してリアルタイムに画像生成する。

プロセッサユニットで生成された画素データは Z マージ処理を行なう Z マージャと画像データバス (50MPixel/s) により高速にフレームメモリに転送される。

画像生成に必要なデータは I/O プロセッサに接続されたディスクやホストのワークステーションから、各プロセッサユニットにトラスネットワークとバックプレーンバスを通じて入力される。

10 枚のプロセッサユニットは 1 ラック内に収容される。ラック内ではバックプレーンバスが使用でき、ラック間では大量データのバースト転送を行なう通信路 (200MB/s) が用意されている。

#### 3.2 通信プロセッサ

通信プロセッサは、自プロセッサユニットから発信するデータの packets 化、自プロセッサユニット宛の packets からのデータの取りだし、および自プロセッサユニットを通過する packets のルーティングなどを行なう。プロセッサ間はシリアル同軸ケーブルで接続され、接続構成の変更は容易であり構成の自由度は高い。また 33MB/s の転送レートを持つ。

通信ネットワークとしてトラス構成を取ることにより、複数プロセッサ間で自在にデータ交換が行なえる。これによりラジオシティやレイトレーシングのような複数データの相互参照を必要とする画像生成を高速に行なうことが可能となる。

さらに通信プロセッサの機能として受信データを自プロセッサユニットに取り込みながら他プロセッサユニットへの転送や、転送側から同時に複数の送信が可能である。これらの機能により外部イベントに対するデータのブロードキャストをこのネットワークを使用して高速に行なえ、リアルタイム応答

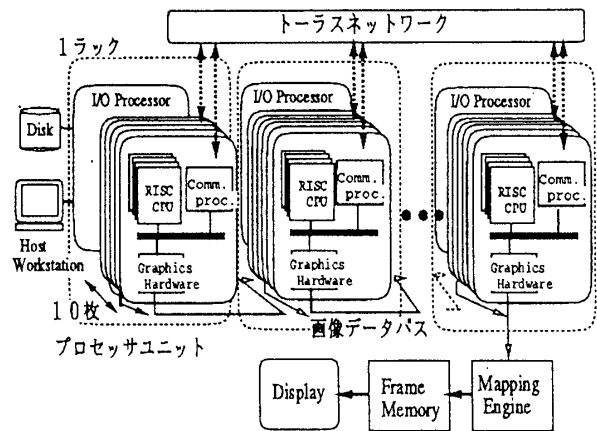


図2: AVIP の構成図

性を生かした画像生成が可能となる。

#### 3.3 同期制御

AVIP では複数のプロセッサが同時に動作しているため、これらのプロセッサ間での処理を協調させるための制御機構が必要となる。AVIP では同期通信線として Wired-OR のラインを設けており、バリア同期・イベント通知をラック内、ラック間にわたって高速な同期制御が可能である。この同期通信線を用いることによりフィールド、フレーム同期や外部イベントの通知を高速に行なえる。

### 4 おわりに

本稿では AVIP のシステムアーキテクチャが高い拡張性とリアルタイム応答性を満足することを述べた。更に、AVIP はリアルタイム並列分散処理用 OS [3] を搭載し、並列プログラミングのための UNIX 環境を提供するものであり、高いハードウェア性能を引き出すソフトウェアが用意されている。

#### 参考文献

- [1] 西村、他. マルチプロセッサ向き画像生成ユニット. 信学技報, Dec. 1992.
- [2] 太田、他. リアルタイム画像生成システム AVIP の Merge & Map アーキテクチャとその評価. 情処学会 第 47 回全国大会
- [3] 米田、他. リアルタイム画像生成システム AVIP 用並列分散処理 OS のデータ共有機能と同期機能. 情処学会 第 47 回全国大会