

EWS上の高性能テストDAシステム HIPER(2)
～スキャンATG及び故障シミュレータ～

1H-9

小沢 明*

買手 巧*

木村 敬*

下野 武志**

高崎 茂**

* (北陸日本電気ソフトウェア㈱)

** (日本電気㈱)

1. はじめに

従来当社では、汎用大型機上に構築したテストDAシステムを使用してテストデータを作成していた。しかし、CADシステム全体としての設計環境がワークステーション上に移ってきたこと、そして何よりも、回路の高集積化による運用時間の増大が問題となってきた。そこで新たにEWS 4800上で稼働するテストDAシステムHIPERを開発し、その結果、従来システムに比べ充分満足できる結果が得られた。

以下、2から4章では、HIPERの機能の基本となる①モデリング機能、②故障シミュレーション機能、③スキャンバスATGに関しての主な特徴・工夫を、5章で実際の回路に適用した結果について、そして6章でまとめと今後の課題について述べる。

2. モデル作成

HIPERが入力する論理回路情報は、ネットリストとプリミティブブロックのライブラリである。このプリミティブブロックの論理は機能記述言語(FDL[1])で記述されており、回路設計者が定義したメモリなどのマクロの論理も簡単に記述することができる。(図1参照)

32ワード 10ビット 2ポートRAM

```
INPUT I(0:10),WE,A(0:5),B(0:5);
OUTPUT Z(0:10);
MEMORY Z(0:32,0:10) =
  IF WE THEN WRITE I(0:10) AT A(0:5)
  & READ AT B(0:5);
```

図1 プリミティブブロックのFDL記述例

また、モデル作成では、シミュレーション速度を向上させるために以下に示すようなモデルの簡略化を行っている。

①1入力1出力のバッファ/インバータの削除 (図2の①参照)

1入力1出力のバッファやインバータを検出し、それらをシミュレーションモデルから削除する。

②同一論理出力ピンの削除 (図2の②参照)

プリミティブブロックの出力ピンに同一論理のものが複数あるとき、一つだけ残し、その外を削除する。

③FDL記述におけるオペレータの統合化 (図2の③参照)

同一の2項オペレータが連続する場合、n項オペレータ1個に統合化する。

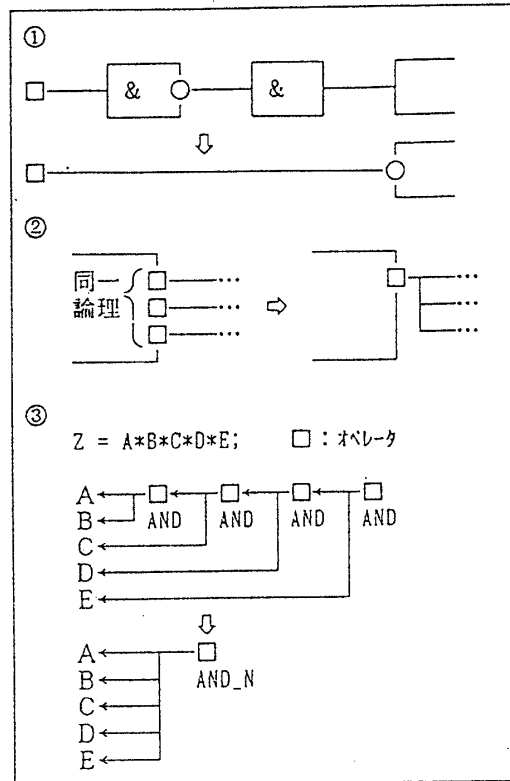


図2 モデルの簡略化例

3. 故障シミュレータ

HIPER故障シミュレータは、100Kゲートを越える大規模な回路に対しても短時間に故障シミュレーションを行うことが出来る。以下にその主な特徴について述べる。

①コンカレント法の採用

基本的な故障シミュレーションの方式として、HIPERでは、大規模回路では一番高速であると言われているコンカレント法を採用している。

この方式の欠点としては、故障リストに要するメモリが大きいと言うことがあるが、以下に示すMLT法の採用により、この欠点を軽減している。

②MLT法[2]の採用

高速化手法の1つであるMLT法の特徴としては、伝播故障をゲートではなく、ネットを持っていることが挙げられる。この方式の利点は、ファンアウトがn個あっても故障イベントの登録が1度で済むことと、故障マシンをネットに1個だけ持っていることで故障リストの容量が少なくて済むことである。

High Performance Test Design Automation System on EWS - HIPER(2)

Akira KOZAWA* ,Takumi KAITE* ,Takashi KIMURA* ,Takeshi SHIMONO** ,Shigeru TAKASAKI**
* (NEC Software Hokuriku) , ** (NEC Corporation)

③動的故障分割

故障シミュレーション開始前に、予め故障分割を行う機能に加えて、HIPERでは、故障シミュレーション実行時、故障リストに必要なメモリが確保出来ない場合、既に検出された故障を除く故障について自動的に故障分割を行い、故障数を減らして故障シミュレーションを続行する機能を有する。この機能により、メモリ確保に失敗したため、人手で故障を分割し再度故障シミュレーションを行うと言う後戻りを無くすることが出来た。

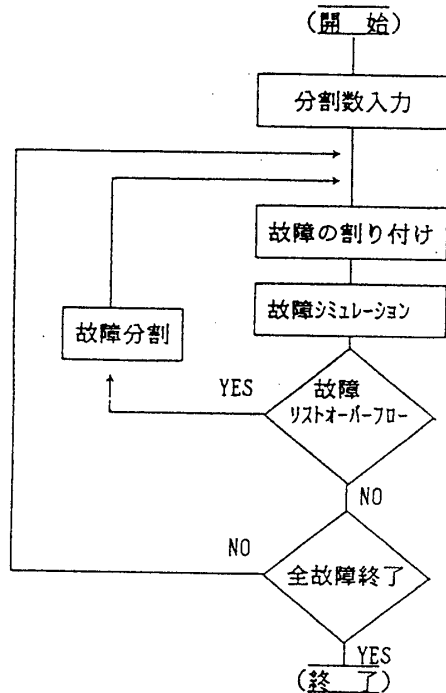


図3 動的故障分割処理フロー

4. スキャンバスATG

HIPERスキャンバスATGは、大規模な回路に対しても、高速に検出率の高いテストボタンを自動的に生成することができる。以下に主な特徴について述べる。

①FAN法[3]の採用

組合せ回路のテスト生成で最も有効なFAN法を採用した。FAN法は、尺度による成功率の高い選択、多重後方追跡による検査入力の解の不在の早期発見とバックトラック間の値割り当て数の最小化、一意活性化による不必要な選択の削減などにより、少ないバックトラック回数でかつ高速にテストボタンの生成を可能にしている。

②ボタン圧縮

故障毎に生成されたボタンにおいて、入力値に競合がないもの同士を同じボタンにマージすることで、ボタン数を30~50%減らすことができた。

5. 実行結果

以下の表に、故障シミュレータとスキャンバスATG及びボタン圧縮の実行結果を示す。

<実行環境>

マシン : NEC EWS4800シリーズ(28 MIPS)
実装メモリ : 48メガバイト

表1 故障シミュレータの実行結果

回路名	A	B	C
回路規模	61Kゲート	80Kゲート	110Kゲート
ボタン数	27,129	29,567	24,856
TAT比(*1)	0.35	0.41	0.31

表2 スキャンバスATGの実行結果

回路名	D	E
回路規模	140Kゲート	110Kゲート
生成ボタン数	937	323
TAT比(*1)	0.26	0.24
検出率	94.5%	97.5%

表3 ボタン圧縮の実行結果

回路	D	E
非圧縮ボタン数	937	323
圧縮ボタン数	659	160
圧縮率	71%	51%

*1...従来システムとのTAT時間比。TATとは Turn Around Timeの略称。

6. むすび

HIPERシステムは、高速化のための施策により、100Kゲートを越える大規模回路に対しても、大型汎用コンピュータ上の従来システムに比べてTAT時間を1/3~1/4に短縮する事ができた。今後は、HIPERシステムをさらに高速化する予定である。

7. 参考文献

- [1] 佐々木他、『MIXSの機能記述言語(F-DL)』情報処理学会第21回全国大会
- [2] D. Machlin, D. Gross, S. Kadkade, E. Ulrich: 『Switch-Level Concurrent Fault Simulation Based On A General Purpose List Traversal Mechanism』1988 International Test Conference
- [3] H. Fujiwara: 『FAN: A Fanout-Oriented Test Pattern Generation Algorithm』Proc. ISCAS 85
- [4] 買手、小沢、木村、下野、高崎: 『EWS上の高性能テストDAシステムHIPER(1)』情報処理学会第47回全国大会