超並列処理に関する実験支援システムの構築

7G－4

窪田 飛, 新実 治男, 柴山 潔

京都工芸繊維大学 工芸学部 電子情報工学科

1 はじめに

超並列処理方式に関する研究が盛んになるにつれて、そのためのテストベッドの整備が重要となっている。超並列計算機がまだ高価で簡単には使用できない現状では、開発した超並列処理アルゴリズム、超並列プログラミング言語やその処理システム、および超並列オペレーティングシステム(OS)などの実マシン上での評価は難しい。また、超並列計算機アーキテクチャの開発においては、実験(試作・評価)を何回も繰り返すことが困難であり、設計したハードウェア/ソフトウェア・トレードオフの概略的な事前評価(アセスメント)を行う設計支援ツールが必要とされる。

そこで我々は、超並列処理に関する教育/研究用実験支援システム[1]を構築することにした。

2 目的

本稿で提案する超並列処理環境の構築目的は次の2点に集約される。

- **超並列処理に関する研究だけではなく、教育にも利用できる実験環境であること。**

これは、「超並列処理実験を支援する環境が柔軟性(問題適応化能力)[2]と簡明さを備えるべきであること」を示している。

- **超並列計算機アーキテクチャ分野を実験対象の中心とするが、超並列処理に関する応用からハードウェアアーキテクチャまでの幅広い教育/研究分野を縦貫できる実験環境であること。**

これは、「その実験環境が、ハードウェアアーキテクチャを意識しなくてもよい応用から、それを意識する必要のあるシステムプログラムやハードウェアという幅広い教育/研究分野にまたがって利用可能なテストベッドであるべきこと」を示している。

上記の目的を満足するために必要と思われる具体的な機能を列挙すると以下のようになる。

(1) 本実験支援システムのユーザ(実験者)が、超並列計算機アーキテクチャとして示されるハードウェア/ソフトウェア・トレードオフ(機能分担)を柔軟に調整する機能

(2) アルゴリズムやアーキテクチャの概略的かつ定量的な評価機能

超並列計算機の仮想的なモデルアーキテクチャ(これをデフォールトの**VMPP**アーキテクチャと呼ぶことにする)を提示することによって(1)の機能を実現する。また、精密なシミュレーションによる厳密な定量的評価データでなく、教育/研究対象の**概略的な見積りデータ**を示すことに重点をおいた評価データ収集/解析機能によって(2)の機能を実現する。

本システムが対象とする実験(教育/研究)は、そのテストベッドの利用目的によって次のように大別できる。

(A) 超並列ハードウェアアーキテクチャ

(B) 超並列アルゴリズムや応用プログラム

(C) 超並列プログラミング環境(システムプログラム)

(B)の実験者に対しては、本システムで用意するデフォールトの**VMPP**アーキテクチャが実マシンの物理構造を隠蔽し、「論理構造-物理構造の効率的なマッピングを支援する『理想的なアーキテクチャ』」として与えられる。これらの実験では、このデフォールトのVMPPアーキテクチャを対象とすれば十分である。

一方、(A)の実験者に対しては、このデフォールトの**VMPP**アーキテクチャを自分の設計する新規の超並列計算機アーキテクチャへ変更できる機能の提供が必要である。すなわち、「ハードウェアアーキテクチャの設計」とは「ハードウェア/ソフトウェア・トレードオフの設定」であり、デフォールトのVMPPアーキテクチャを中心に種々のトレードオフが再定義できる機能である。

さらに、(C)の実験者に対しては、上記の両機能とも必要となる。すなわち、デフォールトのVMPPアーキテクチャによって実験対象とするシステムプログラムの概略的な事前評価を行い、その結果によってはデフォールトのVMPPアーキテクチャを再定義/変更して概略的な評価をやり直すことのできる機能が必要である。

3 システムの機能

本実験支援システムを構成する機能要素としては次のようなものが挙げられる。

(1) デフォールトの**VMPP**アーキテクチャのエミュレータ/シミュレータ

A Virtual Massively Parallel Processing Environment
Takashi KUBOTA, Haruo NIIMI, Kiyoshi SHIBAYAMA
Department of Electronics and Information Science, Faculty of Engineering and Design, Kyoto Institute of Technology

(2) **実験者とシステムとの (ユーザ) インタフェース**
(3) **並列プログラミング支援機能**
(4) **VMPP アーキテクチャの定義/変更機能**
(5) **問題適応化機能**
(6) **アルゴリズムやプログラムのエバリュエータ**
(7) **ハードウェアアーキテクチャのエバリュエータ**

実験者の身近にある実マシン/システム上で上記の (1) の機能を実現すれば、超並列処理の実験支援システムすなわち教育/研究用超並列処理環境が構築できることになる。

前節で述べた (A)〜(C) の各実験対象に対して、本システムは次のように実験支援機能を提供できる。

- (A) のハードウェアアーキテクチャの設計/評価を支援する: (4)(5)(7);
- (B) のアルゴリズムや応用プログラムの開発/評価を支援する: (3)(5)(6);
- (C) におけるハードウェア/ソフトウェア・トレードオフの調整などを支援する: (3)(4)(5);

また、(2) は、仮想超並列計算機システムのエンジンである (1) とユーザ (実験者) とのインタフェースとなり、(3)〜(7) の各機能を可視化などによって、より使い易くした環境を実現する。

これらの機能は各々別個に機能するのではなく、各機能が有機的に機能し合うことによって、はじめて幅広く実験を支援するシステムとなり得る。たとえば、「(3) の機能を用いて開発された並列プログラムに適合した VMPP アーキテクチャを (4) の機能を用いて定義する」によって、ハードウェア/ソフトウェア・トレードオフ調整という総合的な観点から、実験対象の超並列計算機システム全体の概略的な評価を行うことも可能である。

また、この仮想超並列計算機システム上で各種の実験を行い、(6)(7) の機能によって実行の履歴などの評価データをも得ることができる。それを行うエバリュエータは、教育/研究用の概略的かつ定量的な評価データを提供する。

4 仮想超並列計算機アーキテクチャの定義機能

2節で述べた (A) のハードウェアアーキテクチャの実験では、(1)(5)(7) によって**対象としているアーキテクチャの概略的な事前評価**を行うことができる。この実験では、VMPP アーキテクチャを容易に再定義/変更できることが望まれる。そこで我々の実験支援システムでは、ハードウェア/ソフトウェア・トレードオフ調整としてのアーキテクチャ変更を柔軟かつ容易に行うための機能として、(4) の **VMPP アーキテクチャの定義/変更機能**を用意することにした。

本システムでは、デフォールトの VMPP アーキテクチャを規定する次のような機能項目を対話的に定義/変更できるユーザインタフェースを (2) の一部として備えている。

- **要素プロセッサ (PE) の個数 (粒数)**
- **PE の相互結合網のトポロジ**
- **メモリ構造**
- **メッセージハンドリング方式**
- **ルーティング方式**
- **フロー制御方式**

デフォールトの VMPP アーキテクチャの再定義/変更機能は、上述した各機能項目において代表的ないくつかの方式を選択し、組み合わせることができるユーザインタフェースとして提供される。

5 おわりに

超並列処理に関する教育/研究を実験的に行うことのできるテストベッドとしての**仮想超並列処理環境**の構築を提案した。

現在、4節で述べた VMPP アーキテクチャの詳細設計、それを構成する部品のうちで定義/変更可能な機能の選択・実現方式の検討、ユーザインタフェースの構築などを行っているところである。その後は、実マシン/システム上に本実験システムを構築し、超並列処理に関する教育/研究を遂行していく予定である。

謝辞

本研究の一部は、文部省科学研究費補助金・重点領域研究 (2)「粒度・粒質を問題に適応可能な超並列計算機アーキテクチャの研究」(課題番号：05219208) および大川情報通信基金のご援助によるものである。感謝の意を表します。

参考文献

[1] 窪田 飛, 寺澤 謙一, 新実 治男, 柴山 潔: 教育/研究用仮想超並列処理環境の構想, 電子情報通信学会 技術研究報告, Vol.CPSY93 (1993 年 8 月).

[2] 柴山 潔, 新実 治男: 粒度・粒質を問題に適応可能な超並列計算機アーキテクチャ, 文部省 重点領域研究「超並列原理に基づく情報処理基本体系」第2回シンポジウム予稿集, 4.9, pp.184-188 (1993 年 3 月).