

5G-4

## マルチプロセッサにおける

## 論理検証方式の一考察

黒崎正人\* 伊藤誠朗\* 乳井康弘 志川英雄 中尾寛  
(株)日立製作所 汎用コンピュータ事業部

## 1. はじめに

これまでのメインフレームにおいては、性能向上の目的で数々の新しい論理方式が取り入れられてきている。これに伴い、実際の論理は益々複雑になる傾向にある。論理検証では、装置が論理仕様に従って正常に動作することを検証するとともに、処理性能に関しても設計値通りとなっているか、十分に検証を行う必要がある。近年の論理の複雑化により、これらの検証に要する時間は次第に増加する傾向にある。今回マルチプロセッサのブロックキャンセル機能検証手法を開発し、適用したことで効果を上げている。本論文では、論理検証方式の一例について述べる。

## 2. ブロックキャンセル機能の概要

マルチプロセッサ環境下でのブロックキャンセル機能の概要を図1で示す。主記憶共有型マルチプロセッサにおいて、スカラプロセッサ(SP)が主記憶装置(MS)にあるデータをバッファ記憶装置(BS)に読み出すリクエスト(①BT)を記憶制御装置(SC)に対して発行することによりデータがBSに転送される。この時、BSのブロックがMSのどのブロックのコピーであり、データの有効性を示すディレクトリ(BAA)ビットがセット(0→1)される。このBTリクエスト実行後に、ベクトルプロセッサ(VP)から発行されたMSに対するデータ書き込みリクエスト(②ST)のうち、同一ブロックアドレスのMSデータが新しく書き替えられるため、BSデータとMSデータが不一致となる。

この時、データを一致保証するために、BAAのビットをリセット(1→0)し、BSのデータを無効にする動作(③)が起きる。この動作をブロックキャンセル(BC)という。

## 3. 論理シミュレーション

論理シミュレーションは、被試験論理回路に対してテスト仕様書から作成したテストデータを与えることにより、動作の正常性と処理性能を検証する。複雑な論理を検証する手段としては、実機の論理検証で使用する試験プログラム(TMP)を利用することで、工数、精度の両面で効率的な被試験論理回路のシミュレーションが可能となる。また、メモリ等の一様な論理は実際の論理を用いず、プロシジャとして記述することで、命令処理装置と階層記憶に関する全ての論理を一度にシミュレーションすることが可能になる。

## 4. 擬似プロセッサの構築

BC機能の検証では、BTリクエストとSTリクエストの競合(リクエストのぶつかりあい)ケースの発生頻度を多くし、計算機の最大構成を考慮したシミュレーション環境を構築する必要がある。しかし、SPおよび、VPを計算機の最大構成台数分構築するには、膨大な資源が必要となり、検証に要する時間も増加する。そのため、SPの論理をプロシジャ化した擬似SPとVPの代わりにSC内部からのリクエスト発行動作をプロシジャ化した擬似プロセッサを複

Logic Verification System In Multi Processor

Masato Kurosaki\*, Masaaki Ito\*, Yasuhiro Nyuui, Hideo Shigawa, Hiroshi Nakao

General Purpose Computer Division, Hitachi Ltd.

数台構築した。これを図2に示す。擬似プロセッサが発行するリクエストは、擬似SPのリクエストとランダムに競合され、様々なタイミングでの発行が可能となる。

5. テストデータの作成

擬似プロセッサから発行されるリクエストは、SCの内部処理により、リクエストの実行順序が変わる恐れがある。そのため、BC動作を発生させるテストデータを作成するには、BTリクエスト実行後にSTリクエストを実行するように順序を保証する必要がある。BTリクエストの発行はTMPをテストデータとして利用し、ランダムに自動発生させる。つぎに、このBTリクエスト実行後にSTリクエストを自動的に発行するプロシジャを作成して、リクエストの自動生成を可能とした。これにより、計算機の最大構成を考慮したテストデータの作成が容易に行え、効率的な論理シミュレーションが実現された。

6. おわりに

本論文では、マルチプロセッサにおける論理検証方式の1つとして、計算機の最大構成を考慮したBC機能論理検証手法を開発し、適用した。論理検証では工数、精度の両面で効果を上げている。

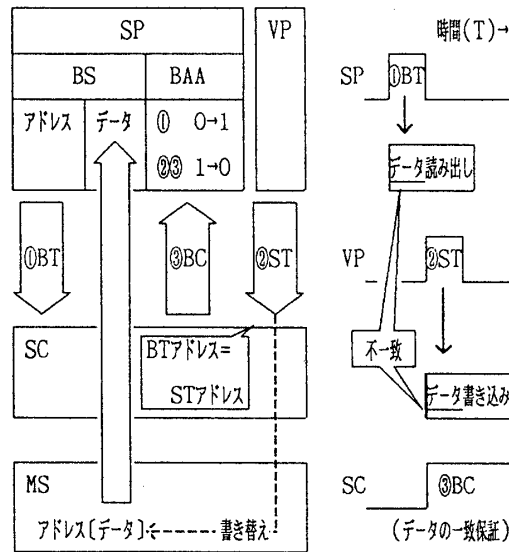


図1 ブロックキャンセル機能の概要

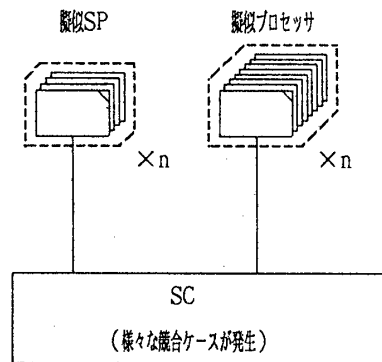


図2 擬似プロセッサ構築例

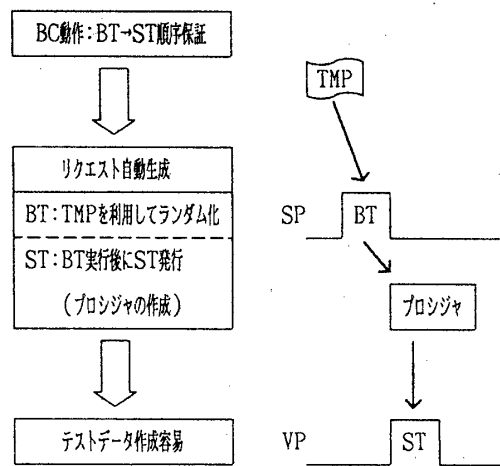


図3 テストデータの作成方法