

複合計算機のための

5G-2

改良ラウンド・ロビン型アービタについて

村田浩司*¹ 田中秀幸*² 佐藤邦弘*³ 太田健一*³ 宮脇富士夫*³

*1 姫路工業大学工学部 電気電子専攻 *2 同 電気工学科 *3 同 情報工学教室

1 はじめに

我々は図1のモデルに示すような全て同じ均一のPE(Processing Element)が同じメモリを共有する、MIMD密結合型複合計算機を設計・試作している。

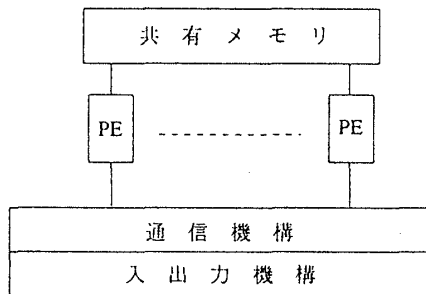


図1 複合計算機モデル

このような複合計算機では、共有資源(メモリ、通信、入出力等)に多くのPEが任意にアクセスするので競合が生じる。したがって、各資源について、その使用权を平等に分配するアービタ(調停装置)が必要となる。アービタは構造が簡単で調停時間の短いものが望ましい。アービタには2入力アービタを多段に積み上げる方式¹⁾とリング型アービタ²⁾がある。前者は、PEの数が多くなると構造が複雑になり、調停時間も長くなる。後者は構造が簡単であるが、PEの数が多くなると調停信号が全PEを1順するのに時間がかかる。我々の複合計算機では全てのPEが全く同等で優先順位がない。したがって、各PEに順に使用权を与え、使用が終わったPEは最後に回るラウンド・ロビン型のアービタがよい。しかし、要求のないPEの割当時間を出来るだけ短くパスするようにしたい。そのために文献[2]参考にしてリングアービ

タを採用した。以下に我々の複合計算機のアービタの構造、アービタの性能に対する考察、設計例について述べる。

2 アービタの構造

各PEにアービタの要素が組み込まれており、全体的にそれがリング状に接続されている。全体構造とアービタの要素を図2に示す。

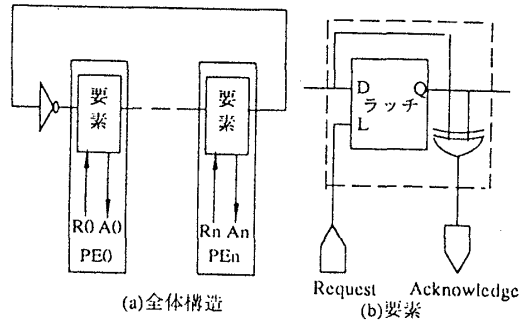


図2 アービタの構造

信号のH(High)からL(Low)へもしくはLからHへの変化を目印(トークン)とすれば、リング上を1つのトークンが、PEを順にめぐりながら流れている。そのトークンが要求(Request)を出しているPEを通過すればラッチに捕捉されて、そのPEに使用权の確認(Acknowledge)が与えられる。PEが必要な処理を終えて要求が解除されると、トークンは解放されて再びリングをめぐり、次の調停が行われる。図に見るように構造が非常に簡単で、しかもPEの数が増加しても、次々と接続すればよく、外部的につけ加える回路の必要がないので、我々の目的に最適である。

3 アービタの性能

アービタ回路には通常、その構造によって決まる調停時間がある。要求が確定してから、確認が戻るまでの時間である。本アービタにはそれに相当する概念はない。今、トークンが1台のPEを通過する時間を τ 、PEの台数をNとするとあえて言えば、調停時

On the Improved Round Robin Type Arbiter for multiple-processors.

Kohji MURATA *¹, Hideyuki TANAKA *² Kunihiro SATO *³, Kenichi OTA *³, Fujio MIYAWAKI *³

*1 Electrical and Electronic Engineering postgraduate course.

*2 Electrical Engineering Department.

*3 Computer Engineering Department of Himeji Institute of Technology.

間は τ から $N\tau$ の間ということになる。システムの基本クロック時間を T とすると T の間にトークンが通過する PE 台数は $n=T/\tau$ である。したがってトークンが解放されて次の要求を出している PE までの距離が n より大きい場合は次のクロックまでに調停が完了しないので、確認が戻らないことになる。基本クロックの間に PE が要求を出す確率を p とすると解放されたトークンが次の要求を出している PE に到達しない確率は $(1-p)^n$ である。すなわち、本アービタでは $(1-p)^n$ の確率で確認が戻らないことがある。従って本アービタの性能指標は τ 、 T 、 p に依存する。 $n < N$ の場合は基本クロックの間に調停が完了しないが、 p が大きい程、 $n=T/\tau$ が大きい程、 $(1-p)^n$ が小さくなり性能が良いということになる。一方 2 入力アービタ積上方式では要素の調停時間を T_1 とすると、 N 台の PE を調停するには $\log_2 N$ 段の積上げを必要としその調停時間は $T_N = T_1 \log_2 N$ である。本アービタの $N\tau$ を比較するためにグラフにすると図 3 のようになる。

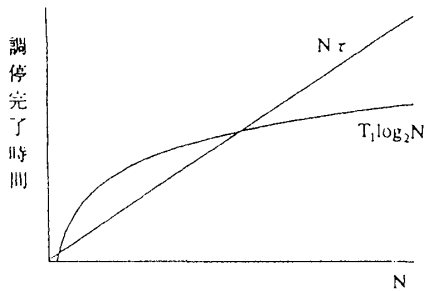


図 3 2 入力積上方式とリング方式の調停時間比較

したがって N が大きくなると調停時間は 2 入力積上方式が有利であるが積上方式では、調停時間よりも基本クロック時間を短くすることが出来ない。それに対してリング方式は、調停完了時間に関係なく基本クロック時間を設計できる点が我々の目的に好都合である。

4 設計例

我々のところでは、ザイリンクス社の LCA を使って設計している。それで図 2 の要素を設計してシミュレーションによって測定したところ、 τ の値は 8~22ns (平均 14.6ns) であった。一方 2 入力アービタの例として図 4 に示す回路で設計した。

シミュレーションで測定した結果要求が上がる時間が 40ns、確認が戻る時間が 30ns で一段当たり 70ns であった。なお、我々のシステムの基本クロックは他の部分の設計から 400ns が得られている。これらの数値は回路素子の速度によって異なるものではあるが、それらの比は大きく変わるものでない。本例では、 $N\tau$ と $T_1 \log_2 N$ を比較すると調停時間は $N=21$ 台までは、リング方式が完全に勝れているが、それ以上になると積上方式が優っている。

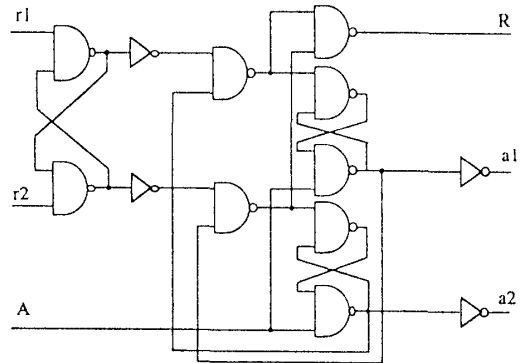


図 4 2 入力アービタの要素

5 まとめ

以上我々の複合計算機を試作する上で、採用したラウンド・ロビン型のアービタについてその性能を中心に述べた。要求確率 p はまだ明らかになっていないが、これは本来各 PE の動作の並列度が増せば増すほど大きくなる性質のものである。しかし N の数が大きい中で 1 台の PE だけが稼働している状態を想定すると $N\tau$ のオーバーヘッドが大きい。これに対する対策として図 5 に示すように PE の数を動的に変えるように設計している。

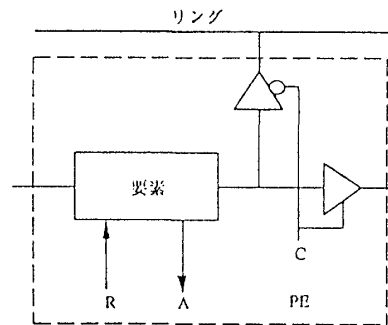


図 5

参考文献

- 1) 情報処理ハンドブック p212 (1989)
- 2) 松原 “シンプルシグナリングによるリングアービタ” 信学論(D) J64-D, 3, pp284-285 (1981-3)