

# 命令実行を利用したプロセッサ制御回路の

4G-8

## BISTの提案

中島 圭子 的場 和男 岡本 卓爾

岡山大学工学部

### 1. まえがき

LSIテストの総コストを比較的小さく抑えることのできる方法として、BIST (Built-In Self Test) 法が脚光を浴びているが、ランダムロジックで構成されたプロセッサ制御回路(以下、制御回路という)に関するBISTは、ほとんど提案されていない。本稿では、制御回路を対象としたBISTの一方式を提案する。この方式では、状態を設定する手続きを省く目的から、制御回路の持つ命令実行<sup>(1)</sup>の機能を積極的に利用し、かつ、入力と状態との各組の生起確率を極力平等化する目的から、入力パタンに重み付けを行う。

### 2. 制御回路の構成とBISTの方式

本稿の制御回路のBISTは、命令を連続的に実行する形で行なわれる。以下、一つの命令を実行するときの制御回路の動作のことを命令実行という。テストの対象は、入力と状態との組(状態遷移子)に対する出力と次の状態の誤りである。

図1に制御回路の構成を示す。X<sub>1</sub>, X<sub>2</sub>およびX<sub>3</sub>は、それぞれ、命令コード入力、フラグ入力、およびプロセッサ外部からの入力(割込み要求入力、HOLD要求入力など)を表す。また、Zは出力を表す。Qは内部状態を表すフリップフロップ(FF)の出力である。TPG1, 2は命令実行が終了するたびにX<sub>1</sub>, X<sub>2</sub>を変化させるた

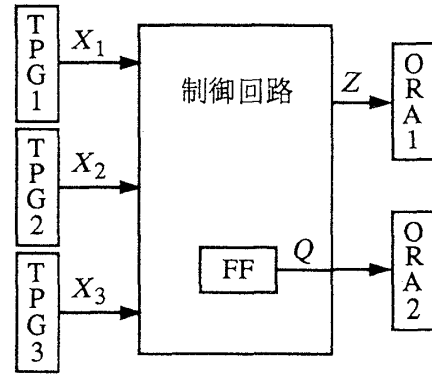


図1 制御回路の構成

めのパタン発生器、TPG3はクロックタイミングごとにX<sub>3</sub>を変化させるためのパタン発生器である。また、ORA1, 2はQ, Zを圧縮するためのシグネチャレジスタである。このBISTの特長は、状態の設定が不要なことである。

### 3. テスト過程の定式化

命令実行を開始するときの制御回路の状態Q<sub>0</sub>を初期状態という。初期状態に着目すれば、本稿のテスト過程は、制御回路の状態図上での初期状態のみを状態とする単純なマルコフ連鎖となる(図2参照:初期状態数5の場合)。そし

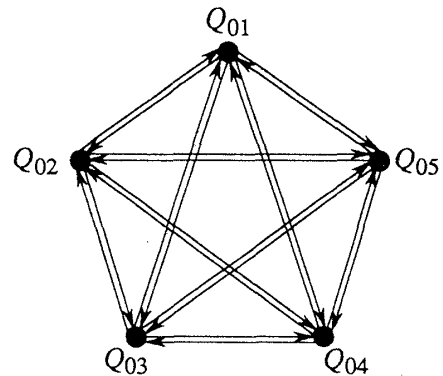


図2 テスト過程のマルコフ連鎖

BIST for Processor Control Circuits Using Instruction Executions

Keiko Nakashima, Kazuo Matoba and Takuji Okamoto  
Faculty of Engineering, Okayama University, Okayama-shi, 700, Japan

て、テストを開始してから定常分布に達するまでの命令実行数が、テストに要する命令実行数よりも十分小さければ、この過程は定常分布にあるものとして扱える。

定常分布における初期状態の生起確率行列を  $S_0$ 、状態遷移確率行列を  $\mu$  とすれば、

$$S_0 = \mu S_0 \quad (1)$$

が成立し、 $Q_{0s}$  から  $Q_{0s'}$  への遷移に対応する要素  $\mu_{ss'}$  は、次のように与えられる。

$$\mu_{ss'} = \sum_{ij} P_{X_{1i}X_{2j}} \cdot P_{ss'X_{1i}X_{2j}} \quad (2)$$

$P_{X_{1i}X_{2j}}$  : TPG1, 2 の出力が  $X_1 = X_{1i}$  かつ  $X_2 = X_{2j}$  となる確率

$P_{ss'X_{1i}X_{2j}}$  :  $X_1 = X_{1i}$ ,  $X_2 = X_{2j}$ ,  $Q_0 = Q_{0s}$  のとき、与えられた  $X_3$  の分布のもとで  $Q_{0s'}$  へ遷移する確率

#### 4. 故障検出率の検討

一つの状態遷移子を  $X_{1i}X_{2j}X_{3k}Q_l$  ( $Q_l$  は命令実行途上の状態) で表し、一回の命令実行により状態遷移子  $\alpha$  の生起する確率を  $t_\alpha$  で表す。 $t_{X_{1i}X_{2j}X_{3k}Q_l}$  は次式で与えられる。

$$t_{X_{1i}X_{2j}X_{3k}Q_l} = P_{X_{1i}X_{2j}} \sum_s S_{0s} \cdot P'_{slX_{1i}X_{2j}} \quad (3)$$

$S_{0s}$  :  $Q_{0s}$  の生起確率

$P'_{slX_{1i}X_{2j}}$  :  $X_1 = X_{1i}$ ,  $X_2 = X_{2j}$ ,  $Q_0 = Q_{0s}$  のとき、与えられた  $X_3$  の分布のもとで  $Q_l$  へ遷移する確率

また、一つの命令実行に伴って生起する状態遷移子の数  $n_t$  とその分散  $\sigma_t$  は、次式で与えられる。

$$n_t = \sum_{ijkl} t_{X_{1i}X_{2j}X_{3k}Q_l} \quad (4)$$

$$\sigma_t = \sum_{ijkl} (t_{X_{1i}X_{2j}X_{3k}Q_l} - n_t/N)^2 / N \quad (5)$$

$N$  : 状態遷移子の総数

$n_t$  が大きくなると、一つの命令実行による故障検出率が上がるが、複数の命令実行をランダムな順序で実行するときの故障検出率を上げるためには、 $\sigma_t$  が小さい方がよい。従って、この

方式の BIST では、 $\sigma_t$  を小さく抑えつつ、 $n_t$  を大きくすることが望ましい。

#### 5. $X_1, X_2, X_3$ の分布の選定法

制御回路が与えられると、式 (1), (2) から、 $S_{0s}$  は  $X_1, X_2, X_3$  の分布で決まる。また、このことと式 (3) から、 $t_{X_{1i}X_{2j}X_{3k}Q_l}$  は、 $X_1, X_2, X_3$  の分布のみに支配される。従って、 $n_t, \sigma_t$  も  $X_1, X_2, X_3$  の分布だけに支配されることになる。以上のことから、すべての  $X_1, X_2, X_3$  の分布に対して  $n_t, \sigma_t$  を導出し、適切な値を探索すれば、これから TPG1, 2, 3 で生成すべきパターンの分布が得られることになる。しかし、これでは、計算時間が膨大となり過ぎる。この問題を解決する一つの方法は、制御回路における大多数の  $X_1, X_2$  に対して、 $P_{ss'X_{1i}X_{2j}}$  がほぼ等しくなることを利用することである (残りの特殊な  $X_1, X_2$ , 例えば、EI 命令や HALT 命令などの  $P_{ss'X_{1i}X_{2j}}$  のみが異なってくる)。

$P_{X_{1i}X_{2j}}$  の分布および  $X_3$  の分布が決まると、これから、TPG の仕様も決まる。

#### 6. むすび

命令実行と重み付けした入力パターンとを利用した制御回路の BIST 方式を提案した。

本方式の有効性を調べるためには、さらに、 $n_t, \sigma_t$  の値の選定基準、TPG の構成法、シグネチャレジスタの構成法などを明らかにした上で、故障シミュレーションを行ない、他の BIST 方式による結果と比較検討することが必要である。

#### 参考文献

- (1) 岡本卓爾, 大西伸一, 樹下行三: "ランダムロジックで構成したプロセッサ制御回路の検査容易化設計", 信学論 (D), **J70-D**, 7, pp. 1294-1303, July, 1987.