

VLIW処理のための効率的なパイプライン構造の実現

4G-1

加藤 義幸、石川 禎
(株)東芝 情報処理・機器技術研究所

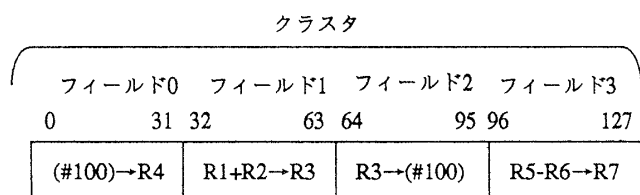
1. はじめに

高度産業用コンピュータVL2000シリーズでは新たにVLIWアーキテクチャを採用した。今回開発した演算制御プロセッサでは、VLIWを効率良く処理し性能を向上させ、かつハードウェア量を極力抑えることを目標とした。本稿では、演算制御プロセッサで採用したVLIW処理のためのパイプライン構造について報告する。

2. VLIWアーキテクチャ

VL2000シリーズでは、高性能化のために4命令を並列に処理するVLIWアーキテクチャを採用している。図1にVLIWの構成を示す。4倍語境界から始まる4つのフィールドからなる命令語の集まりをクラスタと呼び、1つのフィールドに1つの命令語が指定できる。クラスタは同時に実行される命令の処理単位である。

各命令語は、ハードウェア構成を単純にするために、RISCアーキテクチャの手法を採用している。



フィールド: 全語境界におかれる1語長の命令指定領域
 クラスタ : 4倍語境界におかれる4フィールドからなる命令語の集まり

図1 VLIWの構成

3. パイプライン構成

3.1 4段パイプラインの採用

一般に、パイプラインの段数が多くなると、分岐・インデックスレジスタの書き換えなどによるパイプラインの乱れが多くなり性能向上を阻害する。また、制御論理も複雑となり、ハードウェア量が増加する。今回開発した演算制御プロセッサでは、性能とハードウェア量の両面より検討の結果、パイプラインの段数を4段で構成することにした。図2にパイプラインのステージ構成を示す。

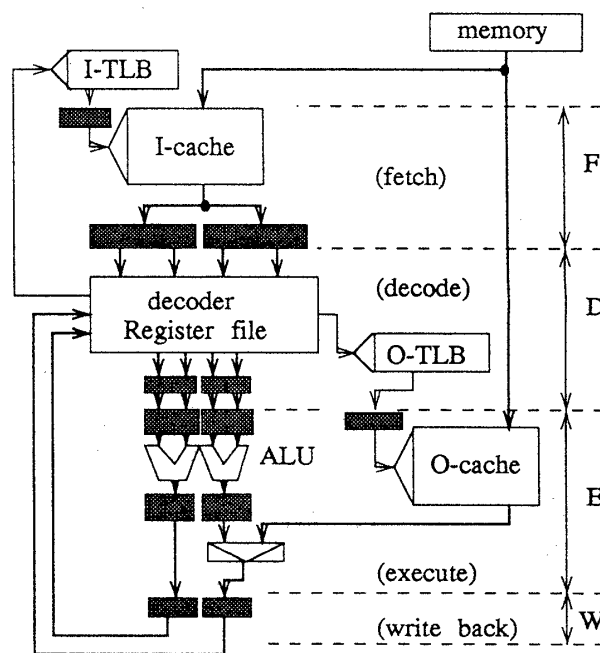


図2 パイプラインのステージ構成

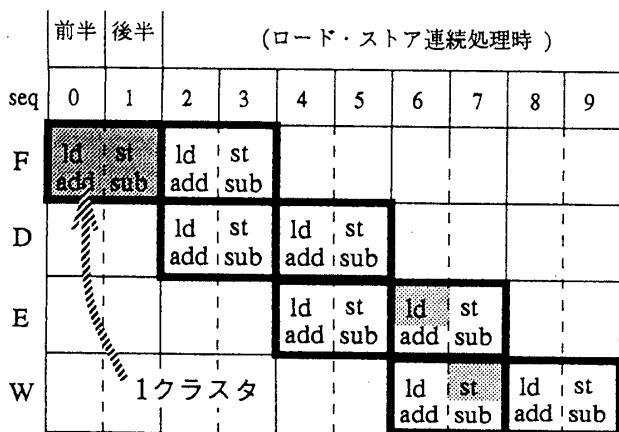
3.2 パイプライン ステージの時分割処理

1クラスタ中の4命令並列処理のためには、8個のオペランドの同時読みだしを必要とする。また、並列処理で性能を向上させるためには、ロード/ストア命令をクラスタ中で同時に処理できるようにする必要がある。今回の開発では、ハードウェア量を抑えつつも、これらの機能を実現するため、パイプラインの1ステージを2クロックで

処理することにした。1クラスタは2クロックで処理されてゆく。この方式の採用により、以下の効果が得られた。

- (1) インデックス計算とその結果のバイパス、アドレス生成、TLB検索をパイプラインの一段で実現。
- (2) レジスタファイルの読みだしポート数を8から4に削減。
- (3) 演算器の個数を4から2に削減。
- (4) 命令、オペランドの転送バスに必要なビット幅を半減(時分割転送によりASICパッケージのピン数を削減)。
- (5) 1ポートのオペランドキャッシュメモリを時分割使用することで、ロードとストアの同時処理を待ち無しで実現。

図3にパイプラインのタイミングチャートを示す。1ステージを前半と後半に分割処理している。1ステージ内で1ポートのオペランドキャッシュメモリを時分割で使い、ロードデータとストアデータの競合を避けている。



seq=6 ロードデータ読みだし seq=7 ストアデータ書き込み

図3 パイプラインのタイミングチャート

4. ハードウェア量・性能評価

図4に演算制御プロセッサ(ACP)のブロック図を示す。演算制御プロセッサは5個のASICとSRAMで構成され、システム制御装置(SCU)とACPバスを介して接続される。命令(VLIW)はシステム制御装置を介して演算制御プロセッサの命令キャッシュメモリ供給され、パイプライン処理される。演算制御プロセッサはCISCアーキテクチャの当社従来機の1/2の大きさのプリント板で実現できた。論理量は、ほぼ同じである(図5)。

各種ベンチマークテストでの評価の結果、当社従来機の約2倍の性能を達成している。

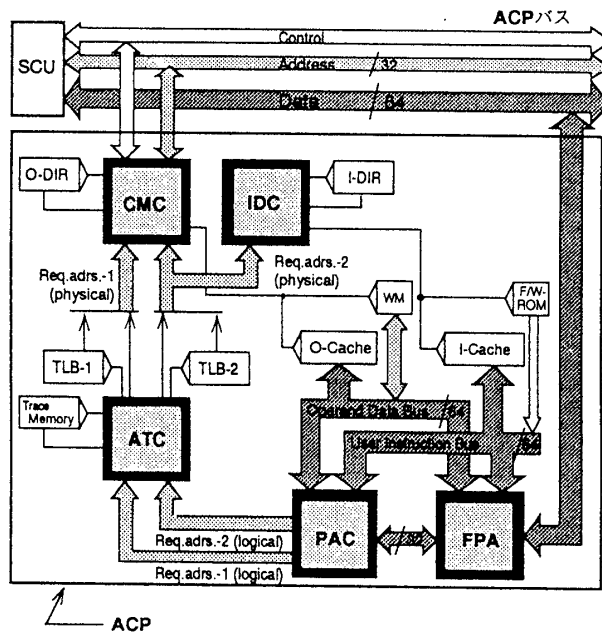


図4 演算制御プロセッサのブロック図

	VL2000 (ACP)	当社従来機(ACP)
ASIC数	5個	20個
総論理量	650kgate	710 kgate

図5 ハードウェア量の比較

5. おわりに

今回開発した演算制御プロセッサは、4段パイプライン構成と2クロックで1クラスタを処理する方式を採用した。今後は、さらに高性能かつ効率的なパイプライン構造について検討を進めていく。

参考文献

- 石川禎、竹内陽一郎
「VLIWアーキテクチャの実現」
情報処理学会第46全国大会(1993)
「高度産業用コンピュータVL2000シリーズ」
東芝レビュー 1993, Vol.48 No.6