

マクロブロック入り SOG 向き階層的概略配線

8N-5

栗林元隆

山田正昭

(株)東芝 ULSI 研究所

1 はじめに

最近、エンベディドアレイ (embedded-array) とよばれるゲートアレイが登場した。これは設計と製造の時間を短縮するために CPU コア、ROM、RAM などのマクロブロックが埋め込まれた領域を持つものである。また、SOG (Sea-of-Gates) の回路規模は年々増加している。本論文は、大規模なマクロブロック入りの SOG を高速に概略配線する階層的配線手法について述べる。

階層的な手法がその高速性のメリットから研究されてきた [1, 2, 3, 4]。Lauther の方法 [3] は、配線領域をカットラインで 2 分割する処理を繰り返す階層的配線手法である。このような階層的な手法は、高速な配線のために非常に重要である。しかし、この概略配線は均一な配線領域を仮定したものであり、マクロブロック入りのゲートアレイに直接適用することは不可能である。階層的な方法は一般に配線リソースがチップ上で不均一に分布している不規則な構造の問題に弱点をもつからである。一方、マクロブロックのみからなるモデルを対象とした階層的概略配線の提案 [5] もあるが、これはチャンネル構造のモデルに基づいているために 2 次元の規則的な概略格子モデルに基づくマクロブロック入りのチャンネルレスゲートアレイには適用することは出来ない。

本論文の概略配線の特徴は、マクロブロック込みのゲートアレイを扱える領域分割のスケジューリングにある。

2 レイアウトモデルとトップダウンな階層的配線手法

本概略配線は、文献 [3] によるトップダウンな階層的な手法に基づく。チップに対する配線問題は、領域を 2 分割する処理を繰り返して解かれる。階層的各ステップでは、まず現領域を分割するカットラインを挿入し、つぎにそのカットラインを横切る全てのネット (カットネット) に対してカットライン上での通過位置を決定する。カットネットのカットラインへの割当は総配線長の最小化とカットライン上でのネットの混雑の分散化を考えて行われる。再帰的な処理の終了は、全ての分割された領域がその最小サイズ (概略格子のサイズ) に達するときである。

3 階層的な分割とデッドエンド領域

マクロブロック込みのモデルを扱うには、カットラインの方向と位置の選択は、よい配線結果を得るために最も重要である。

図 1(a) は、マクロブロック込みのデータに規則的な SOG を対象とする従来の方法 [3, 4] を直接適用した際の不都合が発生する例を示す。ここではマクロブロックの上は第 1, 2 層とも他のネットの配線禁止領域とし、配線には 2 層を使用する例を示した。この例で生じる問題は、通過の禁止されたパスがマクロブロック上に発生することである。L1, L2, L3 はこの順に挿入されたカットラインを示す (ここでは経路決定が完了するまでに必要な全てのカットラインは示していない)。図 1(a) は、L1 の右の領域において、ネット T の経路はマクロブロックをスルーすることを強要されるという問題を生じる。このような領域をデッドエンド領域と呼ぶ。この領域の発生は、もしカットラインが図 1(b) のように挿入されれば避けられる。

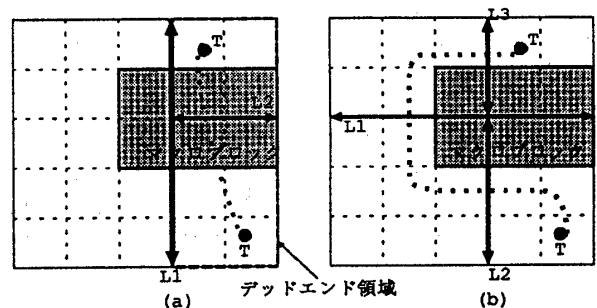


図 1: 分割方法: デッドエンドを生成する例しない例

4 カットラインコストに基づく領域分割法

本概略配線の特徴は、カットラインコストという概念を用いてカットラインのスケジューリングをすることにある。カットラインコストは、現領域を分割する全てのカットラインの候補の中から最も好ましいカットラインが選択されるように定義する。最小のカットラインコスト値を持つカットラインが現領域のカットラインとして選択される。

マクロブロックコスト (Mcost) が、デッドエンド領域の発生を避けるためにカットラインコストの一部として導入される。Mcost はマクロブロック周辺部に発生しやすい混雑を削減する目的も果たす。図 2 は、Mcost の一例を示す。Y 軸は垂直方向の

カットラインの各位置(X軸)に対するコスト値を示す。コスト値はマクロブロックに近づくにつれて急激に増加するように与える。その理由はマクロブロックに非常に近接するカットラインを引いた場合、マクロブロックの近辺でネットが混雑しやすいからである。またマクロブロックをカットするカットラインは、図2(a)の場合には、発生するデッドエンド領域の面積に比例して非常に大きなコスト値を与えるが、図2(b)の場合には、デッドエンド領域を発生させないので小さなコストを与える。

本手法は、Mcostの他に以下のコストをカットラインコストとして加える。(a)分割された2つの領域のアスペクト比に基づくコスト(A_{cost}), (b)カットラインを横切るネット数とカットライン上の配線リソースに基づいて決定されるコスト(C_{cost}), (c)詳細配線をよりしやすくするコスト(D_{cost})。カットラインコストは、個々のコストの重みつき線形和として定義する:

カットラインコスト = $w_m \times M_{cost} + w_a \times A_{cost} + w_c \times C_{cost} + w_d \times D_{cost}$. (w_m, w_a, w_c, w_d は重みパラメータ)

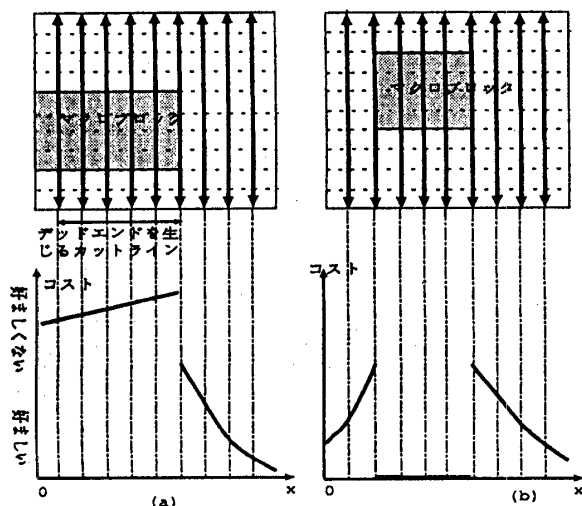


図2: マクロブロックコスト (Mcost)

5 実験結果

本アルゴリズムを実装し、その性能を評価した。評価データは、5Kから129Kゲートの母体のSOGの実回路とMCNCのベンチマークデータ(2データ)である。マクロブロックは、ネット数が4464のデータに4個、ネット数が6827のデータに2個入っている(ともに51K母体)。比較は、文献[3]に基づくプログラム、迷路法に基づくプログラム[6]に対して行った。使用計算機は、SPARC系22MIPSマシンである。

図3は、CPU時間と配線容量に対するオーバーフロー総数を示す。本配線は、文献[3]より15%から35%高速である。この結果は、カットラインのスケジューリングと配線混雑の分散化が十分高速に効果的に行われていることを示す。迷路法と比べると、4倍から24倍高速である。オーバーフロー数は、文献[3]に比べ50%から80%少なく、迷路法とほぼ同等である。

6 終わりに

本概略配線は、マクロブロック埋め込みゲートアレイおよび規則的なゲートアレイに対して処理時間、配線性能の点で有効であり、大規模ゲートアレイに対して有望な手法である。

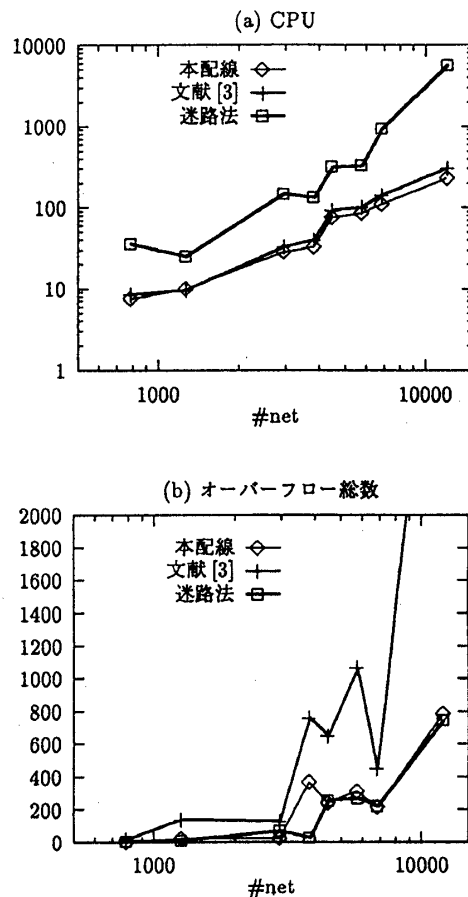


図3: 実験結果

参考文献

- [1] 栗林, 山田: "大規模 SOG 用高速概略配線手法," DA シンポジウム'91 論文集, pp.61-64(1991).
- [2] 長谷川, 栗島, 佐藤, 大附: "線形割当に基づいた概略配線手法の実装と評価," 信学技報, VLD90-97, pp.1-8(1991).
- [3] U.P.Lauther: "Top Down Hierarchical Global Routing for Channelless Gate Arrays Based on Linear Assignment," Proc. VLSI87, pp.109-120 (1987).
- [4] W.W-M.Dai, T.Dayan, and D.Staepelaere: "Topological Routing in SURF: Generating a Rubber-Band Sketch," Proc.DAC, pp.39-44 (1991).
- [5] M.Marek-Sadowska: "Route Planner for Custom Chip Design," Proc. ICCAD, pp.246-249 (1986).
- [6] 山田, 高野, 門脇: "ゲート敷き詰め型ゲートアレイの自動配線," 情報研技報, DA46-5(1989).