

配線RC遅延算出のための配線径路予測方法

8N-3

五十嵐 睦典 室伏 眞佐子 村方 正美

(株)東芝 研究開発センター ULSI研究所

1. はじめに

回路構造の微細化により、一般の回路設計においても配線遅延に起因する回路の誤動作の問題が重要になってきている。従来、この問題は容量性の遅延問題として扱われてきたが、配線抵抗の増大により容量性遅延に加えて配線抵抗に起因する遅延時間を考慮に入れる必要を生じてきた。

レイアウトの中で配線遅延時間を制御するには、配線時には既に困難であり、より有効な対策を講ずるためには配置の段階で考慮する必要がある。そのためには、配置の段階で配線のRC遅延時間を精度良く予測しなければならない。

配線伝播遅延時間は、配線径路が既知であれば Elmoreの手法を用いて比較的精度良く知ることができる[1]。従って、配置の段階で配線伝播遅延時間を予測するには、まず、配線径路を予測しなければならない。ところが、従来から知られている Single trunk Steiner tree 法(以下STST法と略記する)[2]では、ネットのファンアウト数が増すに連れて大きな予測誤差を生ずるため、何らかの改善策が必要である。本報告では、配線伝播遅延時間を精度良くかつ高速に予測するための配線径路予測方法を提案する。

2. 配線伝播遅延の算出

図1は、ファンアウト数2の配線径路を分布RCセグメントを使って回路モデル表現した図である。各配線セグメント上を信号が伝播する場合のElmoreの遅延時間は、分布RCセグメントとしての自身の遅延時間とそのセグメントの抵抗成分が駆動する下流側の総負荷容量とで決まる。tree walk によって、この例では端子A→Cの配線伝播遅延時間は次式のように計算される。

$$\tau_{AC} = R_1 C_1 / 2 + R_1 (C_2 + C_3 + C_{load} + C'_{load}) + R_2 C_2 / 2 + R_2 C_{load}$$

3. 配線径路予測手法

3.1 従来手法

配線抵抗を無視した遅延モデル、すなわち集中容量モデルでは配線の総容量の予測値が重要であって、総配線長の予測精度が遅延予測の精度を左右する。このため、比較的配線長の予測精度の高いネット最小矩形の半周囲長を求める Half Perimeter 法(HP法と略記する)がしばしば用いられてきた。しかし、前節で述べた配線抵抗を考慮に入れた遅延予測を

行なう場合には、配線の径路予測まで行なう必要があり、こうしたモデルでは不十分である。

配線径路の予測手法として最も一般的なものは、STST法であろう[3]。これは、ネットの最小矩形内に矩形の長手方向の、重心位置を貫く幹線を発生させて、各端子からこの幹線に至る垂線を支線として発生させるものである。しかしながら、この手法は、ネットのファンアウト数が多くなるに連れて誤差が急激に大きくなるという問題点がある。この理由としては、図2に示すように端子間の隣接関係が考慮されていないために、多端子ネットにおいて唯一の幹線に支線を伸ばした場合、実配線ではあまり見られない配線径路を生じることがあるからである。

3.2 本手法の概要

以上のようなSTST法の問題点を解決するために、本論文では、ネットを構成する端子の位置関係を考慮してネットの配線径路を予測する方法を提案する。この方法は、ネットを構成する端子の位置関係から、近接する端子をグループ化してクラスを構成し、クラス毎に各クラス内端子に対してSTSTを構成し、これらローカルなSTSTの代表点を端子と見なして、各代表点に対してSTSTを構成して全体の配線径路を予測するものである。詳細な予測手順を図3に示す。

- S1: 端子座標入力
- S2: 端子をグループ化して、クラスを構成する
- S3: for(全てのクラス)
 - クラス内の端子について STST を作成する
- S4: 各クラスに関して、クラス間連結の代表点を決定する
- S5: 各代表点に関して STST を作成する

図3 配線径路予測方法

本配線径路予測手法では、図3ステップS2のクラス分け手法が予測精度に対して大きな影響を及ぼす。例えば、本手法でクラスサイズを無限大に設定した場合には、径路の予測結果は通常のSTSTの結果に全く一致する。クラスの核となるシートの選定については、チップ上における端子の分布状況を考慮する必要があり、クラス化する範囲を決める際には、端子分布の面積的な情報を考慮する必要がある。本手法では、一例として、シートについてはネット重心からの距離を、また、クラスサイズについてはネットの最小矩形面積の1/4と等価な円の半径を基準値として選び、端子のシートとしての優先度を重心からの距離に比例するものとして設定した。

こうして作成したローカルなSTSTを連結するために、次に、各クラス内の配線径路のどの位置で連結するかを決定する。このとき注意すべきことは、ローカルな配線径路と全体を連結する径路との間に不要な重複径路を生じないようにすることである。本例のクラス分け手法の下では、各クラスの代表点

A Wiring configuration estimation method for RC interconnect delay calculation

Mutsunori IGARASHI, Masako MUROFUSHI, Masami MURAKATA
ULSI Research Center, R&D Center, TOSHIBA Corporation

をローカルなSTST径路上で重心に最も近い点に選ぶのが効率的である。これらクラス代表点にSTSTを張れば全体の予測径路が完成する。

4. 実験結果

実験は、詳細配線結果から得られた実配線長と提案手法、STST法、HP法の3つ手法で予測した配線長の比較と、実配線径路と提案手法で予測した配線径路をもとに算出した遅延時間の比較の2点に関して行った。遅延時間の計算手法は、2節で述べたElmoreの手法である。実験に使用したデータは129KG規模、搭載セル数12000、ネット数13000のゲートアレイの実データである。

まず、配線長の予測精度に関して、実配線長と予測長との誤差の絶対値を各ファンアウト毎に比較した。図4は、横軸にネットの端子数を取り、縦軸に実配線長との誤差の絶対値を取っている。3節で述べた通り、STST法はネットの端子数が増加するに従って、誤差が急激に大きくなる傾向にある。一方、HP法は端子数によってあまり誤差のばらつきはないが、誤差の傾向としてはやはりネットの端子数が増えるに連れて増大する傾向にある。これに対して、本手法では、ネットの端子数に係わらず20%程度の比較的小さい誤差に収まっている。なお、2端子ネットでは3者の見積り経路長は理論的に全く同じ値になる。

次に、遅延時間の予測精度については、実配線径路と本手法による予測径路をもとに算出したElmoreの遅延時間の誤差の絶対値を各ファンアウト毎に比較した。図5は、横軸にネットの端子数を取り、縦軸に実遅延時間との誤差の絶対値を取ったものである。見積り誤差の傾向は、総配線長の見積り精度の場合と同じようにファンアウト数に依存する傾向は見られないが、サンプル数の少ない箇所やや誤差が大きい他は、誤差30%前後に収まっている。サンプル全体としては誤差20%以内に収まったものが全体の約95%を占め、概ね良好な見積り精度を示すことを確認した。

5. まとめ

セルの位置を決定する配置の段階で、配線抵抗を考慮した配線伝播遅延を見積るための配線径路予測手法を提案した。本手法を用いた実験検証の結果、総配線長および端子間の遅延時間の予測値は、詳細配線結果に対して20%程度の誤差で予測でき、良好な予測精度が得られた。本手法は、配置の段階において配線抵抗を考慮した配線伝播遅延時間予測に有効である。

参考文献

[1] H. B. Bakoglu, "Circuits, Interconnections, and Packaging for VLSI", Addison Wesley Publishing Co., 1990.
 [2] M. A. Breuer, "Design Automation of Digital Systems", Vol. 1, Theory and Techniques, Prentice-Hall, Inc. 1972.

[3] Albert H. Chao et al., "Direct Solution of Performance Constraints During Placement", Proc. of Custom Integrated Circuits Conf. 1990, 27.2.1-27.2.4.

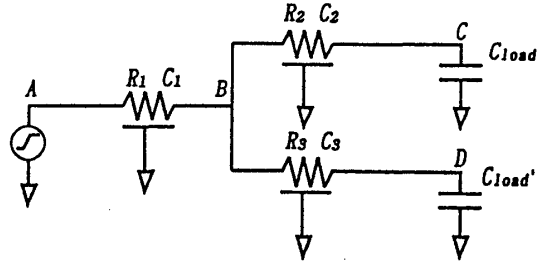


図1 配線径路のRC回路モデル

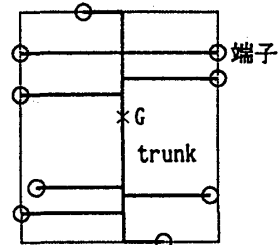


図2 Single trunk Steiner tree

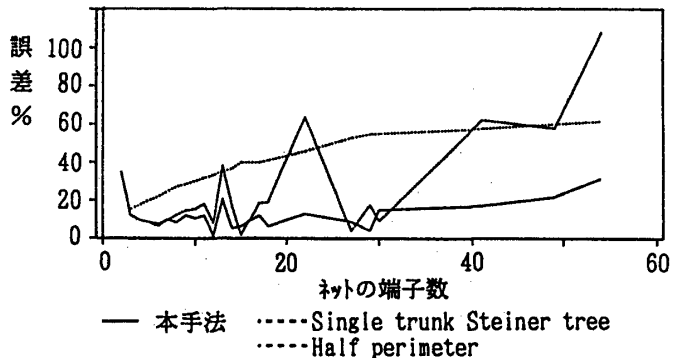


図4 配線長の予測精度 (実配線長との比較)

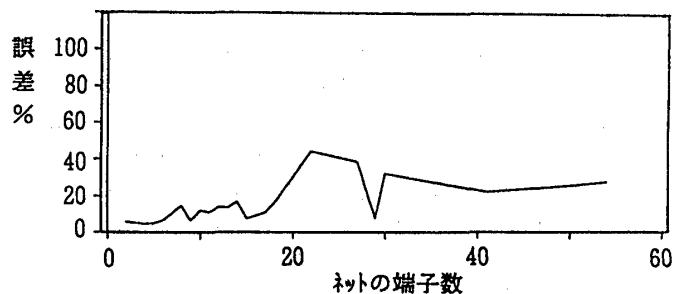


図5 配線伝播遅延時間の予測精度 (実遅延時間との比較)