

Wired-OR を併用したトランスダクション法による  
高速論理回路設計

8M-3

高田秀志

山下茂

上林弥彦

京都大学工学部

## 1 はじめに

論理回路設計において最大ファンインに対する制限が加えられることが多いが、ファンイン制限を満足する回路は一般に、素子数や回路の段数が多くなる。ファンイン制限を Wired-Logic [3] を用いて行えば、回路の段数の増加を抑えられると考えられる。Wired-Logic は結線の状態によっては使用できないが、トランスダクション法 [1] における許容関数を用いて使用できるか判断すると、回路の形状のみから判断するよりも多くの場合に Wired-Logic を利用することが可能となる。本稿では、Wired-OR を併用して、できるだけ回路の段数を増加させないように、NOR 回路のファンイン制限を行なう手法の実現および実験結果について報告する。

## 2 基本的概念

以下では、論理回路を構成する素子として、NOR 素子のみを扱うが、一般化は困難ではない。

## 2.1 トランスダクション法

回路中のある要素  $c$  (素子、結線) の実現する関数  $f$  を、ある関数  $f'$  に変換しても回路の出力が変化しない時、 $f'$  を  $c$  の許容関数 (Permissible Function) であるという。また、ある要素  $c$  の許容関数全体の集合を MSPF、回路中の全要素に対して同時に変更可能な許容関数のみからなる集合を CSPF という。ある素子  $v_i$  の CSPF を  $G(v_i)$ 、 $TFO(v_i)$  を  $v_i$  から到達可能なゲートの集合、 $IP(v_i)$  を  $v_i$  のファンインとなっている素子の集合とし、ベクトル  $F$  の第  $j$  要素を  $F^{(j)}$  とすると次の定理がいえる。

定理 .1 素子  $v_i$  の出力が素子  $v_j$  の入力に接続可能である条件は以下のように表すことができる。

- $f^{(d)}(v_i) = 1$  である全ての  $d$  について、 $G^{(d)}(v_j) = 0$  または \*
- $v_i \notin TFO(v_j)$

定理 .2 素子  $v_i$  の出力を素子  $v_j$  の入力から切断可能である条件は以下のように表すことができる。

- $f^{(d)}(v_i) = 1$  である全ての  $d$  について、 $G^{(d)}(v_j) = *$  または、 $\bigcup_{v \in IP(v_j), v \neq v_i} f^{(d)}(v) = 1$

## 2.2 Wired-Logic

Wired-Logic は、2つ以上の素子の出力をまとめることにより、AND か OR の論理を実現するものである。Wired-Logic は、NOR 素子や NAND 素子等を含む回路で通常使用することができ、特に LSI 素子で用いると有用である。OR 素子や、NOR 素子への入力線は、Wired-OR で、AND 素子や、NAND 素子への入力線は、Wired-AND でまとめると素子への入力線数を減らすことができる。Wired-Logic 素子の遅延は他の素子に比べてかなり小さい。また、回路のコストの計算時には、Wired-Logic 素子は素子数に数えず、結線数は Wired-Logic への入力結線数と Wired-Logic からの出力結線数を足したものに 1 を引いたもの (実現のための結線数に対応) で計算する [3]。

定理 .3 Wired-Logic 素子が、通常の素子と同じように扱われる条件は、以下の 2 つである。

- Wired-Logic 素子につながれているすべての素子と入力端子が、他の素子や Wired-Logic 素子や出力線につながれていないこと。
- Wired-Logic 素子が、他の Wired-Logic 素子につながれていないこと (これは禁止されている。)

## 3 Wired-OR を併用したファンイン制限

## 3.1 Wired-OR によるファンインの統合可能条件

ここで以下のことを定義する。

$un-com-fanout(v_i, v_j)$

入力端子が素子  $v_i$  にはつながっているが、素子  $v_j$  には、つながっていないような素子の集合。

$com-fan-out(v_i, v_j)$

入力端子が素子  $v_i$  にも素子  $v_j$  にもつながっているような素子の集合。

そして、定理 1、定理 2、定理 3 より以下のことが言える。

定理 .4  $v_i$  と  $v_j$  の出力を Wired-Logic でまとめられる時、 $v_i$  と  $v_j$  は、統合可能であるといい、その条件は、以下の通りである。

- $un-com-fanout(v_i, v_j)$  の要素のうちで、 $v_i$  と切断可能でなく  $v_j$  と接続可能でないような要素がなく、 $com-fan-out(v_j, v_i)$  の要素のうちで、 $v_j$  と切断可能でなく  $v_i$  と接続可能でないような要素がない。

### 3.2 Wired-ORによるファンインの収集手法

$v_i$  と  $v_j$  の出力を Wired-OR でまとめる方法の大略を以下に示す。この方法は、定理3の条件を満たすようになっている。ここで、 $v_i, v_j$  は、NOR または、Wired-OR とする。

$v_i$  と  $v_j$  がともに NOR の場合

- 1 新しく、Wired-OR 素子を作り、それを  $w$  とする。
- 2  $w$  の出力端子を com-fanout( $v_i, v_j$ ) と un-com-fan out( $v_i, v_j$ ) に含まれる素子につなぐ。
- 3  $v_i, v_j$  の出力端子を  $w$  につなぐ。
- 4  $v_i, v_j$  の出力のうちで、 $w$  の入力となっているもの以外を切る。

$v_i$  と  $v_j$  のどちらかが Wired-OR の場合

Wired-OR の方を  $w$ 、そうでない方を  $v$  とする。

- 1 un-com-fanout( $v, w$ ) に含まれる素子に  $w$  の出力端子をつなぐ。
- 2  $v$  の出力端子を  $w$  につなぐ。
- 3  $v$  の出力のうちで、 $w$  の入力となっているもの以外を切る。

$v_i$  と  $v_j$  がともに Wired-OR の場合

- 1  $v_j$  の出力端子を un-com-fanout( $v_i, v_j$ ) に含まれる素子につなぐ。
- 2  $v_i$  の入力となっている素子で  $v_j$  の入力となっていない素子の出力端子を  $v_j$  につなぐ。
- 3  $v_i$  を削除する。

### 3.3 Wired-OR を併用したファンイン制限手法

Wired-OR を併用したファンイン制限手法の大略は以下の通りである。Wired-OR でファンイン制限ができない素子については、本研究室で開発された一般化直列分割 [2] を行なう。

- step1 回路中の素子に対して順にその素子を  $v$  として step2 を行なう。全て終了後、step4 へ。
- step2  $v$  がファンイン制限を満たしていないならば、step3 へ。
- step3  $v$  の入力のうちで、統合可能な素子の出力をまとめて、step2 へ。統合可能な素子が存在しなければ、step1 へ。
- step4 ファンイン制限を満たしていない素子があれば、一般化直列分割によりファンイン制限を行なう。

## 4 実験結果

前節で述べた手法を OMRON 社の LUNA88K 上に C 言語を用いて実現し、文献 [2] の手法により生成されたファンイン制限を満たさない3段 NOR 回路についてファンイン制限を行なった結果を表1に示す。プログラム中の関数表現には、京都大学工学部情報工学教室矢島研で開発された SBDD パッケージを用いている。NOR、Wired-OR 共にファンインを4に制限している。中には Wired-OR を併用しない方が結果がいい

回路もあるが、これは、Wired-OR を用いることにより、回路の変換の自由度が減るため、その後の直列分割でうまく回路変換ができていないためと思われる。しかし、この実験結果を見る限りでは、Wired-OR を回路変換に用いることにより、段数はかなり減り、素子数は減ることが多く、結線数は増えることが多い傾向がわかる。

| 回路名    | Wired-OR<br>併用せず | Wired-OR<br>併用 | 段数改良 |
|--------|------------------|----------------|------|
| 5xp1   | 126/332/7        | 93/338/4/16    | 7→4  |
| Z9s    | 145/387/13       | 284/787/4/30   | 13→4 |
| adr4   | 158/466/9        | 146/519/7/23   | 9→7  |
| alu2   | 199/518/9        | 234/602/7/16   | 9→7  |
| alu3   | 173/456/9        | 223/568/7/15   | 9→7  |
| apla   | 244/568/9        | 237/573/7/7    | 9→7  |
| con1   | 24/67/7          | 22/65/5/1      | 7→5  |
| dc2    | 151/398/9        | 158/447/7/19   | 9→7  |
| dk17   | 157/372/7        | 157/372/7/0    | 変化なし |
| f51m   | 155/440/9        | 120/426/7/20   | 9→7  |
| misex1 | 70/189/9         | 63/193/7/4     | 9→7  |
| mlp4   | 536/1539/9       | 616/1782/9/78  | 9→9  |
| radd   | 138/411/9        | 124/419/7/18   | 9→7  |
| risk   | 135/328/7        | 129/326/7/2    | 7→7  |
| root   | 212/538/11       | 239/645/9/27   | 11→9 |
| sao2   | 457/1179/11      | 483/1237/9/41  | 11→9 |
| sex    | 82/202/7         | 84/207/7/1     | 7→7  |
| sqn    | 181/471/9        | 159/502/9/24   | 9→9  |
| sqr6   | 130/339/7        | 112/381/5/21   | 7→5  |
| z4     | 105/314/7        | 81/296/5/14    | 7→5  |

(素子数 / 結線数 / 段数 / (Wired-OR 素子数))

表1: 実験結果

## 5 あとがき

Wired-Logic を併用することによって、回路のコスト、特に、段数をできるだけ増やさずにファンイン制限を行なう回路変換について述べた。また、この方法と Wired-Logic を用いずにファンイン制限を行なう方法の比較を行なった。今回、使用した回路データは3段の初期回路ばかりだったので、今後はもっと段数の多いものや大規模な回路で比較を行ないたい。また、Wired-Logic を用いる回路変換でより有効な手法も開発していきたい。

## 謝辞

有益な御助言、御指導下さるイリノイ大学計算機科学科室賀教授、上林研究室の皆様ならびに SBDD パッケージを使用させていただいた矢島研究室の皆様には感謝する。

## 参考文献

- [1] S. Muroga, Y. Kambayashi, H. C. Lai, J. N. Culliney: The Transduction Method-Design of Logic Networks Based on Permissible Functions, *IEEE Trans. Comput.*, Vol.38, No.10, (Oct. 1989).
- [2] S.Sawada, Y.Kambayashi, S.Muroga: Generation of Fan-in Restricted Initial Networks for Transduction Method, *Proc. the Synthesis and Simulation Meeting and International Interchange, SASIMI '92*, April 1992.
- [3] Yahiko Kambayashi, Saburo Muroga: Properties of Wired Logic, *IEEE Trans. Comput.*, Vol.c-35, No 6,(June 1983)