

## 最長経路を含む部分回路置換による論理回路の段数削減手法

8M-2

石垣博康 澤田直 上林弥彦

京大工学部 九大工学部 京大工学部

## 1 まえがき

論理回路合成において、回路変換による論理回路最適化は非常に重要な技術であるといえる。論理回路最適化の要求には、冗長結線の削除やゲート数削減による面積最小化などがあるが、回路の段数削減による遅延最適化技術が重要とされてきている。しかし回路の大規模化に伴い、回路全体を回路変換の対象とするような手法は、記憶容量や計算時間などの面から困難となる場合が考えられる。

我々は文献[1]において、あるゲート集合を置き換えることにより段数を削減する手法を提案した。しかしこの手法はもとの回路の外部入力の一部より置き換える回路を生成するので、やはり大きな回路においては計算時間や記憶容量が増大する傾向があった。

そこで本稿では、目的回路における最長経路に着目し、それを含んだ部分回路を回路変換の対象とすることによって段数削減を行なうような手法を提案し、その実験結果を示す。本手法では、置き換えるための回路はその部分回路に対してのみ生成されるので、回路の大規模化に伴う計算時間や記憶容量の増大は非常に小さい。また、プログラムはファンイン数を任意に設定することができる。

## 2 最長経路を含む部分回路置換

本章では、最長経路を含んだ回路の置換による段数削減手法を提案する。本手法は、(1)置換される部分回路の選択、(2)置換するための部分回路の生成と置換、の2つの部分から構成される。次の2.1節で置換される部分回路の選択方法、2.2節で置換するための部分回路の生成法について述べる。

## 2.1 目的部分回路の選択

本手法は段数削減を目的としているため、置換すべき部分回路は次の基準によって選ばれる。

- 最長経路を含んでいる。
- なるべく長い(段数が多い。)

Delay Optimization by Network Substitution  
Hiroyasu ISHIGAKI, Sunao SAWADA, Yahiko KAMBAYASHI  
Faculty of Engineering, Kyoto University

- 部分回路への入力線数がある決められた値より小さい。

つまり、目的部分回路はなるべく細く長いことが望まれる。なぜならその方が段数削減の効果が高いと考えられるからである。また、置換するための部分回路を生成する際に、入力が多い回路はファンイン制限のもとでは段数が大きくなる傾向があるため、入力線数を制限し、段数の増加を防いでいる。しかしここで最適な入力線数は回路によって異なると考えられるので、同じ回路に対して入力線数を変化させ部分回路置換を行なっている。

実際の部分回路の選択は、次に示すアルゴリズムによっておこなう。

- step 1 最長経路の出力側より、一つのレベル上でゲートが一つしかないものを探し、部分回路の出力とする。
- step 2 そのファンインゲートのうち、最長経路上にないものと外部入力を部分回路の入力とする。
- step 3 そのファンインゲートのうち最長経路上にあるもので、そのゲートのファンイン数を現時点の部分回路の入力数に加えても規定値を越えないゲートに対し、step 2 ~ 4 を繰り返す。そのゲートが部分回路外にファンアウトを持つ時は、そのゲートを部分回路の出力に加える。
- step 4 step 3 において規定値を越えるものは部分回路の入力となる。

以上のようにして選ばれた部分回路において、その部分回路への入力に対する部分回路の出力関数を計算し、次に述べる置き換え用の部分回路生成手法を用いて置き換える部分回路を生成する。この時、部分回路の出力はstep 3により複数になり得る。

## 2.2 置き換え用の部分回路生成手法

本稿では部分回路を生成するために、文献[2]の手法を使用する。この手法は束(lattice)を用いてNORゲートからなる3段回路を生成し、それに対して段数をできるだけ増加させないようにファンイン制限を加えていくというものである。この手法は多出力回路を少ない段数で設計するという意味で本稿の目的に適しているが、束をもとにして

いるのであまり多くの外部変数を必要とする関数には効率が悪くなるという欠点が存在する。そのため必要となる変数の数はなるべく少ないことが望まれる。

また、この手法で生成された部分回路に対し、ゲート数および結線数を削減するためにトランスダクション法 [3] を適用している。トランスダクション法とは、回路内の潜在的なドントケアを表した許容関数という概念を用いて回路変換を行なう手法である。トランスダクション法の欠点に大規模回路を扱う場合に、記憶容量と計算時間が大きくなるというものがあるが、本手法においては対象回路がかなり大規模な場合でも部分回路は小さいものが選ばれるので、トランスダクション法を適用することができる。

### 3 実験結果

上述した手法に基づいて、論理回路の遅延最適化プログラムを C 言語を用いて作成し、SPARC STATION ELC 上で実行した。この時、生成する部分回路はファンイン数を 4 に制限し、ファンアウト数の制限はしていない。また目的部分回路の選択の際の入力変数の数は、7 ~ 12 となっている。本手法は同一回路に対し、1 ~ 3 回適用される。

初期回路としては、MCNC 多レベルベンチマーク回路および ISCAS'85 ベンチマーク回路の、ファンイン数 4 までの NOR ゲートにマッピングされたものを用いた。

なお本プログラムの SBDD 処理は、NTT の湊真一氏による SBDD パッケージを使用している。

表 1 に、このプログラムによる論理回路の遅延最適化結果を示す。表中の In は回路の外部入力数、Out は外部出力数を表している。また CPU 時間の単位は秒で表されている。

表に示したものは、段数が削減された回路のみであるが、今回の実験では本手法を適用した回路の内、約半数において段数削減が見られた。また、いくつかの回路においてはそれほど面積の増加もなく段数が削減されており、比較的大きい回路でも処理時間はそれほど増大していない。

### 4 あとがき

本稿では最長経路を含んだ部分回路を置き換えることによる論理回路の段数削減手法を提案し、実験を行なった。その結果回路によっては面積の増加も少なく、段数削減を行なうことができた。今後は、段数削減に一層効果的な置換部分の発見手法について検討していく予定である。

### 謝辞

本手法について有益な御示唆を頂いたイリノイ大学の室賀三郎教授、SBDD パッケージの使用を快諾していただいた矢島脩三教授、ならびに矢島研究室の皆様へ深謝致します。

回路	In/Out	初期回路	適用結果	CPU
C1908	33/25	718/1335/37	750/1442/34	3.7
C2670	233/140	1017/1893/26	1021/1903/24	4.6
C3540	50/22	1161/2426/41	1168/2453/39	3.4
C5315	178/123	1929/4006/46	1937/4038/42	4.6
C6288	32/32	2400/4752/123	2436/4848/114	6.5
alu2	10/6	360/747/39	361/753/36	2.0
alu4	14/8	720/1441/42	719/1442/39	2.5
apex6	135/99	831/1497/19	841/1521/14	2.8
apex7	49/37	268/501/17	316/630/13	4.9
cht	47/36	231/434/7	230/441/5	2.2
cm150a	21/1	70/131/15	82/168/11	3.8
cm151a	12/2	33/62/11	40/87/9	1.9
cm82a	5/3	31/51/8	31/52/7	1.2
cm85a	11/3	42/82/12	54/109/10	1.8
comp	32/3	176/306/24	179/317/20	1.7
cordic	23/2	105/197/13	105/198/11	1.6
count	35/16	144/271/34	192/391/12	4.4
dalu	75/16	1908/3899/38	1908/3906/32	4.5
frg1	28/3	108/225/15	110/230/11	2.4
frg2	143/139	1133/2613/15	1140/2631/11	4.2
il	25/16	46/85/9	47/90/7	1.4
il0	257/224	2598/5319/54	2601/5329/52	5.7
pcler	19/9	86/141/18	107/195/10	2.4
pcler8	27/17	103/174/18	120/214/10	1.8
pml	16/13	53/107/6	53/110/5	1.3
rot	135/107	676/1302/25	679/1309/23	2.6
sct	19/15	117/243/8	119/249/7	1.4
x1	51/35	339/734/12	347/750/10	1.9
x3	135/99	763/1776/19	783/1828/14	4.1
z4ml	7/4	70/130/9	70/133/8	1.5

(ゲート数 / 結線数 / 段数) (秒)

表 1: 実験結果

### 参考文献

- [1] 石垣博康、澤田直、上林弥彦: トランスダクション法を用いた回路の置き換えによる論理回路遅延最適化について、情報処理学会第 45 回全国大会、6K-1、1992.
- [2] S.Sawada, Y.Kambayashi, S.Muroga: Generation of Fan-in Restricted Initial Networks for Transduction Method, *Proc. SASIMI'92*, April 1992.
- [3] S.Muroga, Y.Kambayashi, H.C. Lai, J. Niel, Culliney: The Transduction Method - Design of Logic Networks Based on Permissible Functions, *IEEE Transactions on Computers*, Vol.38, No.10, October 1989.
- [4] R.E.Bryant: Graph-based algorithms for boolean function manipulation, *IEEE Trans. Comput.*, C-35(8), August 1986.
- [5] S.Minato, N.Ishiura, S.Yajima: Shared binary decision diagram with attributed edges for efficient boolean function manipulation, In *Proc. 27th Design Automat. Conf.*, June 1990.