

データ駆動型プロセッサの性能評価

6M-8

芳田真一、 岡本俊弥、 宮田宗一
(シャープ株式会社 IC事業本部)

1. はじめに

データ駆動型プロセッサの実行性能に関して、プロセッサ内のデータ流量に着目し、プログラムすなわちデータフローグラフの形状から定量的に求める評価式を導出した。あわせて、シミュレーション実験による評価結果比較についても述べている。

2. データ駆動型プロセッサのモデル化

データ駆動型プロセッサは、図1に示すように、バッファリング機能(FIFO)を持つ機能部が相互に接続されて構成される¹⁾。FCPは、プログラムのフェッチと待合わせデータの発火検出を行う。FPは、算術/論理演算命令を実行する。VMには、ビデオメモリが接続されており、メモリアクセス命令を実行する。Jはデータの合流機能を、Bはデータの分岐機能を持つ。QBは、可変長のFIFOであり、プロセッサ内でのデータ流量の揺らぎを吸収する。

データ駆動型プロセッサに対して、無限系列のデータが一定周期で入力されるような実時間処理を想定する。この時、入力データの世代間に着目したデータ投入時間間隔と、出力データの世代間に着目した平均的なデータ出力時間間隔とが一致する時、定常状態にあるという。

以下の議論で用いる記号の意味を説明する。

- τ : FIFOを1段進むのに要する時間
- g : プロセッサ内に滞在している世代数
- T : レスポンス時間
- l : 世代間のデータ投入時間間隔
- R_i : FCPの入カフローレート
- R_o : FCPの出カフローレート
- A_i : 各ノードの入カアークの総数
- A_o : 各ノードの出カアークの総数

1世代当りに、FCPに入カされるデータ数は、データ駆動型プロセッサに対するプログラムであるデータフローグラフ上での各ノード(実行すべき命令)の入カアーク(ノード間を接続する矢印)総数A_iに等しい。したがって、ある世代のデータがプロセッサに入カされてから出力されるまでのレスポンス時間をTとすると、1世代当りのFCPの平均入カフローレートは次式で与えられる。

$$A_i / T \quad \dots \textcircled{1}$$

定常状態において、g世代のデータがデータ駆動型プロセッサ上でパイプラインされている時、FCPの入カフローレートは、①式を用いて次のようになる。

$$R_i = g (A_i / T) \quad \dots \textcircled{2}$$

一方、各世代のデータは、lの時間間隔で入力され、各世代当り時間Tだけ、プロセッサ内に存在しているため、滞在世代数gは次式で与えられる。

$$g = T / l \quad \dots \textcircled{3}$$

ところで、FCPの入カフローレートは、データがFIFOを1段進むのにτの時間を要するため、最大でも1/τである。したがって、②、③式より、定常状態におけるFCPの入カフローレートR_iは、次式のようになる。

$$R_i = A_i / l \leq 1 / \tau \quad \dots \textcircled{4}$$

以上のことから、FCPの入カフローレートに着目した場合、プロセッサが定常状態で安定に動作するためには、データ投入間隔に関して次式が成立している必要がある。

$$l \geq \tau \cdot A_i \quad \dots \textcircled{5}$$

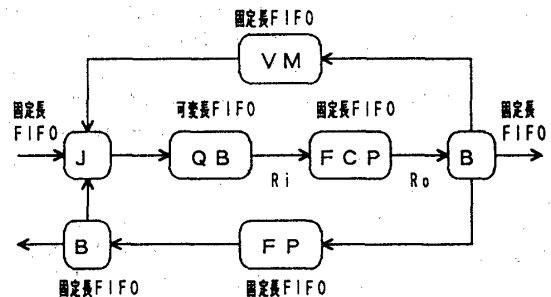
もし、⑤式を満足しない短い時間間隔でデータを投入した場合、FCPの入カ部の入カフローレートがデータ駆動型プロセッサの処理能力を上回り、FCPの入カ部でデータが詰ってしまう。このような状態が一時的なものであれば、QBによってデータの溢れが吸収され、やがて解消される。しかし、無限系列のデータが一定周期で入力されるような場合、いずれQBのバッファリング能力を越えるデータが溢れ、システムダウンを引き起こす。

一方、FCPの出カフローレートについても同様のことがいえ、データフローグラフ上での各ノードの出カアーク総数A_oを用いて、次式が成立している必要がある。

$$l \geq \tau \cdot A_o \quad \dots \textcircled{6}$$

以上のことから、データ駆動型プロセッサが定常状態で安定に動作するための必要条件は、⑦式で与えられる。

$$l \geq \max(\tau \cdot A_i, \tau \cdot A_o) \quad \dots \textcircled{7}$$



- FCP: プログラム記憶付発火制御 (Firing Control Combined with Program Storage)
- QB: キューバッファ (Queue Buffer)
- J: データの合流 (Junction)
- B: データの分岐 (Branching)
- FP: 演算制御 (Function Control)
- VM: ビデオメモリ制御 (Video Memory Control)

図1 データ駆動型プロセッサのモデル

3. シミュレーションによる評価

デジタル信号処理等でよく用いられる FIRフィルタについてシミュレーション評価を行った。図2にシミュレーションに用いた6タップのFIRフィルタのシグナルフローグラフを示す。同図のトポロジーを保存した形で作成したデータフローグラフ(DF1)を図3に示す。VRとVSは、それぞれビデオメモリに対する書き込みと読み出しを行う命令である。各命令の肩に付けられている3個1組の数字は、メモリアクセス位置を相対的に指定する定数である。たとえば定数が[-1, 2, -3]であるような命令は、ラスタスキャン型に入力されるデータに対して、現在位置より1フィールド前、2ライン下、3ピクセル左の位置にある画素をアクセスする。

また、ビデオメモリ複合命令を用いてノード数を削減したデータフローグラフ(DF2)を図4に示す。VNADDは、入力データと相対位置指定された画素の内容を加算し、出力する命令である。VADDは、VNADDと同様の演算を行い、さらに出力値で、読み出した画素の内容を更新する命令である。

DF1は、同一世代のデータに対して、メモリ読み出し、乗算および加算を並列に実行し、さらに、世代間でのパイプラインも行っている。一方、DF2は、一直線のデータフローグラフなので、同一世代のデータに対しては、常に1個の演算しか実行されず、世代間でのパイプラインによる並列性を追求している。

シミュレーション評価は、DF1およびDF2についてデータ投入時間間隔*l*を変化させ、プロセッサが定常状態で動作する最小時間間隔を求めた。表1に、その時のシミュレーション結果を示す。

プロセッサが定常状態にあるか否かの判断はプロセッサ内の滞在世代数によって行った。図5に、データ投入時間間隔*l*をパラメータとした滞在世代数の時間変化をDF2の場合について示す。*l*=15の場合は、時刻1000ごろまでは、プロセッサに対してデータが入力されるのみで出力がないため、滞在世代数が増加している。しかし、時刻1000を越えるころから最初に入力された世代のデータに対する処理が完了するため、プロセッサに対する入出力フローレートが均衡し、滞在世代数が70~71で安定している。これは、プロセッサが安定状態にあることを意味している。一方、*l*=14の場合は、データ投入時間間隔がプロセッサの安定条件よりも短いため、プロセッサの処理能力を上回るレートでデータが入力され、処理が追いつかない状態になっている。そのため、プロセッサ内に滞在する世代数が増加している。このシミュレーションでは、投入世代数を150世代に設定しているが、もし、無限系列のデータを*l*=14の間隔で入力し続ければ、いずれデータ溢れを引き起こす。

DF1、DF2ともデータフローグラフの形状が1入力1出力なので、入力アーク総数と出力アーク総数は一致し、それぞれ、27と15である。したがって、時間の単位をFIFOを1段進む時間 τ 、すなわち、プロセッサの最小転送サイクル

時間とした時、⑦式より、プロセッサが定常状態で安定に動作するための必要条件は、それぞれ、27と15となる。シミュレーション結果では、最小データ投入時間間隔が、DF1は28、DF2は15であるから、⑦式の安定条件は、シミュレーション結果とよく一致している。

また、レスポンス時間は、データフローグラフの入出力間のクリティカルパスの長さに依存するため、DF1の方がDF2よりも短くなっている。それに伴い、定常状態での滞在世代数も、DF1の方が、DF2よりも少ない。これは、DF1は世代内および世代間での並列性を利用しているのに対して、DF2は、世代間での並列性のみを利用しているためである。しかし、アーク総数はDF2の方が少ないため、DF1よりも短いデータ投入時間間隔でデータを受入れることが可能である。

このように、対象とする問題が、データ投入時間間隔の短さを問題にするのか、あるいは、レスポンス時間を問題にするのかによって、最適なデータフローグラフの形状、すなわち、処理方式を選択する必要がある。

4. おわりに

本稿で示したデータ駆動型プロセッサの定量的な性能評価手法によって、プロセッサが潜在的に持つ性能を十分に引き出すために必要となるデータフローグラフの記述法、あるいは、複数のプロセッサへの分割割り当て法を検討する上で有効に適用できるものと期待される。

本研究をご指導、ご支援頂いた各位に厚く感謝致します。

[参考文献]

- 1) 金倉、宮田: 動的データ駆動型プロセッサによる並列方式の検討、情報処理学会・マイクロコンピュータアーキテクチャシンポジウム, pp. 9-18, (Nov. 1991)

表1 シミュレーション結果

データフローグラフ	入力アーク総数 A_i	出力アーク総数 A_o	最小データ投入時間間隔 l	レスポンス時間 T	滞在世代数 g	FIFO入力レート R_i
DF1	27	27	28 (27)	777	29~30	0.96
DF2	15	15	15 (15)	1052	70~71	1.00

(注1) ()内は⑦式による見做値 (注2) 時間の単位は最小転送サイクル時間

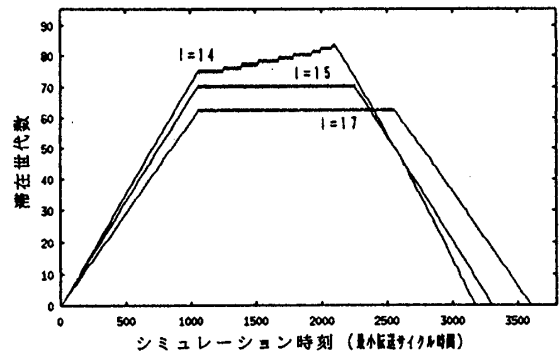


図5 プロセッサ内滞在世代数の時間変化(DF2)

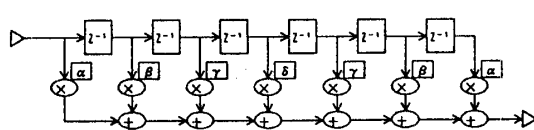


図2 FIRフィルタのシグナルフローグラフ

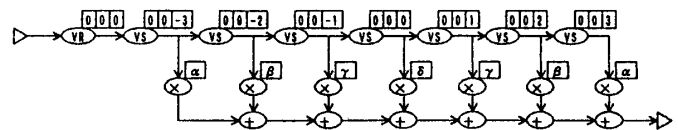


図3 はしご型データフローグラフ(DF1)

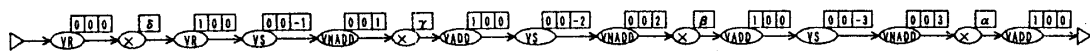


図4 完全パイプライン型データフローグラフ(DF2)