

マルチプロセッサシステムにおける高速データ転送方式

5M-3

福田正春 小室浩

(株) 東芝 情報処理・機器技術研究所

1. はじめに

プロセッサとメモリ間のボトル・ネックについては従来から議論されている。最近のプロセッサ単体の性能向上に加えマルチプロセッサ構成時のプロセッサ台数の増加(例えば、4台から8台へ)により、プロセッサ結合方式はシステム全体の性能を左右するさらに重要なポイントになってきている。

本稿では、バス接続とクロスバースイッチを併用する高度産業用コンピュータVL2060のシステム制御部について報告する。

2. システム構成とクロスバースイッチ

図1に対称型密結合マルチプロセッサVL2060のシステム構成を示す。システムの要であるシステム制御部SCUには、4ポートが準備されている。ポートは主メモリに対して3×1のクロスバースイッチの構成になっている。各ポートからは次のバスが出力されている。

1. 主メモリ装置MEM用メモリバス1本
2. 演算プロセッサACP用ACPバス2本
3. 分散入出力プロセッサDCPが接続されるGバスの制御部GBU用1ポート

増設が必要な主メモリとプロセッサの接続にはバス方式を採用して、クロスバースイッチの欠点(最少システムでも最大構成時に合わせたハードウェアが必要)を補うようにした。

両バスのサイクルタイムはTTLインタフェースであること考慮して設定し、電気的負荷を考慮してスロット数は4に限定した。4枚の主メモリ装置MEMには、32MB~2GBの実装容量があり十分と考えられる。主メモリ装置のインターリーブ数は、バスのサイクルタイムとDRAMのサイクルタイムの関係からレスポンスタイムが最適になる4ウェイにした。

マルチプロセッサの台数を8台までサポートするためにACPバスは2本にした。ACPバスは、従来のスプリット方式を採用した。

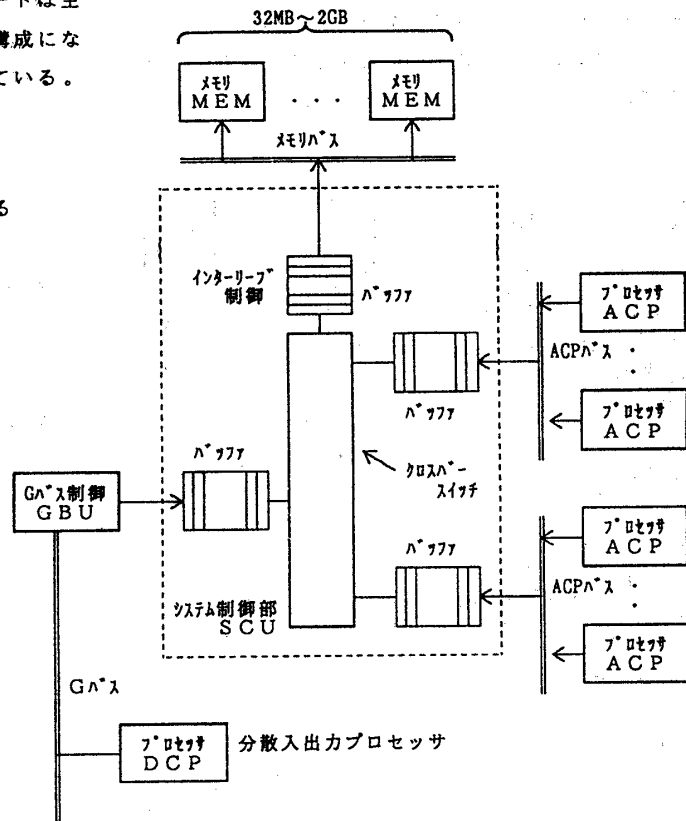


図1. システム構成図

3. クロスバースイッチの実現

3.1 主メモリ読み出しデータ転送制御

図1の様に各ポートのサイクルタイムが同じ、かつ、メモリ側ポートが一つの場合は、主メモリからの読み出しデータ(図中矢印の逆方向の流れ)はクロスバースイッチ内でオーバーフローすることは無い。

しかし、図2の様にメモリ側をマルチポート(2以上 図2は4ポートの例である)にすると、ある一つのプロセッサ側ポートへ同時に2レスポンス以上返ってくることもある。プロセッサ側ポートからの排出は1サイクルに1レスポンスのため何らかの制御によりオーバーフローを防ぐ必要がある。その制御方法として次の三つがある。

1. メモリ側ポートから出力される読み出要求を制御する。
2. クロスバースイッチ内でバッファリングする。
3. プロセッサからの読み出し要求を制限する。

1. は各メモリ側ポート間での制御が複雑になる、2. はバッファが膨大になる欠点がある。3. はプロセッサにビジー信号で要求を制限出来るので現実的である。具体例を図3に示す。

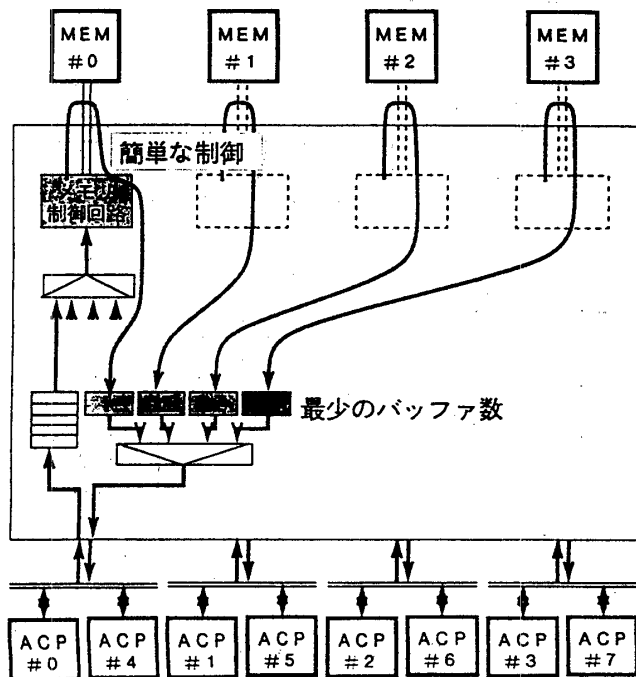


図2. 主メモリ側マルチポート・クロスバースイッチ

4. おわりに

バス方式とクロスバースイッチ方式を併用する結合・転送方式について述べた。今後、主メモリ側がマルチポートのクロスバースイッチへの評価を進めていく。

参考文献

- 1) 金城守茂, 平岡孝, 石川禎, 福田正春  
「バス結合型マルチプロセッサにおける  
バス制御方式」  
情報処理学会第41回(平成2年後期)全国大会

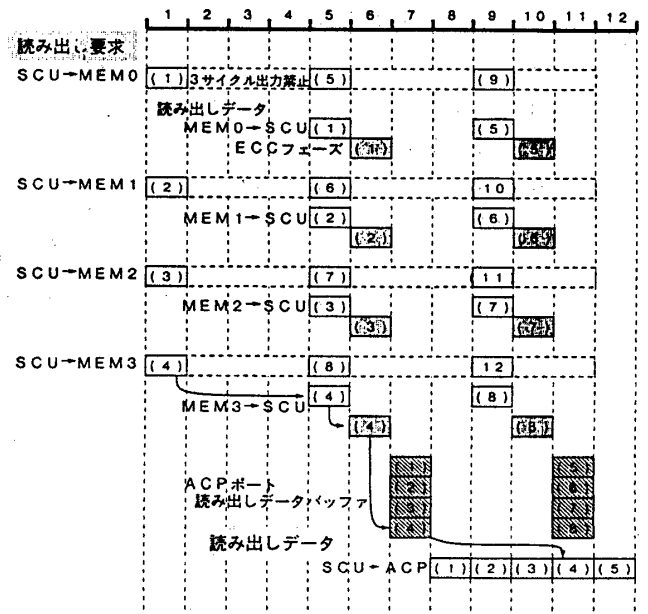


図3. 主メモリ読み出しデータ転送