

ベクトル合成モデルによる集積回路遅延特性のワーストケース解析

藤田 智弘[†] 小野寺 秀俊[†]

CMOS 集積回路の遅延時間の統計解析モデルとしてベクトル合成モデルを提案する。このモデルはプロセスばらつきの要因と遅延時間の関係をモデル化する。セルの遅延時間がトランジスタの電流特性に強く依存することを利用し、セルの遅延ばらつきを特長づける 1 次係数ベクトルを導入する。経路の遅延時間のモデルはこのベクトルを合成することで求めることができる。ベクトル合成モデルは簡単な構造を持つため、シミュレーションコストを抑えることができる利点を持つ。実験ではベクトル合成モデルを使ったワーストケース解析を行った。SPICE を使ったモンテカルロによるワーストケースと比べ誤差は 5%程度であり、従来手法のトランジスタの電流特性のワーストケースを使った解析の 25%と比べて良い精度で解析を行えた。

Statistical Delay Calculation with Vector Synthesis Model

TOMOHIRO FUJITA[†] and HIDETOSHI ONODERA[†]

A statistical delay model for CMOS digital circuits called "vector synthesis model" is proposed. The model provides a relationship between process random variables and a digital circuit path delay. A first order coefficient vector (FOCV), which characterizes the drain current of a transistor, is introduced as a characteristic parameter of the cell delay. The circuit path delay is modeled by synthesizing a FOCV of the path using the FOCVs of the cells constituting the path. The simple structure of the vector synthesis model enables the reduction of simulation cost for a statistical analysis. The accuracy of the vector synthesis model has been verified experimentally. The deviation of the worst case delay from the result by SPICE Monte Carlo analysis is around 5%, whereas that of an usual corner (slow-slow and fast-fast) analysis is as high as 25%.

1. はじめに

近年の半導体集積回路の製造プロセスの微細化や電源電圧の低下により、回路特性のばらつきが顕著な問題となっている。デジタル回路においてはタイミング検証において、ばらつきを考慮に入れた遅延時間の見積りを正確に行う必要がある。

従来、このようなばらつきを考慮した解析方法としてモンテカルロ解析¹⁾がある。これは、変動の要因となる物理特性の統計的分布をもとにシミュレーションモデルパラメータを変化させ、シミュレーションを行う。実際の物理特性の分布特性(分散, 相関)を正確に反映したシミュレーションが行える反面シミュレーションコストが重要な問題になる。つまり、モンテカルロ解析の精度はシミュレーション回数に依存し、十分な精度の解析を行うには少なくとも 100~1000 回のシミュレーションが必要である。

このような問題からより少ないシミュレーションコストによる方法が検討されてきた^{1)~4)}。一般的に簡便であるという理由から、よく用いられる方法にワーストケース解析(コーナ解析)がある。この方法はトランジスタの電流特性をもとに遅延時間の「速い」、「遅い」の 2 通りの場合を決定し回路シミュレータのモデルパラメータ(ワーストケースパラメータ)として用意しておくものである。それぞれのパラメータにおけるシミュレーション結果を最悪のケースとしてばらつきの量を推定する(以下、この手法を電流特性のワーストケース解析と呼ぶ)。

実際の製造の現場においては、この方法がよく用いられるにもかかわらず、ワーストケース解析はモンテカルロ解析で得られるばらつき量と比較して、精度が悪い。ここで従来手法の解析例を通して、この方法の問題点を確認し、本論文において取り組むべき点を明確にする。

例として図 1 に示した 4 bit 加算回路の桁上げ信号の遅延時間を取り上げ、ワーストケース解析およびサンプル数 1000 のモンテカルロ解析を適用した例を図 2

[†] 京都大学大学院情報学研究所通信情報システム専攻
Department of Communications and Computer Engineering, Kyoto University

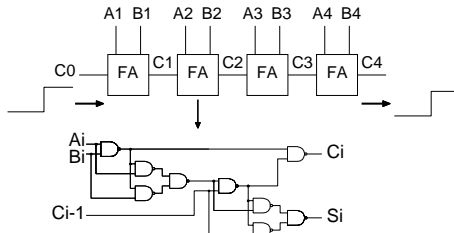


図 1 4 bit 加算回路

Fig. 1 4 bit adder circuit.

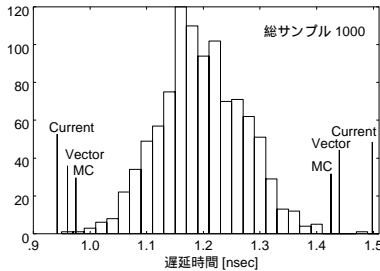


図 2 4 bit 加算回路の遅延時間の分布とワーストケース値

Fig. 2 Histogram of the 4 bit adder circuit carry delay and its worst-case values.

示す．図 2 にはモンテカルロ解析を適用し平均から標準偏差の 3 倍の位置を「MC」，電流特性のワーストケース解析の結果を「Current」としている．モンテカルロ解析から求められるワーストケース値と電流特性によるそれとの間に差があることが分かる．モンテカルロ解析の結果は精度的に十分と考えられるので，ワーストケース解析の精度に問題があることになる．

この問題の原因はワーストケースパラメータが経路の遅延のワーストケースを十分に表していない点にある．このことは単独のセルの遅延のワーストケースでは経路のワーストケースにはならないことを意味している．つまり信号経路中に立ち上がり，立ち下がり混在するワーストケースを，従来手法の PMOS と NMOS の電流特性のワーストケースの単純な組合せでは表現できないのである．そこで，セルの遅延特性を使って経路のワーストケースを求める方法を見つける必要がある．

本論文の目的は，この従来手法の精度の問題点を克服し，少ないシミュレーションコストで正確に遅延時間の統計解析を行うことにある．方法としてはセルの遅延特性とトランジスタの電流特性の関連から，ばらつきの原因となる物理パラメータと遅延量を結び付ける簡潔な遅延特性モデル（ベクトル合成モデル）を提案し，このモデルを使って遅延時間の統計的分布を求める．

本論文の構成を述べる．2 章ではワーストケースを決定する 1 次係数ベクトルという概念を導入する．3 章では 1 段構成のセルの遅延時間がトランジスタの電流特性に影響を受けることから 1 次係数ベクトルに共通な性質を仮定として導く．4 章では経路の遅延を 1 次係数ベクトルの合成で表現するベクトル合成モデルを提案する．5 章では以上で述べた理論に対する検証ならびに従来手法の電流特性によるワーストケース解析の誤差を定量的に評価する．

2. ワーストケース解析と 1 次係数ベクトル

ワーストケースを見出す手法については種々の方法が提案されている．ここでは，文献 2) により提案されている，プロセスばらつきを統計的分布（相関も含めて）に基づき現実起こりうる可能性を考慮したワーストケース抽出手法を用いることにする．

まずプロセスの変動のもととなる物理量——たとえば T_{ox} , V_{th} , ΔL , ΔW など——を変動変数と定義し，これを n 次元変動変数空間中のベクトル $x = (x_1, x_2, \dots, x_n)^T$ で表す．また，変動変数の分布関数（確率密度関数）を既知のものとし $pdf(x)$ とする．回路の入力から出力までの遅延時間 t_d を，変動変数の関数と仮定して，これに近似することを考える．このような近似により得られる関数の曲面を応答曲面⁵⁾と呼ぶ．応答曲面関数を rsm とすると，

$$t_d = rsm(x). \quad (1)$$

式 (1) の応答曲面をもとに，回路特性の平均値 μ_{t_d} ，標準偏差 σ_{t_d} を求める．これらはモンテカルロ解析を行うことで得ることができる．ここで， $pdf(x)$ をもとに，式 (1) を使って遅延値を得ることができるので，モンテカルロ解析はシミュレーションコストを費やさずに計算できる．

ワーストケース値 t_d^{wc} は以下のように書ける．

$$t_d^{wc} = \mu_{t_d} + wk\sigma_{t_d} \quad (2)$$

ここで， w は遅延量が最も大きい（遅い）場合 $+1$ ，最も少ない（速い）場合 -1 をとる．また， k はワーストケースの平均値 μ_{t_d} からの距離を標準偏差 σ_{t_d} を基準に表す．たとえば，正規分布を仮定した場合 $k = 3$ で約 99.7% の出現確率を表す点をワーストケースとして選ぶことになる．

ワーストケースは，式 (2) のワーストケース値をとる最も確率の高い場合と定義できる．したがって，ワーストケースを求める問題は以下のように定式化で

本論文ではベクトルは列ベクトルで表記する．また，その転置ベクトルは \cdot^T という記法を用いる．

きる。

$$\begin{aligned} & \max_{\mathbf{x}} \text{pdf}(\mathbf{x}) \\ & \text{subject to } t_d^{\text{wc}} = \text{rsm}(\mathbf{x}) \end{aligned} \quad (3)$$

この式 (3) のワーストケースを求める最適化問題は幾何学的には次のように考えることができる。すなわち、 $t_d^{\text{wc}} = \text{rsm}(\mathbf{x})$ なる応答曲面の等高面が確率密度関数の等確率密度面と接するとき、その接点がワーストケースである。

ここで、さらに議論をすすめるために、遅延時間の応答曲面モデルを単純化して 1 次式の場合を考える。通常、変動変数空間で考慮する領域は狭く、1 次の応答曲面で十分な場合が多い。応答曲面は次式のように書ける。

$$\begin{aligned} t_d &= \text{rsm}(\mathbf{x}) \\ &= b_0 + b_1x_1 + b_2x_2 + \dots + b_nx_n \\ &= b_0 + \mathbf{b}^T \mathbf{x} \end{aligned} \quad (4)$$

ここで $b_0, \mathbf{b} = (b_1, b_2, \dots, b_n)^T$ は 1 次の応答曲面モデルの回帰係数である。このベクトル \mathbf{b} の幾何学的な意味は、応答曲面の法線ベクトルを変動変数空間へ下ろした射影ベクトルである。また、このベクトルに対して垂直な変動空間中の平面が、応答曲面の等高面である。すなわち、ベクトル \mathbf{b} は変動変数空間において遅延時間の変動方向を示している。以上を図 3 に示す。

1 次の遅延応答曲面モデルの場合 $t_d^{\text{wc}} = \text{rsm}(\mathbf{x})$ なる等高面は平面となり、確率密度関数との接点 (ワーストケース) は、確率密度関数の形状とこの平面の法線ベクトル \mathbf{b} の方向により決まる。つまり、セル、組合せ回路のワーストケースの変動変数空間中の位置を

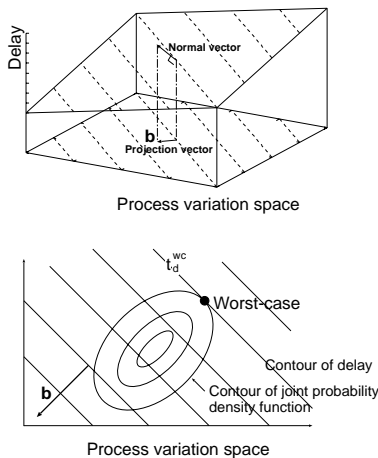


図 3 応答曲面, 1 次係数ベクトル, ワーストケース

Fig. 3 Geometrical relation among a response surface, a first order coefficient vector, and a worst-case.

議論するには、このベクトルの方向を論ずればよい。

以上の議論から、ワーストケースの変動変数空間上の位置を決定づけるものとして、ベクトル \mathbf{b} は重要な役割を果たす。そこで、本論文ではこのベクトルを 1 次係数ベクトルと呼ぶことにする。

3. セルの遅延特性のワーストケースと応答曲面

この章では CMOS の 1 段構成のセルの遅延のワーストケースについて考察する。ここで 1 段構成の定義は、図 4 のように NMOS と PMOS のブロックが出力ノードで結合した構成とする。

組合せ論理回路のセルの遅延時間は、出力に付加する負荷の容量成分に対する充放電に要する時間と考えることができる。図 4 から分かるように、立ち上がり時は容量に対して充電が必要であり、通常の CMOS LSI の動作では、PMOS のドレイン電流により電荷が供給される。逆に立ち下がり時は、容量の放電が行われ、NMOS のドレイン電流がこれに関与する。このことから、遅延特性は立ち上がりと立ち下がり、それぞれ PMOS と NMOS のトランジスタの電流特性と密接な関係がある。すなわち、1 段構成のセルの遅延時間のワーストケースは、PMOS と NMOS のトランジスタの電流特性のワーストケースで近似できると考えられる。

1 段構成のセルの種類、入力波形の過渡時間、負荷の容量などの条件が変化すると、遅延特性も変化する。しかし、これらの条件が変化しても、遅延特性のワーストケースがトランジスタの電流で決定されることには変わりがない。よって、種々の条件でも、セルの遅延時間には共通のワーストケースが存在すると考えられる。

別の見方をすると、共通のワーストケースを持つということは、2 章で導入した 1 次係数ベクトルの向きが共通であるということである。そして、種々の条件により遅延時間が変化するという点は 1 次係数ベク

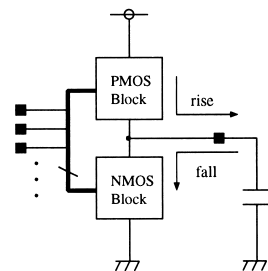


図 4 1 段 CMOS 論理セル

Fig. 4 1 stage CMOS logic cell.

トルの向きではなく大きさが変化するというのである．以上をまとめて次の仮説 1 とする．

仮説 1

1 段構成のセルには，そのセルの種類，入力波形の立ち上がり，立ち下がり時間，負荷容量にかかわらず，共通の 1 次係数ベクトルの向きを持つ．

立ち上がり時，立ち下がり時で PMOS，NMOS のワーストケースに近似されるため，2 通りの共通の 1 次係数ベクトルの向きが存在する．ここで，立ち上がり方向の単位ベクトルを e_r ，立ち下がり方向の単位ベクトルを e_f と表す．

これらのベクトルを用いると式 (4) は，立ち上がり t_{dr} ，立ち下がり t_{df} でそれぞれ

$$t_{dr} = b_{0r} + b_r \cdot e_r^T x, \quad t_{df} = b_{0f} + b_f \cdot e_f^T x \quad (5)$$

となる（ここで $b_{\{r,f\}} = |b|$ ）．

なお，立ち上り遅延時間は PMOS の電流特性により支配されていることからその変動方向を示すベクトル e_r は PMOS の変動要因の成分が支配的となる．同様にベクトル e_f は NMOS の変動要因の成分が支配的である．したがって，今考えている変動変数空間では e_r と e_f は，ほぼ直交していると考えられる．すなわち，

$$e_r^T e_f = 0$$

である．この性質は 4 章で述べる応答曲面の合成に必要な実験計画に利用することができる．

4. 応答曲面の合成

3 章は簡単な 1 段構成のセルのワーストケースから，1 次係数ベクトルがどのようになるかを考察した．より複雑なセル，組合せ回路になると，信号経路上に立ち上がり，立ち下がりが複数交じり合うことになる．このような場合のワーストケースは今までの単純なトランジスタの電流によるワーストケースでは解析できなくなる．

ワーストケースがどのようになるかを調べるために，経路の遅延時間の応答曲面を考える．これは，1 段ごとに応答曲面を求めておき，それらをたし合わせることで求めることができる．遅延時間の対象となる経路上に信号が立ち上がる 1 段構成のセルが m_r 個，立ち下がりが m_f 個あるとする．個々のセルの応答曲面の式 (5) の係数 b_0 ， b_r ， b_f を添字 $\{1, \dots, m_r\}$ ， $\{1, \dots, m_f\}$ をつけて表す．経路の遅延は，以下のよ

e_r が PMOS の変動成分のみを持ち， e_f が NMOS の変動成分のみを持つ場合には，両者の内積は 0 となる．すなわち e_r と e_f は直交している．

うに表される．

$$t_d = \sum_{i=1}^{m_r+m_f} b_{0i} + \sum_{i=1}^{m_r} b_{ri} \cdot e_r^T x + \sum_{i=1}^{m_f} b_{fi} \cdot e_f^T x$$

$$= \alpha_0 + \alpha_r \cdot e_r^T x + \alpha_f \cdot e_f^T x \quad (6)$$

$$= \alpha_0 + (\alpha_r \cdot e_r^T + \alpha_f \cdot e_f^T) x \quad (7)$$

ここで，

$$\alpha_0 = \sum_{i=1}^{m_r+m_f} b_{0i}, \quad \alpha_r = \sum_{i=1}^{m_r} b_{ri}, \quad \alpha_f = \sum_{i=1}^{m_f} b_{fi}. \quad (8)$$

1 段構成の応答曲面は式 (5) のように， e_r ， e_f の 2 方向のベクトルのどちらかで表されるため，和はやはりこれらのベクトルの線形結合で表される．その意味で新しく提案する応答曲面のモデルをベクトル合成モデルと呼ぶ．

なお，式 (7) より 1 次係数ベクトルは $\alpha_r \cdot e_r + \alpha_f \cdot e_f$ となるため， e_r ， e_f と異なる方向を向いており，ワーストケースもこれらから求められるものとは別ものになる．この理由により従来の電流特性（1 段構成のセル）のワーストケースをもって経路のワーストケースとする方法では誤った結果をもたらすことが分かる．

式 (6) で未知のものは α_0 ， α_r ， α_f である．ここでは，いくつかの x に対して遅延値 t_d をシミュレーションにより求め，回帰を行うことでこれらの値を求める．

回帰で重要な点は，精度の良い回帰を行うには，直交計画を行う必要があるということである．直交計画で必要なシミュレーション回数は，説明変数の数に依存し，変数が増えるほど増加する．提案モデルは変動変数の数ではなく，共通する 1 次係数ベクトルの向きの数（2 個）によるため，シミュレーションコストは大幅に削減できる．

表 1 に直交計画の例を示す． $e_{\{r,f\}}^T x = \pm 1$ を満たす x は， $|e_r| = |e_f| = 1$ ， $e_r^T e_f = 0$ なる関係を使うことで容易に求めることができる．これを，表 1 にあわせて示す．

このように提案モデルを使うことで使用するトラン

表 1 直交計画

Table 1 Factorial design.

No.	$e_r^T x$	$e_f^T x$	x
1	1	1	$e_r + e_f$
2	1	-1	$e_r - e_f$
3	-1	1	$-e_r + e_f$
4	-1	-1	$-e_r - e_f$
5	0	0	0

ジスタモデルの複雑さに依存せず、少ないシミュレーションコストで解析できるのは、本手法の大きな利点である。

以上ベクトル合成モデルを使ったワーストケース解析手法をまとめる。

- (1) 表 1 の x の欄に従って変動変数 x を生成、これらのベクトルに対応する遅延時間を求める。
- (2) 式 (6) のモデルに対して回帰を行う。
- (3) 得られた応答曲面を使ってモンテカルロ解析を行う。モンテカルロ解析の結果からワーストケース値(たとえば平均から標準偏差の 3 倍はなれた値)を求める。

5. 実験

ここまで述べてきたワーストケース解析手法の有効性を検証する実験を行った。まず、解析に使うトランジスタのばらつきモデルの生成法について 5.1 節で述べる。3 章で述べた仮説 1 の検証を 5.2 節で行った。次にベクトル合成モデルを使ったワーストケース解析の実験を 5.3 節で行った。最後に 5.4 節において従来の電流特性によるワーストケースの誤差を定量的に評価した。

5.1 中間モデルによるトランジスタ統計パラメータ抽出

実験で使用した MOS トランジスタのパラメータのばらつきモデルについて説明する。

通常のパラメータ抽出手法⁶⁾では、多数のサンプルから抽出した SPICE モデルパラメータをもとに多変量解析の手法である主成分分析⁷⁾を行い、ばらつきのパラメータを作成する。この方法では、ばらつきの要因として選ばれる主成分は物理的な意味を失う。

我々の用いた手法は、ばらつきの原因となる物理的な要因を選び、これをモデルパラメータのばらつきと結び付けることで、物理的な意味のつかめるばらつきパラメータを作成した。具体的な手法としては、中間モデルを使った統計的トランジスタモデル抽出法を使った⁸⁾。この方法は、まず中間モデルと呼ばれる簡単な構造のトランジスタモデルのパラメータを抽出する。そのパラメータと物理的変動要因を重回帰分析により関係づける。さらに中間モデルのパラメータを所望の SPICE パラメータに変換することで、物理的要因をもとにした、SPICE のばらつきパラメータを生成する。

今回使用したモデルは、物理的な変動の要因として ΔL , ΔW , T_{ox} , V_{th} , R_{sh} を選んでいる。したがって変動変数は NMOS, PMOS で 10 個存在する。なお、

使用した SPICE のトランジスタモデルは Level28 である。パラメータの抽出は $0.6 \mu\text{m}$ プロセスに対して行った。

5.2 1 次係数ベクトルの方向

ここでは、3 章でたてた仮説 1 に対する検証を行う。1 段構成の種々のセルや、負荷の大きさや、入力波形の過渡時間を変化させ、1 次係数ベクトルの向きがどのようになるかを調べる。

実験に用いたセルライブラリは該当プロセスで実際の設計に用いられているものである。1 次係数ベクトルの向きを、セルライブラリ中の 1 段構成のセルについて調査した。対象となるセルはインバータ, nand, nor (nand, nor については 2~4 入力まで), And-Or-Inverter, Or-And-Inverter(複合ゲート)があり、それぞれのパワーセルもこれに含まれる。また、セルの入力端子が複数ある場合、これらすべてからの遅延を測定している。

上記のセルに対して容量、入力波形の立ち上がり、立ち下がり時間を変化させる。これらの条件の決定方法を説明する。ベンチマーク回路 8 回路に対して 4 種類の制約条件で合成を行った結果から負荷容量、入力波形の遷移時間の分布を調べる。分布のパーセント点(percentile)が 5~95%の範囲を重点的に調べることにした。具体的には容量 0.05, 0.1, 0.15, 0.2, 0.4, 2.0 pF, 立ち上がり, 立ち下がり時間は 0.02, 0.5, 1.0 ns としてそれぞれの組合せで 1 次係数ベクトルの向きがどのように変化するかを調べた。評価の方法はすべての 1 次係数ベクトルの平均のベクトルを計算し、このベクトルからのずれを計測する。

結果のヒストグラムを図 5 に示す。分布のパーセント点は立ち上がりが 75%で 11.55° , 90%で 14.24° , 同じものが立ち下がりでは 7.7° , 10.5° であった。ばらつきは見られるもののほぼ立ち上がりと立ち下がりで同一方向を向いていることが分かる。なお、これらの誤差がベクトル合成モデルを使った回帰にどの程度影響を及ぼすかはこの時点では評価できない。したがって、より詳細には実際の経路の遅延のベクトル合成を通じて精度を評価すべきと考える。

以後、共通の 1 次係数ベクトルの向きを持つ単位ベクトル e_r , e_f として、この実験で基準としたすべての条件における 1 次係数ベクトルの平均の向きを持つ単位ベクトルを選ぶことにする。なお先に仮定した $e_r^T e_f = 0$ の関係であるが、今回選んだもので -0.07 であり、ほぼ直交している。

5.3 応答曲面の合成とワーストケース解析

5.2 節では 1 段のみで構成されるセルを取り扱った。

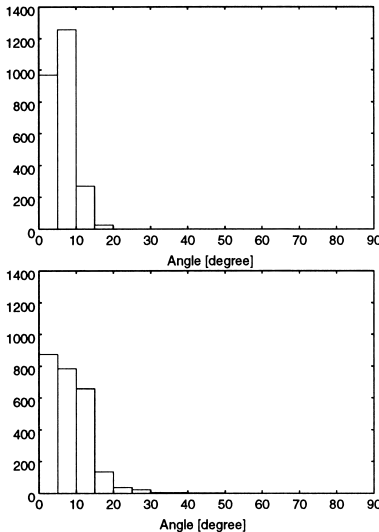


図 5 平均ベクトルからのずれの分布

Fig. 5 Distribution of the discrepancy between first order coefficient vectors of standard cells and their average vector.

表 2 ベンチマーク回路のクリティカルパス
Table 2 Critical paths of benchmark circuits.

C5315 遅延最小	AOI21P, AOI22P, BUF8, INV2, INV3, INV4 (5), NAND2P (17), NAND2P4, NAND3P, NOR22P
C5315 面積最小	AOI21 (2), AOI22, BUF1, INV1 (2), NAND2 (18), NAND22 (6), NOR2
alu4 遅延最小	AOI21P, AOI22P, BUF8, INV2, INV4 (3), NAND2P (4), NAND4P (2), NOR2P (3)
alu4 面積最小	AOI21 (2), AOI22, INV1 (4), NAND2 (3), NAND3, NOR2 (2), NOR33

かっこ内の数字はセルの数を表す。

次にこの節において、2 段以上のセルにおいて式 (6) のベクトル合成モデルによるワーストケース解析を試みる。

対象とする回路は 4 bit 加算回路の桁上げ信号の遅延 (図 1) およびベンチマーク回路として 2 種類の回路から、それぞれ面積最小と遅延最小の 2 種類の制約条件で合成した回路のクリティカルパスを取り上げる。回路とクリティカルパスの構成を表 2 に示す。

4 章の手順に従い、応答曲面の生成、ワーストケース解析を行った。生成した応答曲面の精度を表す重相関係数はいずれも .999 以上の値であった。この値は応答曲面とシミュレーションの結果の相関を示す数値であり、1 に近いほど応答曲面の精度が良いことを示す。いずれの場合も精度の良い応答曲面が描けている。

ここで、4 bit 加算回路で、SPICE と応答曲面をそれぞれ用いてサンプル数 1000 のモンテカルロ解析を

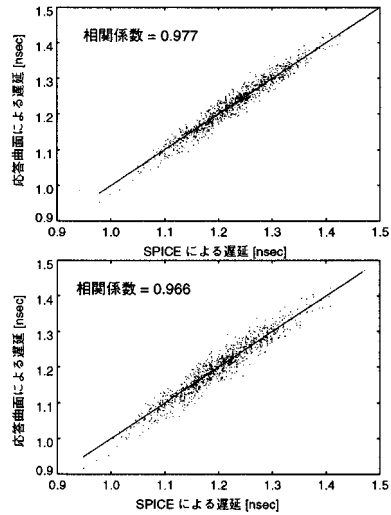


図 6 SIPCE と応答曲面に遅延時間の散布図

Fig. 6 Scatter plot of the delay calculated by SIPCE and RSM.

表 3 ワーストケース値の比較

Table 3 Comparison of the worst-case values calculated by SPICE, vector synthesis model and transistor current characteristic.

セル		SPI [ns]	vct [ns]	電流 [ns]	E_v [%]	E_c [%]
4 bit adder	slow	1.44	1.45	1.51	5.4	22.7
	rise	fast	1.00	.99		
4 bit adder	slow	1.43	1.44	1.50	6.7	24.4
	fall	fast	.98	.96		
C5315 遅延最小	slow	5.79	5.82	6.07	4.1	25.5
	fast	4.15	4.12	4.01		
C5315 面積最小	slow	14.9	14.9	15.6	1.2	23.2
	fast	10.7	10.7	10.4		
alu4 遅延最小	slow	3.63	3.65	3.79	4.0	25.2
	fast	2.62	2.60	2.53		
alu4 面積最小	slow	16.6	16.6	17.3	0.3	21.3
	fast	12.0	12.0	11.7		

SPI : SPICE , vct : ベクトル合成モデル , 電流 : 電流ワーストケース

行った。その結果の散布図を図 6 に示す。この図からも精度の良い近似が行われていることが確認できる。

以上で得られた応答曲面をもとに、ワーストケース解析を行った。この結果を表 3 に示す。比較のため、SPICE を使ったモンテカルロ解析より得られるワーストケース値 (表中, SPI), 電流特性のワーストケースパラメータを使う従来手法によるワーストケース値 (同, 電流) を、提案手法 (同, vct) とともに示している。表 3 の SPICE とベクトル合成モデルはモンテカルロ解析の結果を使って平均から標準偏差の 3 倍の値をワーストケースとしている。ただし、モンテカルロ解析はいずれもサンプル数 1000 である。また、こ

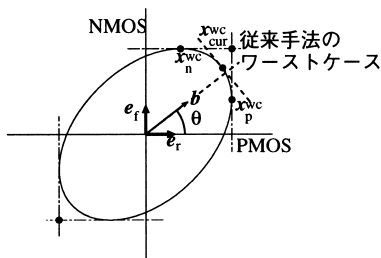


図 7 トランジスタ電流特性のワーストケース

Fig. 7 Worst-cases with the conventional transistor current model.

ここでいう従来手法のワーストケースとは 1 章で用いたものと同じものである。すなわち、電流特性を表す単位ベクトル e_r, e_f をもとに、NMOS, PMOS それぞれのパラメータが「速い」「遅い」のケースをとる場合を組み合わせで作られる。このワーストケースを図 7 に示す。

SPICE を基準としてベクトル合成モデル、電流特性の誤差を計算して表中に示した (E_v と E_c)。ここで誤差 E は、対象とするワーストケースの範囲を r 、SPICE によるワーストケースの範囲を r_{SPICE} とすると、

$$E = \frac{|r_{SPICE} - r|}{r_{SPICE}} \quad (9)$$

で定義する。表よりベクトル合成モデルで 5% 程度、電流特性で 25% 程度の誤差が存在する。ベクトル合成モデルが従来手法に比べて良い精度が得られている。

1 章で示した例は、ここでの 4bit 加算回路の立ち上がりの遅延時間の解析結果である。図 2 のヒストグラムに、ベクトル合成モデルによるワーストケース値を「Vector」として示す。この図からも、ベクトル合成モデルのワーストケースの妥当性が示されている。

5.4 電流モデルとベクトル合成モデル

5.3 節の実験で、従来手法の電流特性のワーストケースが精度の面で問題があることが分かった。そこで、提案するベクトル合成モデルを用いて、従来手法でどの程度の精度で解析が可能であるかを考察する。

図 7 のワーストケース x_{cur}^{wc} を考える。図 7 は PMOS, NMOS の電流特性の 1 次係数ベクトル e_r, e_f が張る空間を示している。今 PMOS の電流のワーストケースを考えると PMOS の 1 次係数ベクトルの向きは e_r であることから図 7 の x_p^{wc} の位置となる。NMOS も同様に考えワーストケースは x_n^{wc} となる。従来手法では PMOS, NMOS のワーストケースを組み合わせで電流特性のワーストケースとしていた。これは図 7 から、 x_p^{wc} の e_r 方向への射影成分と x_n^{wc} の

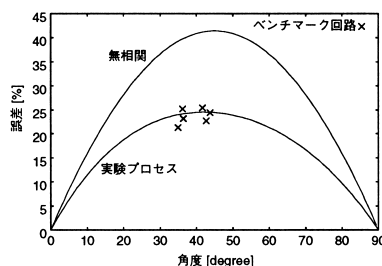


図 8 電流モデル (従来手法) の誤差

Fig. 8 Discrepancy between current model and vector model.

e_f 方向への射影成分の和になるから次式で表される。

$$x_{cur}^{wc} = (x_p^{wc T} e_r) e_r + (x_n^{wc T} e_f) e_f \quad (10)$$

変動変数の分布に正規分布を仮定すると等確率密度面は楕円になり、応答曲面の接点から x_p^{wc}, x_n^{wc} を計算することができる。また、ワーストケース値も応答曲面から求めることができる。今、図 7 のように e_r-e_f 平面内で遅延特性の 1 次係数ベクトル b が e_r となす角を θ とすると、誤差として定義した式 (9) は θ の関数で書き表すことができる。誤差は等確率密度面である楕円の形状にも依存する。楕円の形状は変動変数の相関行列により決まるので、いいかえると誤差は相関行列に依存する。そこで、先の実験で使用しているプロセスの相関行列をもとに計算した結果を図 8 の「実験プロセス」で示す。図中には 5.3 節のベンチマーク回路による実験結果もあわせて示した。

図 8 から、5.3 節の実験結果が、今回の計算結果とも一致することが確認できた。また、最大約 25% の誤差が生じる可能性があることも分かる。

先にも述べたように誤差は変動変数の相関行列に依存する。そこで相関行列として 2 つの極端な場合—PMOS と NMOS の変動変数間に相関のない場合と強い相関がある場合—を考える。

無相関の場合両者の差は最大になることが図 7 から予想される。このときの様子を先の方法と同様に計算し図 8 に「無相関」として示す。この場合最大約 40% の誤差が生じることが分かる。

次に、強い相関を持つ場合では電流モデルのワーストケースと真のワーストケースの差は縮まる。完全に相関を持つ場合両者の差はなくなり、ワーストケースの値は完全に一致する。

以上をまとめると PMOS と NMOS のプロセス間に強い相関を持つ場合、従来手法と提案手法の精度面での差は小さくなる。一方、相関が弱くなるにつれて両者の差が広がる。実験プロセスを用いた誤差の計算からは、従来手法のワーストケースの誤差が無視でき

るとはいえない。このことから、提案手法による解析が現実の問題では有効であると考えられる。

6. ま と め

本論文では、1 段構成のセルの遅延がトランジスタの電流特性で近似できることに着目し、各セルの遅延時間を特徴づける 1 次係数ベクトルがほぼ同じ方向を向いていることを見出した。すなわち、ワーストケースを決める立ち上がり、立ち下りの 2 つの直交する 1 次係数ベクトルが存在する。そして、このベクトルの線形結合により組合せ論理回路の遅延時間の応答曲面（ベクトル合成モデル）を構成できた。このモデルから遅延時間のワーストケースとワーストケース値をシミュレーションコストをかけず精度良く求めることができた。

また、ベクトル合成モデルと従来の電流特性のワーストケースの比較により、従来手法では、誤ったワーストケース値を導き出すことを示した。この従来手法の誤差を定量的に見積もると、プロセスばらつき（変動変数）の相関に依存し、無相関時で最大 40%、実験プロセスで最大 25%であった。

今後の課題として、ベクトル合成モデルの、テーブル参照モデル（Table Look-up Model）による遅延計算への適用が考えられる。現在、式 (6) のベクトル合成モデルの未知変数 $\alpha_0, \alpha_r, \alpha_f$ をシミュレーション結果から回帰により求めている。これに代わり、式 (8) の個々のセルごとの係数 (b_{0i}, b_{ri}, b_{fi}) をテーブルを利用することで求め、これを足し合わせることでこれらの未知変数を求める。つまり、式 (8) の計算に必要なセルごとの係数を、負荷容量と入力波形の遷移時間に対するテーブルとして用意しておくのである。ベクトル合成にシミュレーションを行う必要がなくなり、より大規模な回路への適用が可能である。

謝辞 本研究の一部は、文部省科学研究費補助金基盤研究 (B) 11555095 および学振未来開拓学術研究推進事業研究プロジェクトの援助による。

参 考 文 献

- 1) Spence, R. and Soin, R.S.: *Tolerance Design of Electronic Circuits*, Electronic Systems Engineering Series, Addison-Wesley Publishing Company (1988).
- 2) Dharchoudhury, A. and Kang, S.M.: An Integrated Approach to Realistic Worst-Case Design Optimization of MOS Analog Circuits, *ACM/IEEE Design Automation Conference*,

pp.704-709 (1992).

- 3) Aftab, S.A. and Styblinski, M.A.: A New Analytical/Iterative Approach to Statistical Delay Characterization of CMOS Digital Combinational Circuits, *International Journal of Circuit Theory and Applications*, Vol.23, No.1, pp.23-47 (1995).
- 4) Jyu, H.-F. and Malik, S.: Statistical Delay Modeling in Logic Design and Synthesis, *ACM/IEEE Design Automation Conference*, pp.126-130 (1994).
- 5) Box, G.E.P. and Draper, N.R.: *Empirical Model-Building and Response Surfaces*, John Wiley & Sons (1987).
- 6) Chen, J. and Styblinski, M.A.: A Systematic Approach of Statistical Modeling and Its Application to CMOS Circuits, *IEEE Inter. Symp. on Circuits and Systems*, pp.1805-1808 (1993).
- 7) 奥野忠一, 久米 均, 芳賀敏郎, 吉澤 正: 多変量解析法, 日科技連出版 (1981).
- 8) 近藤正樹, 小野寺秀俊, 田丸啓吉: 中間モデルを用いた MOSFET の統計的モデル化手法, *電子情報通信学会論文誌 A*, Vol.J81-A, No.11, pp.1555-1563 (1998).

(平成 11 年 9 月 20 日受付)

(平成 12 年 2 月 4 日採録)



藤田 智弘

1967 年生。1991 年京都大学工学部卒業。1993 年同大学大学院工学研究科電子工学専攻修士課程修了。同年三菱電機 (株) 入社。現在京都大学大学院情報学研究所通信情報システム専攻博士後期課程在学。LSI の設計手法, LSI 用 CAD の研究に従事。1998 年電子情報通信学会学術奨励賞受賞。電子情報通信学会会員。



小野寺秀俊 (正会員)

1978 年京都大学工学部電子工学科卒業。1983 年同大学大学院博士課程 (電子工学専攻) 修了。同年同大学工学部電子工学科助手。同大学助教授を経て、現在、同大学大学院情報学研究所通信情報システム専攻教授。LSI の設計手法, LSI 用 CAD, MOS アナログ回路の研究に従事。工学博士。1984 年度丹羽記念賞受賞。電子情報通信学会, IEEE 各会員。