

低閾値 NMOS を用いるパストランジスタ論理回路方式

李 副 烈[†] 瀧 和 男^{††}

低消費電力特性に優れたパストランジスタ論理 SPL に対して低閾値 NMOS を適用し、低電源電圧下での動作を目的とした ATSP, 高速動作を目的とした MTSP を提案する。ATSP は、SPL におけるパストランジスタ部分と出力インバータの NMOS 部分に低閾値 NMOS を適用したもので、MTSP は SPL のパストランジスタ部分にのみ低閾値 NMOS を適用したものである。提案した ATSP, MTSP の評価を 32 ビット加算器を用いて行った。まず 3 V 動作の SPL に対して、ATSP は 1.8 V で遅延時間が 110%、ED 積が 45% であり、ほぼ同等の動作速度のまま低電圧動作＝低消費電力化が達成できていることを確認した。また 3 V 動作の SPL と MTSP との比較では、遅延時間が 71%、ED 積も 75% と、MTSP がほぼ同等の消費電力のまま高速動作を実現していることを確認した。

Pass-transistor Logic with Low Threshold Voltage NMOS

BU-YEOL LEE[†] and KAZUO TAKI^{††}

New pass-transistor logic family, ATSP and MTSP, are developed combining the power conscious pass-transistor logic SPL with low V_{th} NMOS. ATSP and MTSP realize lower voltage operation and higher speed operation than SPL correspondingly. ATSP has a similar structure with that of SPL except for replacing normal NMOSs at pass-transistors and output inverters with low V_{th} NMOSs. MTSP only replaces NMOS pass-transistors in SPL with low V_{th} NMOSs. 32-bit adders are designed in SPL, ATSP and MTSP for an evaluation. Comparing with 3 V operation SPL adder, 1.8 V operation ATSP adder has 110% delay time and 45% E-D product of that of SPL, while 3 V operation MTSP adder shows 71% delay time and 75% E-D product.

1. ま え が き

近年の携帯情報機器の急速な普及にともない、LSI の低消費電力化が必要不可欠となってきた。低消費電力化が実現すれば、携帯情報機器のバッテリー駆動時間の問題のみならず、高速マイクロプロセッサの発熱問題も緩和できる。このような背景から、低消費電力化を実現するための回路技術に関する研究がさかんに行われている。なかでもパストランジスタ論理は従来の CMOS よりも低消費電力、高速、小チップ面積を実現できる可能性を持つ技術として注目を集めている¹⁾。

我々はパストランジスタ論理 SPL、および SPL をデータバス設計用に拡張した SPHL を提案し、それらを用いた 32 ビット加算器や 8 ビットマイクロプロ

セッサ Z80 の設計/評価を行い^{5),6)}、非常に良好な結果を得ている。

一般に LSI の低消費電力化は、以下の 3 つの技術により達成できることが知られている¹⁾。

- (1) 負荷容量の低減
- (2) スイッチング確率の低減
- (3) 電源電圧の低減

我々の提案した SPL/SPHL は、各々(1)、(2)を実現するものである。そしてさらなる低消費電力化のためには、(3)の「電源電圧の低減」を実現する必要がある。また一般に電源電圧の低減は低消費電力化に最も効果的である。

しかしながら NMOS の閾値を固定して電源電圧を下げると動作速度の劣化が大きくなる。反対に低閾値の NMOS を用いることで、十分に実用的な動作スピードを得つつ、低消費電力化が可能になると期待される。文献 7) に低閾値の NMOS を用いたパストランジスタ回路が報告されている。

本稿では、パストランジスタ論理 SPL に低閾値 NMOS を適用した ATSP (Asymmetric Threshold

[†] 神戸大学大学院自然科学研究科
Graduate School of Science and Technology, Kobe University

^{††} 神戸大学工学部
Faculty of Engineering, Kobe University

SPL)と MTSP(Multi-Threshold SPL)を提案する．ここで ATSP(AT SPL)は SPL の NMOS パストランジスタ部分と出力インバータの NMOS 部分に低閾値 NMOS を適用したものである．また MTSP(MT SPL)は SPL の NMOS パストランジスタ部分のみに低閾値 NMOS を適用したものである．

以下、本稿の内容を示す．まず 2 章では我々の提案しているパストランジスタ論理 SPL の簡単な説明と、SPL を低電源電圧で利用する際の問題点について説明する．次に 3 章では本稿で新たに提案するパストランジスタ論理 ATSP(AT SPL), MTSP(MT SPL)について説明する．そして 4 章では ATSP(AT SPL), MTSP(MT SPL)の性能評価を SPL と CMOS との比較を交えて行う．

2. パストランジスタ論理 SPL

2.1 SPL

SPL (Single-rail Pass-transistor Logic)は動作速度よりも低消費電力化に重点をおいたパストランジスタ論理であり⁵⁾、この点で高速動作をも目標としている他のパストランジスタ論理¹⁾と異なる．

また SPL は以下の 2 つの回路構成上の特徴を有する．まず、回路の遅延時間が与えられた制約条件を満足している限り多段の NMOS のみで構成する(図 1). この特徴はインバータによるトランジスタ数、貫通電流、双方の低減に対して効果的である．次に、SPL は single-rail 構成をとる．このため正(負)論理だけを生成し、負(正)論理が必要な場合にはインバータを用いて生成することになる(図 1). この特徴はトランジスタ数の低減に対して効果的である．

SPL はパストランジスタ論理の構成法としてよく

知られている“BDDに基づく手法”⁴⁾により合成される．図 1 に SPL とそれを表す BDD を示す．

2.2 SPL と電源電圧

低消費電力 LSI を設計するうえで最も効果が大きいのは電源電圧の低減である．そこで、SPL のように NMOS の多段接続で構成されるパストランジスタ回路において、単純に電源電圧のみを低減することを考える．この場合、NMOS の閾値を固定して電源電圧を下げると動作速度の劣化が大きくなるという問題が生じる．

一方、電源電圧の低減により CMOS の低消費電力化を実現する手法として、MT-CMOS³⁾、VT-CMOS²⁾がある．MT-CMOS は論理ゲートを低閾値のトランジスタで構成し、擬似電源線に接続する．擬似電源線はスリープ制御用の高閾値のトランジスタで電源線と接続される．動作時は擬似電源線が電源線として働くため、低閾値のトランジスタで低電圧高速動作を可能とする．待機時は高閾値のトランジスタで擬似電源線と電源線を遮断しリーク電流をなくす．VT-CMOS は従来電源に接続していた基板電圧を制御して、動作時はトランジスタの閾値を低くし低電圧高速動作を行い、待機時は閾値を高くしてリーク電流を削減する．これらの手法はいずれも CMOS の低消費電力化技術であり、最大で 1 桁の低消費電力化が報告されている^{2),3)}．

そこで、これらの低消費電力化技術を SPL に適用することを考える．この場合、閾値制御の難しさ(MT-CMOS の技術)と製造プロセスの複雑化(VT-CMOS の技術)が問題点となる．

3. ATSP と MTSP

3.1 低閾値 NMOS と SPL

低閾値 PMOS の閾値制御は NMOS よりも一般的に難しいため、NMOS の閾値のみを低くして回路が構成できれば利点が多い．以降、このような低閾値の NMOS を LT-NMOS (Low Threshold NMOS)と呼び、閾値操作を行わない通常の NMOS を HT-NMOS (High Threshold NMOS)と呼ぶことにする．

パストランジスタ論理、特に SPL のように多段の NMOS パストランジスタ論理に LT-NMOS を適用すると、コンダクタンスの増加とともにパストランジスタの出力振幅が増加し動作速度の向上が期待できる．これは LT-NMOS で構成された NMOS パストランジスタ論理回路が HT-NMOS で構成されたものに比べて、同じ電源電圧ならば高速動作が可能、同じ動作速度ならば低電圧動作が可能であることを意味する．

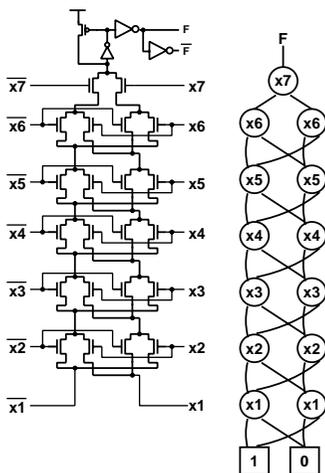


図 1 SPL の例とその BDD

Fig. 1 Example of SPL circuit and corresponding BDD.

3.2 AT SPL

AT SPL (Asymmetric Threshold SPL) は SPL の NMOS パストランジスタ部分に LT-NMOS を適用し、出力インバータを PMOS, LT-NMOS で構成する回路方式である。

通常、パストランジスタ論理回路では CMOS に比べて低い閾値を持つ出力インバータを用いる。これは NMOS パストランジスタ回路の出力が $V_{DD} - V_{TN}$ となるためである。ここで V_{DD} は電源電圧、 V_{TN} は NMOS トランジスタの閾値である。しかしながら出力インバータの閾値 V_{INV} の下限が V_{TN} であるため、 V_{DD} の下限は $V_{TN} + V_{INV} (> 2V_{TN})$ で抑えられる。AT SPL では出力インバータの NMOS にも LT-NMOS を適用するため、HT-NMOS を用いる従来の SPL よりも低電源電圧での動作が可能となる。さらに低電源電圧時の動作速度の低下も、NMOS パストランジスタに LT-NMOS を適用することで回避できる。

3.3 MT SPL

MT SPL (Multi-Threshold SPL) は SPL の NMOS パストランジスタ部分に LT-NMOS を適用し、出力インバータを PMOS, HT-NMOS で構成する回路方式である。

AT SPL は出力インバータの NMOS に LT-NMOS を用いるため、過渡状態で PMOS, NMOS が同時にオンになる時間が長くなり、高い電源電圧の下では貫通電流が大きくなる。MT SPL は出力インバータの NMOS に HT-NMOS を用いることで、AT SPL に比べて貫通電流が少く、NMOS パストランジスタ部分の閾値を低くすることで、従来の SPL で構成した回路に比べて高速動作が可能となる。ただし、低い電源電圧の下では出力インバータの論理反転電圧を十分に低くできないため、AT SPL の方が高速である。

4. 評価

4.1 多段直列接続した NMOS パストランジスタ回路による評価

本節では、多段直列接続した NMOS パストランジスタ回路 (図 2) を SPL, AT SPL, MT SPL で構成し、各回路方式の評価を行う。設計ルールは $0.8 \mu\text{m}$ であり、HSPICE の MOS Level 36 モデル (PMOS および HT-NMOS) および MOS Level 28 モデル (LT-NMOS) を用いてシミュレーションを行った。各トランジスタの閾値は PMOS : -0.76 V , HT-NMOS : 0.71 V , LT-NMOS : 0.25 V である。

シミュレーション結果を表 1 に示す。AT SPL は出

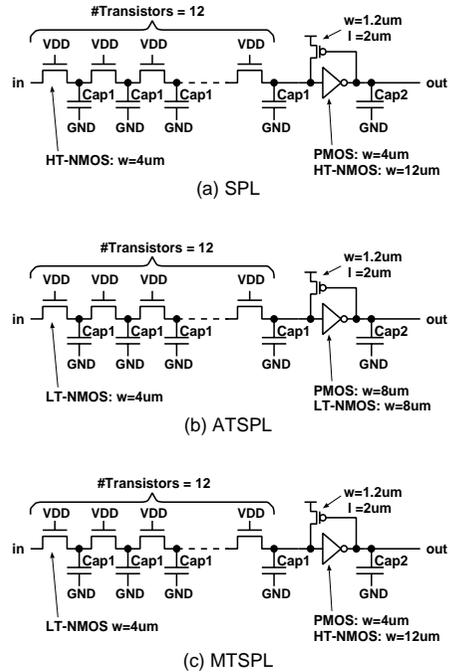


図 2 多段直列接続した NMOS パストランジスタ回路
Fig.2 Long series of NMOS pass-transistors.

表 1 多段直列接続した NMOS パストランジスタ回路の遅延時間 (ns)

Table 1 Delay of long series of NMOS pass-transistors.

	V_{DD} (V)	Cap2 = 0 fF		Cap2 = 100 fF	
		L → H	H → L	L → H	H → L
SPL	3.0	11.9	8.5	13.6	9.8
MT SPL	3.0	6.0	6.1	7.1	7.3
AT SPL	3.0	5.4	6.1	6.1	6.8
AT SPL	1.8	10.5	10.4	12.4	12.0

Cap1 = オフ状態の NMOS × 4

L → H : 入力が L から H に変化した時の 50% 遅延

H → L : 入力が H から L に変化した時の 50% 遅延

カインバータに LT-NMOS を用いるため、低電源電圧時でもインバータの閾値を低くすることができ、電源電圧 1.8 V のときに立ち上り/立ち下りの遅延時間をほぼ一定にすることができた。また、MT SPL はパストランジスタ部分に LT-NMOS を用いるため、HT-NMOS を用いる SPL に比べ信号の振幅幅が大きく、立ち上り/立ち下りの遅延時間をほぼ一定にすることができた。SPL では出力インバータの HT-NMOS のサイズを PMOS の 3 倍と大きく設定しても出力インバータの閾値を十分に低くできず、立ち上り遅延が立ち下り遅延より大きくなり結果となった。

表 1 の SPL と AT SPL の欄を見ると、AT SPL の電源電圧が 1.8 V であるにもかかわらず、遅延時間は

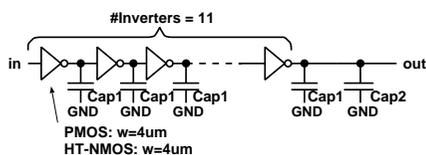


図3 直列接続したインバータ回路

Fig. 3 Long series of inverters.

SPL と同等であることが分かる．具体的にはそれぞれの回路で，立ち上り遅延/立ち下り遅延の大きな方を回路の遅延時間としたとき， $Cap2 = 0\text{ fF}$ （ここで $Cap2$ は出力インバータの負荷容量）のときには SPL が 11.9 ns で ATSP が 10.5 ns ， $Cap2 = 100\text{ fF}$ のときには SPL が 13.6 ns で ATSP が 12.4 ns となっている．これらの結果から ATSP は 1.8 V で 3 V 動作の SPL と同等の遅延時間で動作することが確認できた．

また表 1 の SPL と MTSP の欄を見ると，同じ V_{DD} の下で遅延時間がほぼ半減できていることが分かる．前述と同じように回路の遅延時間を定義すると， $Cap2 = 0\text{ fF}$ のときには SPL が 11.9 ns で MTSP が 6.1 ns ， $Cap2 = 100\text{ fF}$ のときには SPL が 13.6 ns で MTSP が 7.3 ns となっている．これらの結果から MTSP は同じ電源電圧の下で SPL より高速であることが確認できた．

さらに前述の評価に CMOS を加え，電源電圧を変化させた場合の遅延時間を測定した．比較用の CMOS として直列接続したインバータ回路（図 3）を用いた．インバータの直列段数は電源電圧 1.8 V の下で，ATSP と遅延時間が同じになるように 11 段とし，電源電圧低下による遅延時間の影響を ATSP と比較した．

図 4 に示すシミュレーション結果からは次の情報が読みとれる．

- (1) SPL は電源電圧の低下にともない遅延時間が急増し，電源電圧 1.6 V 時には動作不可能となる．
- (2) MTSP は 1.8 V 付近から遅延時間が急増する．
- (3) CMOS は電源電圧が $V_{TN} + |V_{TP}|$ より低くなると遅延時間が急増する．ここで V_{TP} は PMOS の閾値である．
- (4) ATSP は低電源電圧時の遅延時間の増加する割合が CMOS より低く，高速動作が可能である．

このように本稿で提案した ATSP については，非常に良好な結果が得られていることが分かる．また MTSP でも SPL より低電源電圧特性が改善されている．

ここで，SPL，MTSP の動作について簡単な考察を与える．まず SPL が電源電圧の低下にともない急

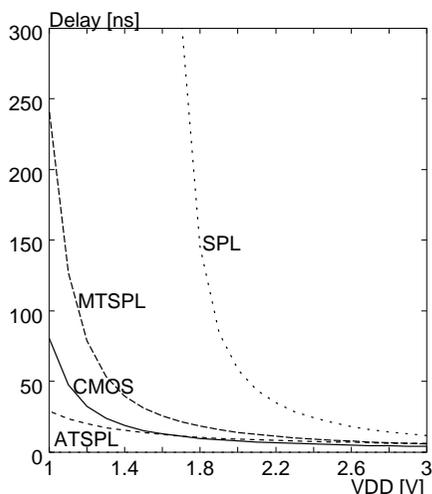


図4 電源電圧と遅延時間

Fig. 4 Supply voltage vs. delay time.

激に遅延時間が增大しているのは以下の 2 つの理由による．

出力インバータへの入力信号振幅の減少 電源電圧の低下にともない，NMOS の閾値の影響が顕著になり， V_{DD} で振幅する CMOS と比較して動作速度が急激に遅くなる．

出力インバータの閾値の（相対的な）上昇 出力インバータの閾値の下限は NMOS の閾値であるため，電源電圧の低下にともない出力インバータの閾値が相対的に高くなり，遅延時間が増加する．また MTSP の動作についても同様に，出力インバータの閾値の上昇が原因となっていることは明らかである．

4.2 32 ビット 加算器による評価

SPL，ATSP，MTSP の各々を用いて 32 ビット・キャリ・セレクト加算器を設計した（図 5）．ATSP は，リーク電流対策として図 6 で示すようにパストランジスタ論理回路へのドレイン入力を入力インバータから NMOS パストランジスタに変更したものをを用いた．待機時（Sleep）はパストランジスタ回路へのドレイン入力をすべて V_{DD} とすることにより，パストランジスタ部分のリーク電流だけでなく，LT-NMOS を用いる出力インバータ部分のリーク電流も削減する．

各加算器はケイデンス・デザイン・システムズ社の LAS（LAYOUT Synthesizer）でレイアウトを行った．そしてレイアウト結果から配線容量を抽出し，遅延時間，消費電力を HSPICE により測定した．消費電力の測定にはランダムな 100 パターンを用いた．この際，設計ルールは $0.8\text{ }\mu\text{m}$ ，主トランジスタサイズ

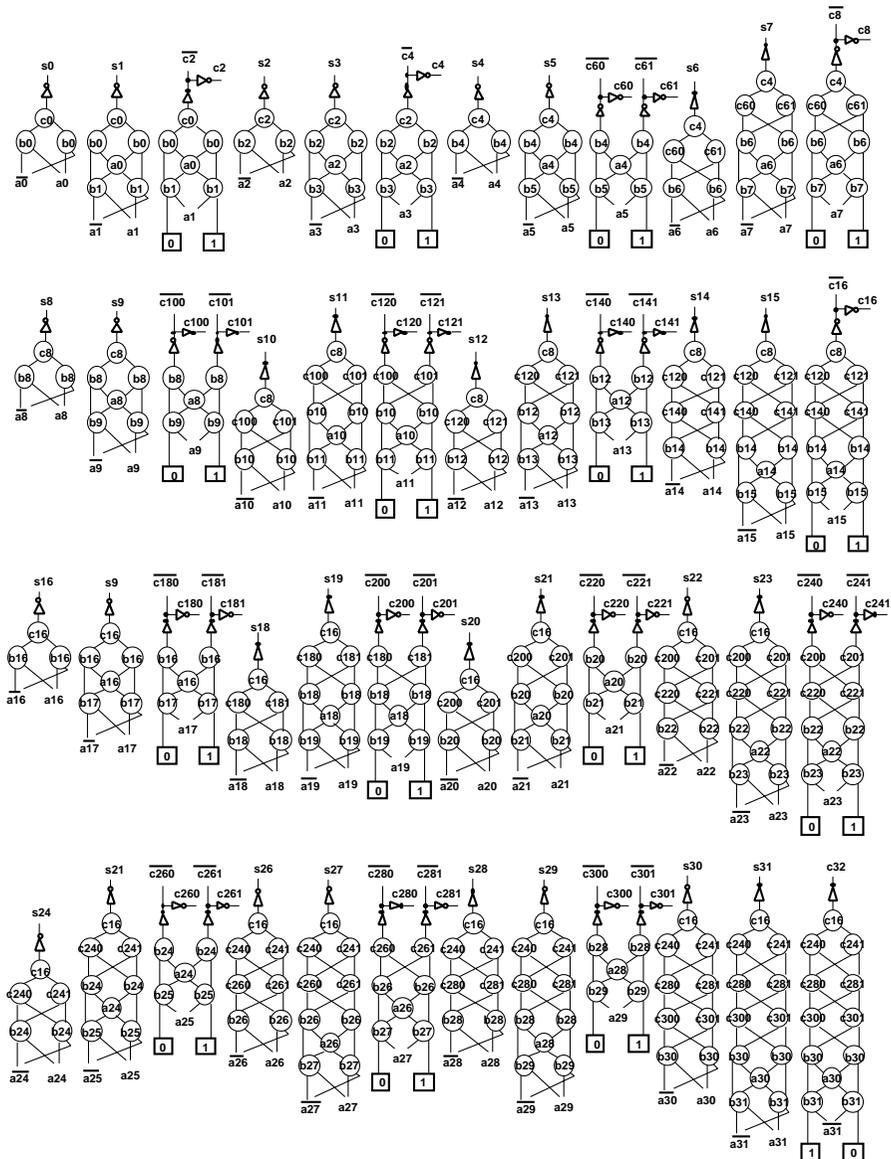


図5 SPL, ATSP, MTSPによる32ビット・キャリ・セレクト加算器

Fig. 5 32-bit Adders: SPL, ATSP and MTSP.

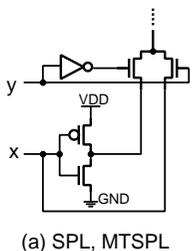
は $w = 4 \mu\text{m}$ であり、動作周波数は 25 MHz である。表 2 から MTSP は SPL に対して遅延時間、ED 積が各々 71%、75% であり、良好な結果が得られた。また、1.8 V 動作の ATSP は SPL に対して消費電力、ED 積が各々 41%、45% であり、非常に良好な結果が得られた。3.0 V 動作の ATSP の消費電力が SPL、MTSP に比べて約 1.5 倍であるが、これは 3.3 節で述べたように出力インパータの貫通電流が原因と考えられる。図 7 に ATSP のレイアウトを示す。

また、表 3 に提案手法の待機時 (Sleep) のリーク電流の削減効果を示す。用いた回路は ATSP の 32

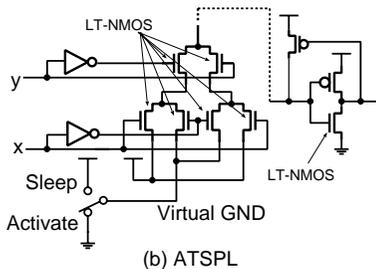
ビット加算器である。待機時のリーク電流は電源電圧 3.0 V、1.8 V 時にそれぞれ動作時 (Activate) におけるリーク電流の 7%、6% であり、高い閾値のトランジスタで構成された SPL 加算器のリーク電流と同程度に抑えることができた。

5. むすび

パストラジスタ論理 SPL に対して低閾値 NMOS を適用し、低電源電圧下での動作を目的とした ATSP、高速動作を目的とした MTSP を提案した。32 ビット加算器を設計して評価を行った結果、3 V 動作の



(a) SPL, MTSPS



(b) ATSPS

図6 パストランジスタ回路へのドレイン入力部の構造
Fig. 6 Structure of drain-input circuits.

表2 32ビット加算器のシミュレーション結果
Table 2 Simulation results of 32-bit adders.

	#Tr.	VDD (V)	Delay (ns)	Energy (pico J)	ED (ratio)
SPL	1135	3.0	30.8 (1.00)	160.2 (1.00)	1.00
MTSPS	1135	3.0	21.8 (0.71)	169.6 (1.06)	0.75
ATSPS	1311	3.0	18.4 (0.60)	255.0 (1.59)	0.95
ATSPS	1311	1.8	33.9 (1.10)	65.8 (0.41)	0.45

SPL に対して、ATSPS は 1.8 V で遅延時間が 110%、ED 積が 45% であり、ほぼ同等の動作速度のまま低電圧動作=低消費電力化が達成できていることを確認した。また 3V 動作の SPL と MTSPS との比較では、遅延時間が 71%、ED 積も 75% と、MTSPS がほぼ同等の消費電力のまま高速動作を実現していることを確認した。以上のことから低閾値の NMOS を用いることで、NMOS パストランジスタ回路を高速化・低電圧化できることを示した。

謝辞 本研究全般にご協力いただいたシャープ(株)に感謝いたします。

参考文献

- 1) Kuroda, T. and Sakurai, T.: Overview of Low-Power ULSI Circuit Techniques, *IEICE Trans. Electronics*, Vol.E78-C, No.4, pp.334-344 (1995).
- 2) 黒田忠広, 松尾研二, 桜井貴康: しきい電圧を可変にして消費電力を最大で1桁カットする—最適設計のガイドラインを提示, 日経マイクロデバイス, pp.57-66 (1996).

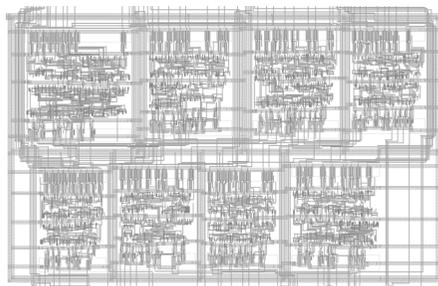


図7 ATSPS 加算器のレイアウト
Fig. 7 A ATSPS adder (Layout).

表3 ATSPS による待機時のリーク電流削減効果
Table 3 Leak current reduction effect at the time of sleep mode by ATSPS.

	VDD (V)	Leak Current (nA)
ATSPS (Activate)	3.0	84.3 (1.00)
ATSPS (Sleep)	3.0	5.9 (0.07)
SPL	3.0	5.1 (0.06)
ATSPS (Activate)	1.8	62.1 (1.00)
ATSPS (Sleep)	1.8	3.5 (0.06)
SPL	1.8	2.9 (0.05)

- 3) Mutoh, S., et al.: 1 V High-Speed Digital Circuit Technology with 0.5 μm Multi-Threshold CMOS, *Proc. IEEE ASIC Conference*, pp.186-189 (1993).
- 4) Sakurai, T., Lin, B. and Newton, A.R.: Multiple-Output Shared Transistor Logic MOSTL Family Synthesized using Binary Decision Diagram, Memorandum UCB/ERL M90/21, Electronics Research Laboratory, College of Engineering, University of California, Berkeley (1990).
- 5) 瀧 和男, 李 副烈: パストランジスタ論理に基づく低消費電力回路方式と設計事例, 電子情報通信学会論文誌, Vol.J80-A, No.5, pp.753-764 (1997).
- 6) Taki, K., Lee, B.-Y., Tanaka, H., Konishi, K., Imai, S. and Tamemoto, H.: Super Low Power Z80 with Pass-Transistor Logic, *Proc. Asia and South Pacific Design Automation Conference '97 (ASP-DAC '97)* (1997).
- 7) Yano, K., Yamanaka, T., Nishida, T., Saito, M., Shimohigashi, K. and Shimizu, A.: A 3.8-ns CMOS 16×16-b multiplier using complementary pass-transistor logic, *IEEE J. Solid-State Circuits*, Vol.25, No.2, pp.388-395 (1990).

(平成 11 年 9 月 24 日受付)
(平成 12 年 2 月 4 日採録)



李 副烈 (学生会員)

昭和 46 年生．平成 6 年神戸大学工学部システム工学科卒業．平成 8 年同大学院博士前期課程情報知能工学修了．現在，同博士後期課程在学中．LSI の低消費電力化技術に興味を持つ．平成 10 年山下記念研究賞受賞．電子情報通信学会会員．



瀧 和男 (正会員)

昭和 27 年生．昭和 51 年神戸大学工学部電子工学科卒業．昭和 54 年同大学院修士課程システム工学修了．工学博士．同年 (株) 日立製作所入社．昭和 57 年 (財) 新世代コンピュータ技術開発機構に出向．逐次型および並列型推論マシンと並列応用プログラムの研究開発に従事．平成 2 年同機構第 1 研究室室長．平成 4 年 9 月神戸大学工学部情報知能工学科助教授．平成 7 年 4 月同学科教授．LSI 設計技術と CAD，並列処理とマシンアーキテクチャ，脳型コンピュータ等に興味を持つ．電子情報通信学会，IEEE，ソフトウェア科学会，ACM，日本神経回路学会各会員．
