

ディープサブミクロン LSI 設計のための高速配線容量抽出手法

小林 進[†] 枝 廣 正 人[†]

近年 LSI の微細化, 大規模化とともに配線遅延がチップの性能に大きな影響を与えるようになり, これにともなって配線容量を高い精度で抽出する必要性が増大している. 特にディープサブミクロン LSI では, デバイスの微細化により配線容量が配線パターンに大きく依存するようになるため, それに対応した新しい配線容量抽出手法が必要である. また, 配線容量抽出手法には抽出精度の高さだけでなく, 回路の大規模化に対応した高速性も求められる. 本論文では, ディープサブミクロンプロセスに対応した配線容量抽出手法を提案する. 本手法は, LSI 多層配線構造の規則性を利用するとともに, 容量抽出対象の配線を適切に分割することにより, 高速かつ高精度に配線容量の抽出を行う. 実設計データを用いた計算機実験により, 提案手法が抽出の精度および速度両面で優れた性能を持っていることを確認した.

A Fast Capacitance Extraction Method for Deep Submicron LSI Designs

SUSUMU KOBAYASHI[†] and MASATO EDAHIRO[†]

This paper presents a new method for fast capacitance extraction in LSI designs. The method was devised especially for deep submicron LSI designs, in which interconnect capacitance heavily depends on routing pattern. Also, the proposed method is fast enough to handle very large scale circuits by taking advantage of regularity of the multi-level interconnect structure. We implemented and evaluated the method by using actual design data. The experimental results show the effectiveness of the proposed method.

1. はじめに

従来, LSI の配線における信号遅延時間 (配線遅延) は, 論理ゲート内部の信号遅延時間 (ゲート遅延) と比較して十分小さかったため, チップの性能に大きな影響を与えることはなかった. しかし, 近年デバイスの微細化にともない, ゲート遅延が減少する一方, 配線遅延は配線抵抗や隣接配線間容量の増大等によりむしろ増加する傾向にある. このため信号遅延の中で配線遅延が相対的に大きな割合を占めるようになり, 設計の段階で配線遅延を正確に見積もる技術が必要不可欠となっている.

配線遅延を算出するためには, まず配線容量を正確に見積もることが必要である. しかし, 配線容量は, 当該配線自体の形状 (幅, 長さ等) だけでなく, その周囲の配線 (同層の隣接配線や他層の交差配線等) の状況からも影響を受けるため, 正確な見積りは容易ではない. 特にディープサブミクロンプロセスにおいては, 配線ピッチの縮小により周囲の配線の影響がますます

増大するだけでなく, 周囲の配線が相互に影響を及ぼし合う遮蔽効果が顕著になるため, 容量抽出がさらに難しくなる.

本論文では, ディープサブミクロンプロセスに対応した新しい配線容量抽出手法を提案する. 本手法は LSI 多層配線構造の規則性を利用するとともに, 容量抽出対象の配線を適切に分割することにより, 高速かつ高精度の配線容量抽出を行う. 以下, 2 章ではディープサブミクロンプロセスの LSI 設計における配線容量抽出について説明し, 3 章でディープサブミクロンプロセスに対応した新しい配線容量抽出手法を提案する. さらに, 4 章で実設計データを用いた提案手法の評価結果について述べ, 最後に 5 章でまとめと今後の課題を示す.

2. ディープサブミクロン LSI 設計における配線容量抽出

LSI における配線構造は, 図 1 のように複数の配線層から構成されており, 配線容量は基板との間だけでなく他の配線 (同層, 他層) との間にも存在する. このように密に詰め込まれた複数導体系において配線容量を正確に抽出することは非常に難しい問題である¹⁾.

[†] NEC C&C メディア研究所

C&C Media Research Laboratories, NEC Corporation

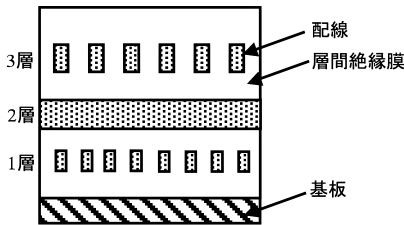


図1 LSIの配線構造(断面図)

Fig. 1 Interconnect structure (cross section).

配線容量を抽出する手法としては、従来から様々な手法が提案されている。これらは大まかに2種類に分類することができる。1つは数値解析的な手法であり、有限差分法に基づく手法⁶⁾、有限要素法に基づく手法²⁾、境界要素法に基づく手法⁴⁾等が提案されている。これらの手法においては、配線容量抽出問題は複数の導体が存在する誘電体における各導体の静電容量を求める問題としてモデル化され、誘電体中の電場をラプラスの方程式等を用いて解き、電荷保存則等を用いて各導体の静電容量を求める。これらの手法は高精度な容量抽出が可能であるが、実行時間が膨大であり、チップレベルでの適用が実質的に不可能である。したがって、クリティカルパス等限定された部分に適用されることになる。

もう1つは実験的モデルに基づく手法^{3), 5)}である。この範疇に入る手法には、デバイスシミュレーションの結果等をもとにレイアウトの幾何学パラメータから一意に配線容量を算出できる計算式を設定し、これを利用して配線容量を求める手法と、複数の基本配線パターンの配線容量をデバイスシミュレーション等であらかじめ求めておき、配線容量抽出の際には対象となるレイアウトパターンに近い基本配線パターンをあてはめて配線容量を計算する手法とがある。これらは一般に高速であり、チップレベルの解析に適用することが可能である。

従来のプロセスにおいては、配線の断面は図2(a)のように幅に比べて高さが小さく、配線間隔が大きい。このため、同層の隣接配線との間の容量(以下、隣接容量)の影響は小さい。また、交差配線は一般に直交しているため重なり合う部分が小さく、全配線容量への寄与はあまり大きくない。したがって、基板との間の容量(以下、対基板容量)が全配線容量の中で多くの部分を占めることになる。このことにより、配線容量は周囲の配線の状況(配線パターン)にあまり依存していなかった。

これに対し、近年のディープサブミクロンプロセスにおいては、配線間隔が小さくなるだけでなく、配線

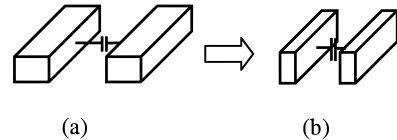


図2 プロセスの微細化による配線断面形状の変化

Fig. 2 Change in aspect ratio of interconnect by process shrink.

断面のアスペクト比(膜厚/幅)が図2(b)のように大きくなる。これはプロセスの微細化とともに水平方向(配線の幅方向)はシュリンクされるが、垂直方向(配線の高さ方向)は配線抵抗を抑制するために一定あるいはわずかな縮小にとどまっていることによる。このアスペクト比の変化のため、配線容量は隣接配線の有無あるいは隣接配線との距離に大きく影響を受けるようになる。結果として配線容量は配線パターンに大きく依存するようになり、正確な容量抽出は従来より難しくなる。

また、デバイスの微細化により注目配線と周囲配線との距離が縮小し、隣接配線、交差配線の相互の影響が無視できなくなっている。交差配線や隣接配線はそれが単独で存在する場合と、複数存在する場合では、注目配線に対する影響の仕方が異なる。これは電気容量の遮蔽効果により周囲の配線がお互いの効果を打ち消し合うためである。この遮蔽効果が状況をさらに複雑化する。

以上のような種々の状況から、ディープサブミクロンプロセスに対応した新しい容量抽出手法が求められていた。

3. 配線容量抽出手法

本章では、隣接配線の影響が増大するディープサブミクロンプロセスに対応した新しい配線容量抽出手法を提案する。本手法はレイアウト設計終了後に各配線の配線容量を高速かつ高精度に見積もることを目的としている。

本手法は前章で述べた「実験的モデルに基づく手法」に属しているが、このカテゴリーの従来法と異なり、交差配線と隣接配線が両方存在する配線パターンをもとにモデル化を行うため、周囲配線の相互の遮蔽効果を考慮しながら高精度に容量抽出を行うことができる。

なお、本手法は主にセルベースICを適用対象としており、セルベースICにおいては隣接する配線層の配線方向は一般に直交していることから、本論文では対象とするLSIの配線構造に関して「隣接層の配線方向は直交している」という前提条件を設ける。

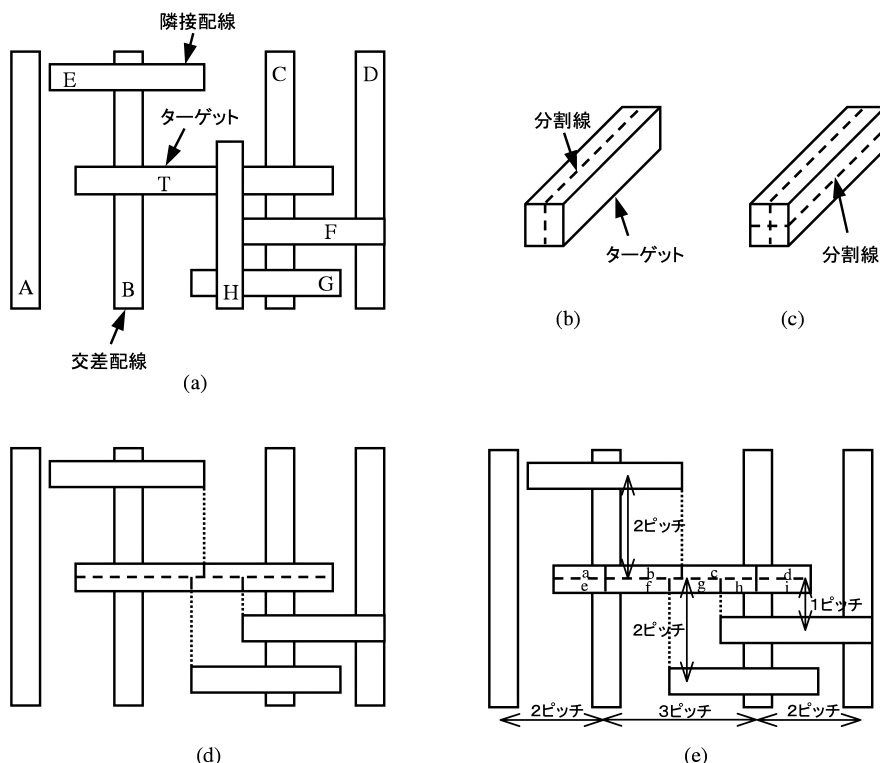


図3 提案手法によるターゲットの分割

Fig. 3 Partition of a target in the proposed method.

3.1 提案手法

提案する配線容量抽出手法を、図3(a)に示す配線パターンの例を用いて説明する。この図で、A, B, C, Dは第1層配線, E, F, G, Tは第2層配線, Hは第3層配線であり、この場合Tが容量抽出対象の配線(以下、ターゲット)である。提案手法は、最初にターゲットを幅方向に左右半分に分割する(図3(b))。これ以後、左半分がターゲットの左側の隣接配線の影響を受け、右半分がターゲットの右側の隣接配線の影響を受けると仮定してそれぞれ独立に容量を計算する。ターゲットが中間層(最上層と最下層以外の配線層)にある場合には、さらに上下半分に分割し(図3(c))、上半分が上層の交差配線の影響を、下半分が下層の交差配線の影響を受けると仮定する(以下ではTの下半分の配線容量計算について説明する。上半分についても同様に計算できる)。続いて、ターゲットを隣接配線の端部に合わせて図3(d)のように分割する。さらに、交差配線の中央線に合わせて分割を行う(図3(e))。分割された各要素(図3(e)のa, b, c, d, e, f, g, h, i)を以下では配線要素と呼ぶ。このようにして分割された各配線要素においては、隣接配線との間の距離、および交差配線の間隔が一定である。

次に、各配線要素について、容量係数(3.2節)に当該配線要素の配線長を乗じたものをその配線要素の容量とする。容量係数の値は、数値解析手法に基づく3次元デバイスシミュレーションを行った結果から決定する。最後に、各配線要素の容量を合計してターゲットの配線容量とする。

なお、周囲の配線の状況に応じたターゲット分割の際には、隣接配線の3次元的な効果を考慮した分割(3.3節)を行う。

提案手法の処理フローを図4に示す。

3.2 容量係数

提案手法で使用する容量係数は、ターゲットの配線層、隣接配線間隔、および交差配線間隔からなる図5のような3次元テーブル(容量係数テーブル)に保持され、図6のような配線パターンを3次元デバイスシミュレータ^{*}で解析することにより求める。図5のテーブルにおいて C_{xyz} は容量係数を表し、 x, y, z はそれぞれターゲットの配線層番号、隣接配線間隔(ピッチ数)、交差配線間隔(ピッチ数)である。たとえば図6の配線パターンは、ターゲットが第3層に存

^{*} 2章における分類では数値解析的な手法の範疇に入る。

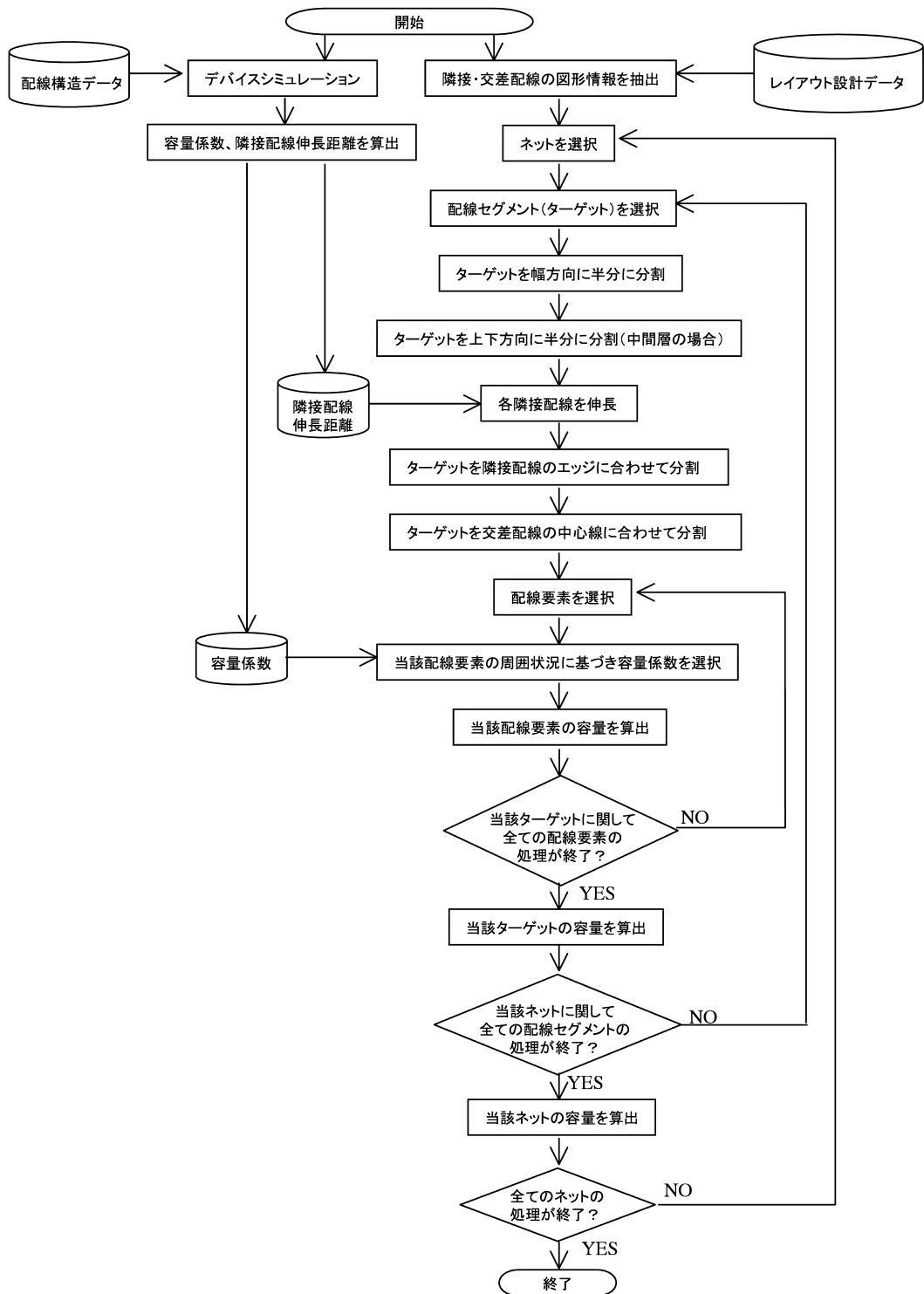


図4 提案手法の処理フロー

Fig.4 Algorithm flow of the proposed method.

在し、隣接配線との間隔が1ピッチ、交差配線間隔が2ピッチであるから、図5のC312の算出に使用されることになる。この場合、図6のターゲットの配線容量をデバイスシミュレータで求めた後、その容量値をターゲットの長さ L で割って単位長さあたりの容量値にしたものがC312となる。なお、ターゲットが中間層にある場合はターゲットの上半分および下半分に対する容量係数をそれぞれ設定する。この場合単位長さあたりの容量値をさらに1/2にしたものを容量係数とする。ターゲットを分割することにより生じる各配線要素内では、隣接配線間隔および交差配線間隔は一

配線層 第3層 第2層 第1層	隣接配線間隔	1ピッチ	2ピッチ	3ピッチ
	1ピッチ	C311	C312	C313
	2ピッチ	C321	C322	C323
	3ピッチ	C331	C332	C333

図5 容量係数テーブル

Fig. 5 Capacitance coefficient table.

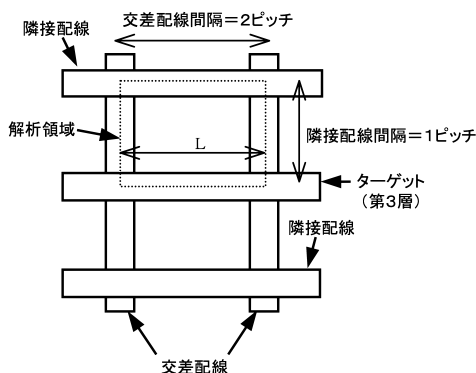


図6 3次元デバイスシミュレーション用の配線パターン

Fig. 6 Interconnect pattern for 3-dimensional device simulation.

定であるため、各配線要素に対して一意に容量係数を割り当てることができる。各配線要素の容量は割り当てられた容量係数に当該配線要素の配線長を乗じることにより算出する。

なお、配線幅最適化処理等により、同一配線層における配線幅の種類が複数ある場合には、配線幅の種類ごとに容量係数を設定することで対応可能である。

3.3 隣接配線端部の効果

図7(a)のように、隣接配線の終端がある場合には、その部分の効果（以下、エッジ効果）がターゲットの配線容量に影響を与える。特にディープサブミクロンプロセスにおいては、配線ピッチの縮小により隣接配線との距離が近くなり、結果としてこのエッジ効果が無視できなくなると考えられる。提案手法では、エッジ効果を図7(b)のように隣接配線の伸長に置き換えて配線容量を計算する。伸長する距離は各配線層、各隣接配線間ピッチごとに指定するものとし、その値は隣接配線の終端の有無で比較シミュレーションを行った結果から求める。なお、隣接配線の伸長により複数の配線が重なり合う場合には、それらの配線をマージする。

3.4 配線分割の妥当性検証

提案手法はターゲットを上下左右に分割することにより、周囲配線の影響を分離して配線容量抽出問題を単純化している。これは対象とする配線パターンが（ターゲットに関して）上下左右に関して対称な場合は問題ないが、実レイアウトパターンで非対称性が大きい場合にそれに起因する誤差が生じることが考えられる。そこで本節では、配線パターンに非対称性が大きい場合における提案手法の抽出誤差について検証する。

まず、ターゲットの左右方向の非対称性に関して検証する。非対称性の大きい配線パターンとして、表1の配線パターン1を考える。この配線パターンは、ター

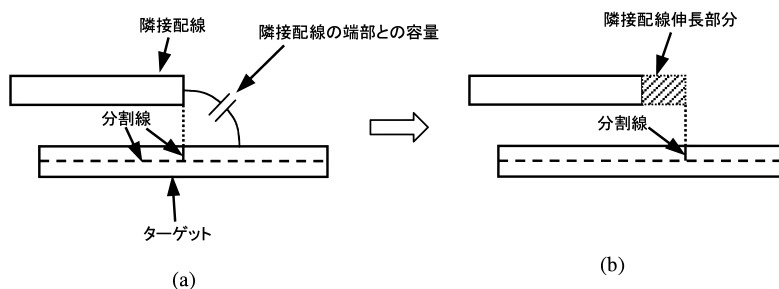


図7 隣接配線のエッジ効果

Fig. 7 Edge effect of a parallel interconnect.

表 1 検証用配線パターン (左右分割)

Table 1 Routing patterns for verifying the proposed method (partition in horizontal direction).

	配線長 [μm]	隣接配線間距離		交差配線間隔	シミュレーション による容量値 [fF]	提案手法による 容量値 [fF]	抽出誤差
		左側	右側				
配線パターン 1	2	1 ピッチ	4 ピッチ	4 ピッチ	0.5603	0.5565	-0.7%
配線パターン 2	2	1 ピッチ	1 ピッチ	4 ピッチ	0.8257	-	-
配線パターン 3	2	4 ピッチ	4 ピッチ	4 ピッチ	0.2872	-	-

表 2 検証用配線パターン (上下分割)

Table 2 Routing patterns for verifying the proposed method (partition in vertical direction).

	配線長 [μm]	配線間隔			シミュレーション による容量値 [fF]	提案手法による 容量値 [fF]	抽出誤差
		第 1 層	第 2 層	第 3 層			
配線パターン 4	4	1 ピッチ	4 ピッチ	4 ピッチ	0.5669	0.5670	+0.02%
配線パターン 5	4	1 ピッチ	4 ピッチ	1 ピッチ	0.5884	-	-
配線パターン 6	4	4 ピッチ	4 ピッチ	4 ピッチ	0.5456	-	-

表 3 評価用設計データ

Table 3 Data for evaluating extraction methods.

データ名	回路規模	ネット数	総配線長 [m]	プロセス
RC1	2 K ゲート	2 K	0.85	0.35 μm
RC2	1.3 M ゲート	413 K	94	0.25 μm
RC3	1.8 M トランジスタ	80 K	9.4	0.25 μm

ゲットの両側の隣接配線との距離が 1 ピッチと 4 ピッチであり、非対称性が大きい。このような配線パターンに対して、提案手法は表 1 の配線パターン 2 および 3 に関してデバイスシミュレーションを行った結果をもとに隣接配線間距離が 1 ピッチおよび 4 ピッチの場合の容量係数を求め、それを使用して配線パターン 1 のターゲットの容量を算出する。各配線パターンにおけるターゲットの配線容量値 (3 次元デバイスシミュレーションの結果) および提案手法による配線容量値が表 1 に示されている。この表から分かるように、この場合の提案手法の抽出誤差は -0.7% であり、左右方向の非対称性が大きい場合において提案手法が十分な精度を確保できることが確認された。

次に、ターゲットの上下方向の非対称性に関して同様に検証する。上下方向の非対称性の大きい配線パターンとして、表 2 の配線パターン 4 を考える。この配線パターンは、第 2 層に存在するターゲットの上下層、すなわち第 1 層、第 3 層における配線間隔がそれぞれ 1 ピッチ、4 ピッチであり、上下層で配線密度が大きく異なる。この配線パターンに対して、提案手法は表 2 の配線パターン 5 および 6 に関してデバイスシミュレーションを行った結果をもとに交差配線間隔が 1 ピッチおよび 4 ピッチの場合の容量係数を求め、それを使用して配線パターン 4 のターゲットの容量を算出する。表 2 から分かるように、この場合の提案手法の抽出誤差は 0.02% と十分小さく、上下方向の非対

称性が大きい場合においても提案手法が十分な精度を確保できることが確認された。

なお、表 1 および表 2 の配線パターンの配線構造は、3 層構造、0.5 μm ピッチ、配線幅 0.25 μm であり、ターゲットは第 2 層に存在する。

4. 実験結果

提案手法を計算機上に実現し、実設計データを用いて評価を行った。使用した設計データの情報を表 3 に示す。ここではまず、0.35 μm プロセスの実設計データ (表 3 の RC1) 中の 12 本のネットの配線容量を提案手法により抽出した。容量係数として、

- ターゲットの配線層: 第 1, 2 層 (RC1 は 2 層配線構造)
- 隣接配線間隔: 1, 2, 3, 4 ピッチ
- 交差配線間隔: 1, 2, 3, 6, 10, 20 ピッチ

の全組合せに対応する 48 個の容量係数を 3.2 節で述べた方法により求めて使用した。

さらに、この抽出結果を市販の 3 次元フィールドソルバー (QuickCAP)* の計算結果と比較して抽出精度を検証した。実験結果を表 4 に示す。表 4 には市販の RC 抽出ツール (市販ツール A) による抽出結果もあわせて記載してある。市販ツール A で採用されている容量抽出手法は、レイアウトの幾何学的形状から一

* 2 章における分類では数値解析的な手法の範疇に入る。

表 4 実験結果

Table 4 Experimental results.

ネット 番号	配線長 [mm]	フィールド ソルバー による容量値 [F]	提案手法		市販ツール A	
			容量値 [F]	抽出誤差 [%]	容量値 [F]	抽出誤差 [%]
1	0.09	1.14E-14	8.65E-15	-24.12	8.15E-15	-28.50
2	0.63	1.09E-13	1.02E-13	-6.42	1.06E-13	-2.99
3	1.69	2.43E-13	2.29E-13	-5.76	2.21E-13	-8.87
4	2.79	3.22E-13	3.24E-13	0.62	2.65E-13	-17.80
5	3.07	3.54E-13	3.47E-13	-1.98	2.89E-13	-18.30
6	3.31	3.71E-13	3.66E-13	-1.35	2.84E-13	-23.36
7	3.19	3.99E-13	3.84E-13	-3.76	3.30E-13	-17.17
8	3.00	4.17E-13	4.23E-13	1.44	3.79E-13	-9.04
9	3.56	4.58E-13	4.42E-13	-3.49	3.97E-13	-13.22
10	3.78	4.64E-13	4.60E-13	-0.86	3.84E-13	-17.17
11	4.35	6.04E-13	6.07E-13	0.50	5.32E-13	-11.95
12	0.00468	8.27E-16	5.69E-16	-31.20	3.13E-16	-62.13

意に配線容量を計算できる式を設定し、実配線パターンから抽出した幾何学パラメータをこの式に代入して容量を算出するものであり、2章で述べた分類では実験的モデルに基づく手法の範疇に入る。

提案手法は12本のネットのうち11本でツール A より抽出誤差（絶対値）が小さかった。また、配線長がきわめて短いネット12を除く11ネットの抽出誤差（絶対値）の平均は、提案手法で4.6%、ツール A で15.3%であった。

ここで、提案手法の抽出誤差の原因について考察する。本実験結果では配線長2mm以上のネットについては、すべて抽出誤差が $\pm 5\%$ 以内となっており、十分な精度が確認された。これらのネットの誤差原因としては、QuickCAPと提案手法において容量係数算出に使用したデバイスシミュレータとの間の抽出誤差、提案手法で考慮の範囲外^{☆1}となった配線の影響、配線パターンの非対称性に基づく誤差等が考えられる。また、配線長2mm以下のネットにおいて、配線長が短くなるほど抽出誤差が大きくなっているのは、ターゲットの両端に起因する配線容量を提案手法が考慮していないことによるものと考えられる。たとえばネット12は折れ曲がりのない長さ $4.68\mu\text{m}$ の配線であり、同じ長さの配線について、配線の端部を考慮する場合と考慮しない場合とで3次元デバイスシミュレーションを行ったところ、配線容量値は端部を考慮する場合が0.73472 [fF]、考慮しない場合が0.49636 [fF]であった^{☆2}。後者の前者に対する誤差は-32.44%であり、ネット12の抽出誤差（-31.20%）とほぼ一致す

る。したがって、短い配線については主に配線端部の影響により誤差が生じていると考えられる。

さらに、 $0.25\mu\text{m}$ プロセスの大規模実設計データ（表3のRC2, 1.3Mゲート）について提案手法によりフルチップ容量抽出を行ったところ、5.38時間で処理が終了した〔使用計算機：NEC EWS4800/460（200 MHz）〕^{☆3}。これにより、提案手法は大規模回路のフルチップ抽出にも適用できることが明らかになった。また、市販ツール A をデータ RC3 のフルチップ抽出に適用したところ完了までに27.62時間を要した〔使用計算機：SUN Ultra2（300 MHz）〕。データに含まれるネット数、使用計算機のCPU速度を勘案すると、提案手法は市販ツール A と比較して抽出速度が約40倍であることが推測できる^{☆4}。

5. ま と め

本論文ではディープサブミクロン LSI 設計のための配線容量抽出手法を提案した。本手法は、解析対象配線を適切に分割して処理することにより、高速性に優れているだけでなく、ディープサブミクロンプロセスにおいて顕著になる配線間容量の3次元的な効果を考慮することにより、抽出精度の向上を図っている。提案手法を計算機上に実現し、 $0.35\mu\text{m}$ プロセスの設計データの配線容量抽出を行った。抽出結果を3次元フィールドソルバーの結果と比較して抽出精度を検証したところ、平均5%以内の抽出誤差で容量抽出ができることを確認した。また、提案手法により百万ゲート規模の回路のフルチップ容量抽出を実行した結果、約5時間で抽出が完了した。これにより提案手法は

☆1 たとえば隣接配線に関しては、ターゲットから3ピッチ以内にある配線のみ考慮している。

☆2 ここでは交差配線の影響は無視しているため、容量値は表4記載のものとは異なる。

☆3 このときの総配線要素数は約9千万個であった。

☆4 計算機環境の制約およびデータ形式の問題により提案手法と市販ツール A を同一のデータで評価することはできなかった。

大規模回路にも適用できる高速性を有していることが明らかになった。さらに、市販の RC 抽出ツールと容量抽出精度、処理速度の比較を行い、提案手法が従来手法と比較していずれの点でも優れていることを確認した。

今後の課題としては、斜め配線等不規則な配線パターンへの対応、クロストーク解析のためのカップリング容量の高精度抽出手法の開発があげられる。さらに、大規模回路のフルチップ容量抽出をさらに高速に行うために、クリティカルパスに含まれるネットのみ高精度に抽出する等、配線の重要度に応じて適切な精度で抽出できるような仕組みを構築することによりさらに効率的な容量抽出が可能になると考えられる。

謝辞 本研究を行うにあたり、貴重なご助言やデータのご提供等をいただいた NEC の齋藤敏幸氏、秋山直人氏、山田健太氏、角田拓光氏、西牟田恵一氏をはじめ関係各位に深謝いたします。

参 考 文 献

- 1) Arora, N.D., Raol, K.V., Schumann, R. and Richardson, L.M.: Modeling and Extraction of Interconnect Capacitance for Multilayer VLSI Circuits, *IEEE Trans. Computer-Aided Design*, Vol.15, No.1, pp.58–67 (1996).
- 2) Benedek, P.: Capacitances of a planar multiconductor configuration on a dielectric substrate by a mixed order finite-element method, *IEEE Trans. Circuits Syst.*, Vol.CAS-23, pp.279–283 (1976).
- 3) Choudhury, U. and Sangiovanni-Vincentelli, A.: Automatic Generation of Analytical Models for Interconnect Capacitances, *IEEE Trans. Computer-Aided Design*, Vol.14, No.4, pp.470–480 (1995).
- 4) Ning, Q., Dewilde, P.M. and Neerhoff, F.L.: Capacitance coefficients for VLSI multilevel metallization lines, *IEEE Trans. Electron Devices*, Vol.ED-34, pp.644–649 (1987).
- 5) Sakurai, T. and Tamaru, K.: Simple-formulas for two- and three-dimensional capacitances, *IEEE Trans. Electron Devices*, Vol.ED-30, pp.183–185 (1983).
- 6) Seidl, A., Svoboda, M., Oberndorfer, J. and Rosner, W.: CAPCALA 3D capacitance solver for support of CAD systems, *IEEE Trans. Computer-Aided Design*, Vol.7, pp.549–556 (1988).

(平成 11 年 9 月 17 日受付)

(平成 12 年 2 月 4 日採録)



小林 進 (正会員)

1967 年生。1989 年東京大学工学部機械工学科卒業。1991 年同大学院工学系研究科船舶機械工学専攻修士課程修了。同年日本電気株式会社入社。以来、C&C システム研究所にて VLSI CAD の研究開発に従事。現在 NEC C&C メディア研究所主任。



枝廣 正人 (正会員)

1960 年生。1983 年東京大学工学部計数工学科卒業。1985 年同大学院計数工学専門課程修士課程修了。同年日本電気株式会社入社。以来、C&C システム研究所にて VLSI CAD、計算幾何学等の研究に従事。1991 年プリンストン大学計算機科学科博士課程入学。1993 年修士取得。現在 NEC C&C メディア研究所主任研究員。1993 年情報処理学会第 2 回坂井記念特別賞、1994 年情報処理学会山下記念研究賞等を受賞。電子情報通信学会、日本オペレーションズリサーチ学会、IEEE 各会員。