

回路変換に基づく論理シミュレーションの高速化

5L-6

久間啓司(1) 宮澤秀明(1) 広瀬文保(2)

(1) (株)富士通 ソーシャルサイエンスラボラトリ (2) (株)富士通研究所

1 はじめに

イベント駆動型の論理シミュレーションマシンにおいてイベント数を抑制することにより、論理シミュレーションを高速化するための回路変換アルゴリズムについて提案する。さらに、このアルゴリズムに基づき論理シミュレーション専用マシンSP[1]を用いて性能評価を行なった結果について報告する。

2 回路変換アルゴリズム

我々の行なった回路変換方法は2つある。まず1番目は、ハザードをできるかぎり除去するような変換(以後、CT1と呼ぶ)、2番目は、できるかぎり対象回路の規模を小さくするような変換(以後、CT2と呼ぶ)である。何れの場合にも変換は、対象回路上の複数のゲートを1ゲートにマージすることによって行なう(図1)。なお、SPの素子(評価単位)は4入力1出力であるため、複数ゲートをマージする際に各ゲートの外部入力の合計が4を越すことは出来ない。

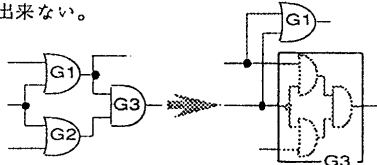


図1 マージの例

2.1 CT1のアルゴリズム

まず、対象回路上の全ゲートを入力側よりレベルソートする。次に1番レベルの低い未処理のゲートGを1つ取り出す。GのファンインゲートFi(G)のレベルを調べ、もしGのレベルとFi(G)のレベル差(以後、ギャップと呼ぶ)が2以上あるゲートがある場合、ギャップを無くすようにGとFi(G)のうちギャップが1のゲートをマージする。もしギャップが2のFi(G)が存在し、かつ、ギャップが1のゲートが無い場合は、Gのレベルを1下げる。この処理を対象回路上の全ゲートについてレベルの低いゲートから高いゲートに向かって行なう。以上の処理により、あるゲートのファンイン側ゲートのレベルは入力数の制限の元で極力揃うことになる。これによりハザードは抑制され、イベント数が減少する。図2にCT1の処理フローを示す。

2.2 CT2のアルゴリズム

まず、対象回路上の全ゲートを入力側よりレベルソートする。次に一番レベルの低いゲートGを1つ取り出し、その

ファンアウトゲートFo(G)全てがGをマージすることができる場合に限ってマージする。Fo(G)がGをマージできるか、できないかはその時点でのFo(G)とGの入力数に拠る。これを対象回路上の全ゲートについて、レベルの低いゲートからレベルの高いゲートに向かって行なう。以上の処理をもうマージするゲートが無くなるまで繰り返し行なう。この変換は入力側のレベルを揃えることは意図していないが、回路規模の縮小により結果的にオリジナルの回路よりもレベルが揃うことになる。図3にCT2の処理フローを示す。

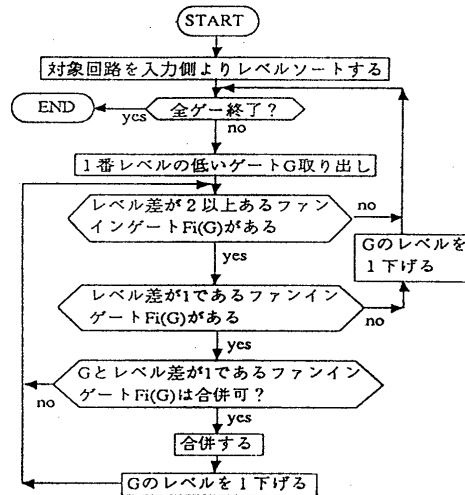


図2 CT1の処理フロー

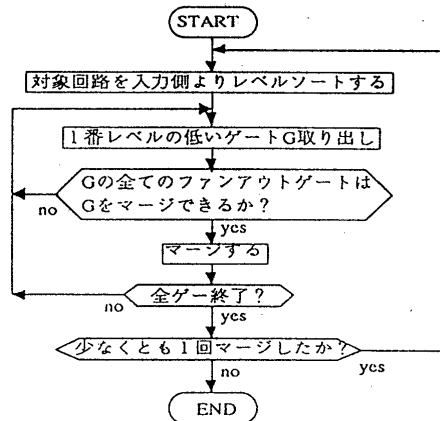


図3 CT2の処理フロー

Speed-Simulating based on Circuit Transformation

Keiji Kyuma(1), Hideaki Miyazawa(1), Humiyasu Hirose(2)

(1)FUJITSU SOCIAL SCIENCE LABORATORY LTD. (2)FUJITSU LABORATORIES LTD.,KAWASAKI

### 3 性能評価

今回の性能評価の条件を以下に示す。

#### 3.1 SP[1]

SPはユニットディレイ、Zeroディレイをサポートしたゲートレベルのイベント駆動型論理シミュレーション専用マシンで、最大64台のゲートプロセッサを持ち回路分割による並列処理を行なう。この性能評価では、Zeroディレイでシミュレーションを行ないプロセッサは1台のみ使用した。

#### 3.2 シミュレーション負荷

シミュレータは、シミュレーション中の回路のネットの値を保持するデータ構造を持っている。SPではこれをNSMと呼んでいる。論理シミュレータは、時々刻々変化するNSMを計算するものであり、NSMへのアクセス回数がシミュレーションの負荷であると言える。シミュレーション負荷は、評価したゲート数と更新されたゲート数の合計値で表される。

#### 3.3 入力パターン

回路への入力、乱数を用いて生成された入力パターンを与える。また、この入力パターン生成では全外部入力の内、何%のピンに対する入力を変化させるか(入力変化率)指定できる。

#### 3.4 回路

回路はISCAS'89ベンチマーク回路[2]のうちの規模の大きいもの5種を選択した。入力変化率を制御しやすくするため、我々はこれらの回路からレジスタを削除し組合せ回路化したものを使用した。表1に回路の静的特性を示す。"Ave.FO"はファンアウト数の平均値を、"Ave.FI"はファンイン数の平均値を、"Max Level"は外部入力から外部出力へのパスのうちゲート段数の最も大きいものを、それぞれ表す。

表1 ベンチマーク回路の静的特性

回路名	内部ゲート数	外部入力数	外部出力数	Ave.FO	Ave.FI	Max level
s38584	22069	1464	1730	1.59	1.57	58
s38417	24101	1664	1742	1.39	1.39	48
s35932	17793	1763	2048	1.64	1.64	30
s15850	10649	611	684	1.35	1.35	86
s13207	9116	700	790	1.34	1.34	62

### 4 結果

表2にCT1の結果を、表3にCT2の結果を示す。"(1)Size effect"は、変換後の回路とオリジナルの回路のそれぞれ内部ゲート数を比較して何倍縮小したかを表す。"(2)Size effect"は変換後の回路とオリジナルの回路のそれぞれ内部ゲート、外部入出力数の合計を比較して何倍縮小したかを表す。外部入出力数は、変換の前後で変化しないため"(1)Size effect"の平均値よりも"(2)Size effect"の平均値の方が小さくなる。"(3)Load effect"は、変換後のシミュレーション負荷が何倍小さくなったかを表す。"(4)Speed effect"は、変換後のシミュレーション速度が何倍速くなったかを表す。

表2、3ともに負荷の減少の割合よりも速度の向上の割合が小さいのは、主にSPのパイプラインと動的スケジューリングのオーバーヘッドによるものと思われる[3]。

表2 CT1の性能評価結果

回路名	(1)Size effect	(2)Size effect	(3)Load effect	(4)Speed effect	(3)/(2)	(4)/(2)
s38584	2.84	2.30	2.30	1.79	1.00	0.78
s38417	3.40	2.62	2.91	2.35	1.11	0.90
s35932	2.53	1.99	2.93	2.20	1.47	1.11
s15850	4.10	3.06	3.56	2.70	1.16	0.88
s13207	4.49	3.02	3.35	2.55	1.11	0.85
*1 1%	3.47	2.60	2.46	2.22	0.95	0.85
5%	3.47	2.60	2.49	2.12	0.96	0.82
10%	3.47	2.60	2.53	2.13	0.97	0.82
20%	3.47	2.60	2.77	2.17	1.07	0.84
50%	3.47	2.60	3.24	2.41	1.25	0.93
75%	3.47	2.60	3.68	2.55	1.42	0.98
100%	3.47	2.60	4.07	2.69	1.57	1.03
Average	3.47	2.60	3.04	2.33	1.17	0.89

\*1 入力変化率

表3 CT2の性能評価結果

回路名	(1)Size effect	(2)Size effect	(3)Load effect	(4)Speed effect	(3)/(2)	(4)/(2)
s38584	3.59	2.70	2.71	1.98	1.00	0.73
s38417	5.21	3.42	3.79	2.77	1.11	0.81
s35932	4.13	2.66	4.04	2.75	1.52	1.03
s15850	6.37	4.03	4.46	2.99	1.11	0.74
s13207	7.69	3.96	4.47	3.02	1.13	0.76
*1 1%	5.40	3.35	3.17	2.63	0.94	0.78
5%	5.40	3.35	3.18	2.51	0.95	0.75
10%	5.40	3.35	3.32	2.51	0.99	0.75
20%	5.40	3.35	3.60	2.56	1.07	0.76
50%	5.40	3.35	4.18	2.78	1.25	0.83
75%	5.40	3.35	4.70	2.92	1.40	0.87
100%	5.40	3.35	5.11	3.02	1.53	0.90
Average	5.40	3.35	3.89	2.70	1.16	0.81

\*1 入力変化率

### 5 おわりに

本稿では回路の縮小とイベントの抑制により論理シミュレーションを高速化する回路変換アルゴリズムを提案した。今後は素子(1評価単位)の入力数、出力数を増やし、より大きな効果を狙う予定である。

### 参考文献

- [1] 広瀬: "Simulation Processor 'SP'", Proc. of IEEE Int'l Conf. on Computer Aided Design, pp. 484-487(1987)
- [2] E.Brglez, D.Bryan, and K.Kozminski: "Combinational Profiles of Sequential Benchmark Circuits", Proc. Int'l Symp. Circuits and SYSTEMS, pp. 1929-1934(1989).
- [3] 広瀬: "Performance Evaluation of an Event-Driven Logic Simulation Machine", Proc. of ACM IEEE 29th Design Automation Conference, session 26.4(1992)