

6K-4

SOG型LSI下地シリーズの搭載可能パッケージ検索について

是澤 孝\* 清水 幸男\* 荘司 公克\*\*

\*(株)沖マイクロデザイン宮崎 \*\*沖電気工業(株)

1. はじめに

近年、ASIC市場におけるSOG及び埋め込み型スタンダードセル分野ではファミリー開発の短TAT化が要求されている。ファミリー開発には、下地モデルの構築、各種ライブラリの開発、下地の品揃え、またその下地に対する搭載可能なパッケージをリストアップする作業等がある。そこで著者らは、パッケージのリストアップをサポートするアセンブリ工程を考慮した「SOG型LSI下地シリーズの搭載可能パッケージ検索システム」を開発し実用化しているのここに報告する。本稿では、本システムの機能と構成、主要ツールである「最適ワイヤの考え方をを用いたパッドとLSIピンの接続ツール」(以降:パッケージ)

2. システム構成

本ツールの目的は、下地ファミリーの各下地に対し適用可能なパッケージをリストアップしパッケージメニューを作成することにある。まずレイアウト設計とファミリー開発の関係を図1に示す。

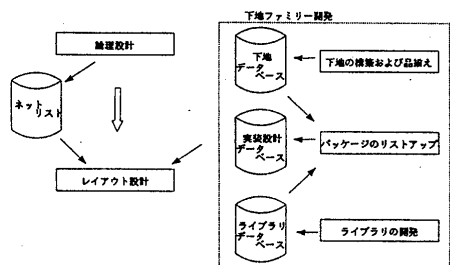


図1. レイアウト設計とファミリー開発の関係  
システム構成要素は、次に示す4つのツール(a~d)と4つの情報データベース(e~h)よりなる。システム構成図を図2に示す。

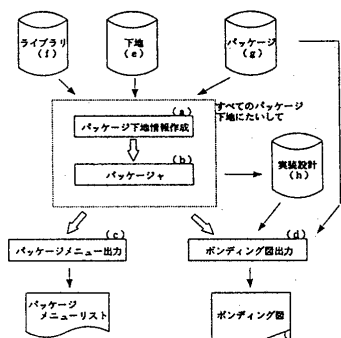


図2. システム構成図

【ツール関係】

(a) パッケージ下地情報作成

パッケージの入力情報を作成する。ここでは、下地の状態でチェックを行うためにパッケージ入力のための仮想的な接続情報(LSIピン⇄パッド⇄I/O)を作成する。またパッド・I/Oは、標準サイズのものを使用する。

(b) パッケージ

本ツールは、実装ルール、接続するパッド・I/Oの大きさ、隣接するパッドから配置可能領域を積算し、最適ワイヤを目標に全LSIピンの配置パッド位置を決定する。3. 1に基本アルゴリズムを示す。本システムでは、各下地対パッケージの関係が実装ルールを満足するか否かを判断し、LSIピン⇄下地パッド番号の関係(以降:パッケージ実装データ)を実装設計データベースに出力する。

(c) パッケージメニュー出力

上記パッケージで判断したデータをもとに、各ファミリー別下地対適応可能パッケージ群を記述したパッケージメニューリストを出力する。

(d) ボンディング図出力

実装設計データベースに出力したデータをもとに、パッケージデータベースからボンディング図を出力する。

【情報データベース関連】

(e) 下地データベース

下地関係のデータベースであり、各ファミリー単位に一括管理されている。各下地データは、ベースアレイジェネレータにより自動生成後登録される。本システムでは下地のパッド、I/O配置可能位置(以降:パッドアレー、I/Oアレー)の情報を入力データとする。

(f) ライブラリデータベース

レイアウト設計用ライブラリ情報データベースである。本システムではパッド・I/Oの外形図形の情報を入力データとする。

(g) パッケージデータベース

ASIC系のパッケージ形状および付帯情報、また各ファミリーの設計手法、各パッケージごとに示される実装ルールデータを一括管理している。本データベースは実装ルールチェックツール等に使用される。本システムでは、パッケージ形状、および実装ルールデータを使用する。

(h) 実装設計データベース

ファミリー単位に持つ下地のパッケージメニューの構成全要素にたいし、パッケージ実装データおよびテスター関係の情報を一括管理している。ここでは、パッケージ実装データをデータベースに出力している。

A Design Support System for The Package Menu List of SOG Type Base Arraies  
Takashi Koresawa\*, Yukio Shimizu\*, Kimikatsu Shoji\*\*  
\*Oki Micro Design Miyazaki Co.,Ltd. \*\*OKI Electric Industry Co.,Ltd.

3. レイアウトモデル

従来のチップ周辺レイアウト (参考文献(1)) においては周辺配線によりチップサイズが変わるため、周辺配線領域を最小にすること (チップ面積最小) が第一の目的であった。SOG型LSI下地モデル周辺部においては、パッド・I/Oセル間は直線にて結線される。このため周辺配線部 (チップ面積) 最小の問題が切りはなされることとなった。この条件から、本パッケージは最適ワイヤの考えかたを用いてパッド配置アルゴリズムを実現している。最適ワイヤとは、ユーザーの理想とするパッド位置 (例: 使用パッドの等間隔配置 etc) とLSIピンを結ぶワイヤのことである。本ツールにおいては、チップ中心から指定LSIピンを結んだ直線を最適ワイヤとしている。(図5参照) 図3にレイアウトモデルを示す。また実装ルールの例も示している。実際には約10種以上のルールがある。

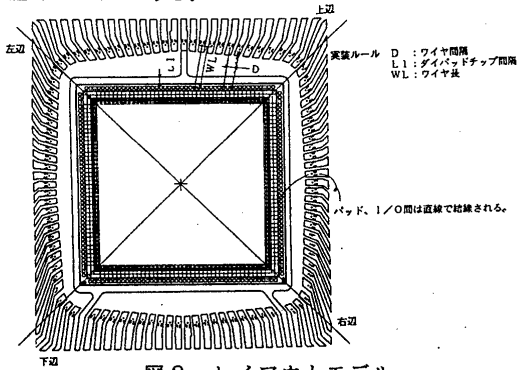


図3. レイアウトモデル

3.1 基本アルゴリズム

図4にパッド配置フローを示す。

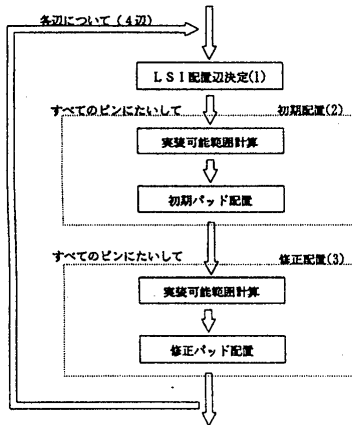


図4. パッド配置フロー

- (1) LSIピンの配置辺の決定  
チップ4頂点より対角線を張り、上下左右辺に分割し配置辺を決める。(図3参照)
- (2) 初期配置 (以降: 図5参照)  
ピン配置は、辺の外側のLSIピンより左右交互の順に行う。パッド配置は、配置可能なパッドアレイ中最も外側に配置する。ここで配置出来ない場合、チェック対象パッケージは適応不可となる。
- (3) 修正配置

ピン配置は、辺の中央のLSIピンより右左の順で配置する (初期配置の逆)。パッド配置は、配置可能なパッドアレイ中、最適配置位置 (最適ワイヤ) に最も近い位置に配置する。

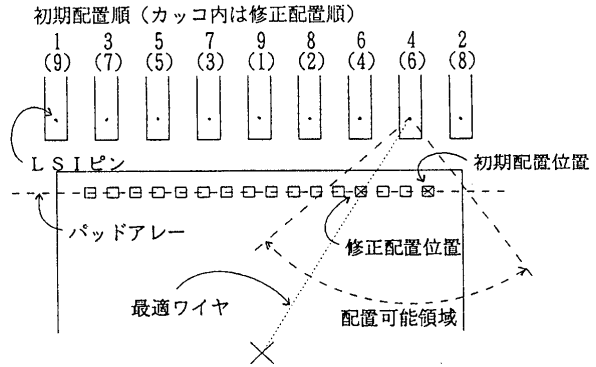


図5. 配置順と配置可能領域

4. 実施例

下地の搭載可能パッケージ検索を行った結果、適応パッケージとなるボンディング図の例を図6に示す。修正配置を行うことにより本ツールの指定する最適位置にワイヤが配線されている。

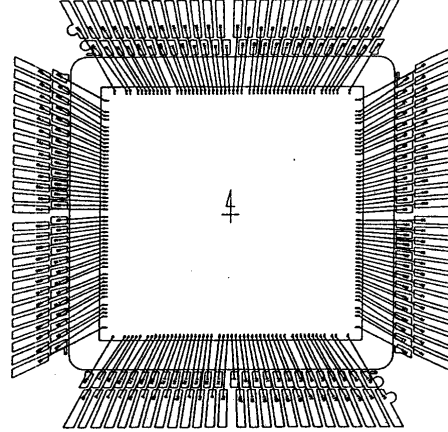


図6. ボンディング図

5. 終わりに

「SOG型LSI下地シリーズの搭載可能パッケージ検索システム」の開発により、ファミリー開発におけるパッケージメニューリストの作成が全自動化された。このため、全下地に対する適応パッケージの検索からパッケージメニューリスト出力まで短TATで行うことが可能となった。現在、SOG及び埋め込み型スタンダードセルの各ファミリー開発で実用化している。

また、将来的には、開発中の下地の自動生成システム等と合わせ下地ファミリー開発支援統合化システムとして提供する計画である。

6. 参考文献

- (1) 後藤他: 「LSIチップ周辺設計支援システム」, 情報処理学会第42回全国大会論文集, pp6-220~pp221, 1991
- (2) 末永他: 「サブミクロン対応ASICレイアウトCADシステムPEGASUS」, 沖電気研究開発第153号, Vol.59, No.1, p.41~44, 1992