

非同期式論理回路の遷移因果律について

3E-8

桑子 雅史 上野 洋一郎 南谷 崇  
東京工業大学 工学部 電気・電子工学科

1 はじめに

近年のデバイス技術の進歩により、実験室レベルでは遅延時間が数ピコ秒のスウィッチング素子が開発されている。

このような素子を用いて同期式プロセッサを設計しようとする、素子遅延に比べて配線遅延が相対的に大きくなり支配的となるため、プロセッサの基本性能を決定するクロック周波数はチップ寸法によってその最大値が制限されるようになる。このため現在行なわれているような同期式設計では、最適な論理設計を行なったとしても素子性能を十分に生かすことができなくなる [1]。

また、基本モード [2] の成立を仮定する Huffman モデル [3] に基づいた非同期式設計も高速化には適さない。

ピコ秒素子の高速性を生かした設計をするためには Muller の遅延モデル [4] に基づくべきである。

Muller モデルでは“配線遅延は存在しない”としているが、配線遅延を素子の出力の遅延に含めたり、疑似素子を挿入することで配線遅延に対応することができる。

本稿では、Muller モデルに基づいた 2 線式 2 相式の非同期式プロセッサにおける組合せ回路(以下、組合せ回路)の入力・内部・出力の 3ヶ所に着目した時にこれらが満たす因果関係の集合を遷移因果律と定義する。そしてこの遷移因果律の中で必要十分なものを明らかにすることによって、組合せ回路の高速化の可能性を示す。

2 レジスタ間データ転送モデル

本稿が仮定しているレジスタ間データ転送モデルは図1のようなものである [5]。

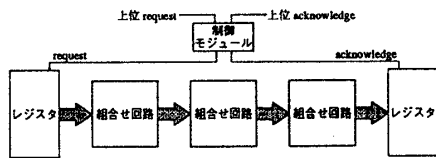


図1: レジスタ間データ転送モデル

このモデルでは、データの1ビット分は2本の信号線対を用いて伝達される。この信号線対は有効符号語、無効符号語と呼ぶ2種の状態をとる。有効符号語は2線式符号化されたデータを表わす(0,1)または(1,0)の状態であり、無効符号語は(0,0)の状態である。

転送元レジスタは request 信号が1になると有効符号語を出力し、request 信号が0になると無効符号語を出力する。転送先レジスタは有効符号語を受け取ると acknowledge 信号を1にし、無効符号語を受け取ると acknowledge 信号を0にする。

組合せ回路は、転送元レジスタまたは前段の組合せ回路から有効符号語を受け取ると、演算を行ない、転送先レジスタまたは後段の組合せ回路に演算結果の有効符号語を渡す。これが稼働相である。そして次に入力が無効符号語になると出力にも無効符号語を出す。これが休止相である。

この稼働相と休止相を交互に実行してレジスタ間データ転送を行なうことから、2線式2相式と呼ばれる。

このようなモデルの下でレジスタ間データ転送を繰り返し行なうことができる時、組合せ回路は正しく機能していると言える。また組合せ回路自身は、図2のように論理関数実現部と組合せ回路を正しく機能させるために付加される付加回路とから成る。

そして組合せ回路の入力・内部・出力とは、それぞれ次の部分を指すものとする。

入力: 組合せ回路の付加回路へ外部からデータが入力される部分。

内部: 組合せ回路の論理関数実現部を構成するすべてのゲートの出力。

出力: 組合せ回路の付加回路から外部へデータが出力される部分。

入力と出力は通常複数ビット構成であるため、そのとり得る状態は有効符号語と無効符号語の他に、2線対ごとに有効符号語と無効符号語が混在した過渡状態がある。

また、内部は必ずしも2線式符号で表現されていないため、入力や出力の有効符号語、無効符号語に対応する用語として、稼働相安定、休止相安定を用いる。そして入力や出力と同様に内部にも過渡状態が存在する。

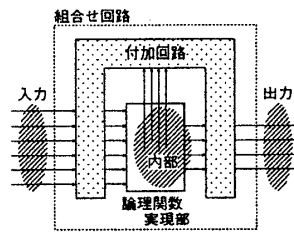


図2: 組合せ回路のモデル

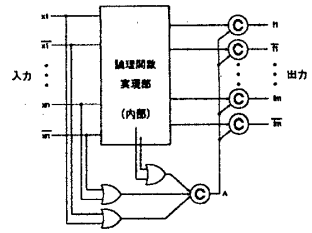


図3: 組合せ回路構成法の一例

3 従来の組合せ回路構成法

上記のモデルに基づいた組合せ回路構成法として知られているものに図3がある [5]。これは、論理関数実現部の出力に Muller のC素子を付け、組合せ回路の入力と内部が安定するのを待ってから出力が遷移するようにしたものである。

論理関数実現部から引き出されている OR ゲートは内部の安定を監視する回路を象徴的に表わしている。(論理関数実現部が2線式論理で構成されている場合は、2入力 OR ゲートを用いて内部安定を監視することからこのように表現した。)

図4は、図3の入力・内部・出力の遷移に着目した時にこれらの間で満たされる因果関係を表わした図で、図3の構成法の遷移因果律と呼ぶことにする。

図3の構成法は付加回路が簡単であるが、入力・内部・出力の間に強い因果関係があるため、回路速度が遅いという問題がある。

例えば、具体的な組合せ回路として ALU を考えてみる。ALUには論理和のように簡単な演算もあれば、加算のように比較的ゲート段数の多くなる演算もある。このような場合に図3の構成法を用いると、論理和演算を行なう時にも加算を実行する回路の部分が安定するまで演算結果は出力されない。しかし、もし内部が稼働相安定する前に出力が有効符号語へ遷移できるような組合せ回路構成法を用いれば回路の平均速度が向上する可能性がある。

このようなことは程度の差はあるものの、どのような組合せ回路でも起こるので、入力・内部・出力ができるだけ因果関係を持たずに遷移する構成法を用いれば組合せ回路を高速化できると考えられる。

4 回路各部の因果関係の弱い構成法

図3よりも回路各部の因果関係をより弱くした構成法の例を図5に示す。この構成法の特徴を簡単にまとめると、

1. 入力が有効符号語に安定していなくても、出力は有効符号語への遷移を開始できる。
2. 内部が稼働相安定していなくても、出力は有効符号語に安定できる。
3. 入力に無効符号語が到着しなくても、内部は休止相を実行する。
4. 入力が無効符号語に安定すると、内部の状態に関わらず、出力は無効符号語に安定する。

のようになる。この構成法の遷移因果律は図6のようになる。

また、C素子は0→1、1→0両方向のANDと見ることもできるが、図5の中にある“DM”は、両方向のAND(c出力)と両方向のOR(d出力)の2つの出力を持っている図7のような構成の機能モジュールである。

5 図6の遷移因果律の必要性

前節で示したように、従来の組合せ回路構成法よりも回路各部の因果関係の弱い構成法が存在した。すると、もっと因果関係の弱い構成法があるのではないかと疑問が生じる。

しかし、図6に示される遷移因果律は必要最小限のものであり、入力・内部・出力の遷移に関して図5の構成法よりも因果関係の弱いものは存在しない。

そこで図6に示される個々の因果関係の必要性を述べる。

- 入力:無効符号語→過渡状態 → 内部:休止相安定→過渡状態
- 内部:休止相安定→過渡状態 → 出力:無効符号語→過渡状態
- 入力:有効符号語→過渡状態 → 出力:有効符号語→過渡状態

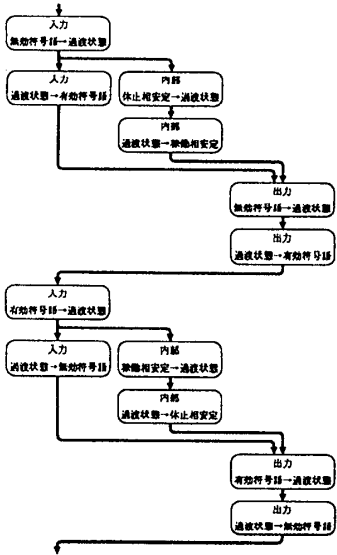


図4: 図3の構成法の遷移因果律

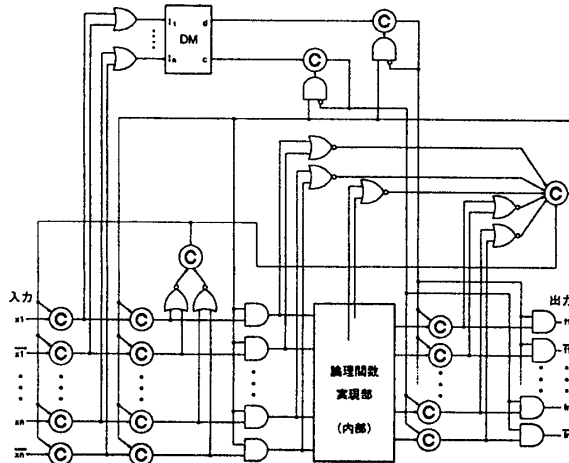


図5: 入力・内部・出力の因果関係が弱い組合せ回路構成法

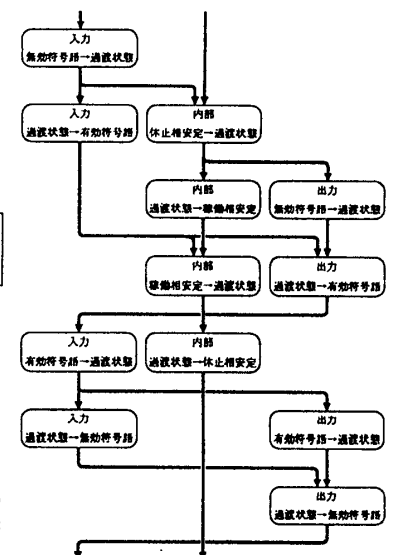


図6: 図5の構成法の遷移因果律

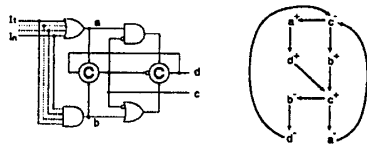


図7: "DM" の内部構成

これらは、“入力データを受け取ると、演算をして、その結果を出力する”、“入力に無効符号語が到着すると、出力にも無効符号語を出す”という組合せ回路の仕様を表わす。

- 内部:休止相安定→過渡状態 → 内部:過渡状態→稼働相安定
- 内部:過渡状態→稼働相安定 → 内部:稼働相安定→過渡状態
- 内部:稼働相安定→過渡状態 → 内部:過渡状態→休止相安定
- 内部:過渡状態→休止相安定 → 内部:休止相安定→過渡状態

内部が稼働相を開始した後その安定を待たずに休止相を実行すると、安定していなかったゲートの出力にハザードが発生しその次の稼働相実行時に出力に不正なデータを生じる危険がある。このような理由により、内部は休止相安定→過渡状態→稼働相安定→過渡状態→休止相安定の順序で遷移しなければならない。

- 入力:無効符号語→過渡状態 → 入力:過渡状態→有効符号語
- 入力:有効符号語→過渡状態 → 入力:過渡状態→無効符号語
- 出力:無効符号語→過渡状態 → 出力:過渡状態→有効符号語
- 出力:有効符号語→過渡状態 → 出力:過渡状態→無効符号語

内部と同様の理由により、入力と出力も無効符号語→過渡状態→有効符号語→過渡状態→無効符号語の順序で遷移しなければならない。従って上のような因果関係が必要である。

しかし、入力と出力は単にこの順序で遷移すれば良いわけではない。なぜなら入力と出力は組合せ回路にとっての request 信号、acknowledge 信号の意味も持っているからである。このため次にあげるような因果関係が必要である。

- 入力:過渡状態→有効符号語 → 出力:過渡状態→有効符号語
- 入力:過渡状態→無効符号語 → 出力:過渡状態→無効符号語
- 出力:過渡状態→有効符号語 → 入力:有効符号語→過渡状態
- 出力:過渡状態→無効符号語 → 入力:無効符号語→過渡状態

組合せ回路が何段接続されているにせよ、その組合せ回路群の前段には転送元レジスタが、後段には転送先レジスタが繋がれている。転送元レジスタの出力が有効符号語安定する前に転送先レジスタ

タの入力が有効符号語安定してしまうと、acknowledge 信号が伝搬して転送元レジスタの出力でハザードが発生する危険がある。

このため組合せ回路群では、転送元レジスタの出力が有効符号語安定した後に転送先レジスタの入力が有効符号語安定するように因果関係をつけてやらなければならない。これを実現する最低限の因果関係が上のようなものである。

- 入力:過渡状態→有効符号語 → 内部:稼働相安定→過渡状態

入力に無効符号語が到着する前に内部休止相を実行するには、付加回路によって内部に強制的に無効符号語を入れなければならない。しかし、この時には付加回路の出力部(論理関数実現部の入力)が有効符号語安定したことを確認してから行なわないと、付加回路出力部や内部でハザードが発生する危険がある。そして、付加回路出力部の有効符号語安定は入力有効符号語安定に続いて起こるので、入力:過渡状態→有効符号語から内部:稼働相安定→過渡状態への因果関係が必要である。

このように図6の遷移因果律は必要不可欠なものであることが分かる。従って、図6は必要十分な遷移因果律である。

## 6 終わりに

本稿では、Muller モデルに基づく2線2相式の非同期式組合せ回路における必要十分な遷移因果律を明らかにした。

図5のような組合せ回路構成法は必要最小限の因果関係しか持たないため、入力・内部・出力の遷移に関して並列性が最大であり、Muller モデルの下では最も高速な構成法と言える。

しかし、遷移に要する時間は通過するゲート段数に依存するという現実の論理回路の特性を反映した仮定の下では、高い並列性を実現するために付加回路部のゲート段数が多くなっている図5の構成法の回路速度は、より並列性の低い構成法に比べむしろ遅くなってしまふ場合が多いと考えられる。

そこで実際の構成法を考える場合には、論理関数実現部の回路形式、ゲート段数などを加味して図6の遷移因果律に冗長な因果関係を付け加えた遷移因果律を持つ最適な構成法をとるべきである。

尚、本研究の一部は(財)大川情報通信基金1991年度研究助成によるものである。

## 参考文献

- [1] 南谷崇, “同期式プロセッサの限界と非同期式プロセッサの課題”, 信学技報, FTS90-45 (Dec. 1990)
- [2] S.H.Unger, “Asynchronous Sequential Switching Theory”, John-Wiley(1969)
- [3] D.A.Huffman, “The synthesis of sequential switching circuits”, J.Franklin Inst., Vol.257, No.3, pp.161-190(Mar. 1954);ibid., No.4, pp.275-303(Apr. 1954)
- [4] D.E.Muller and W.S.Bartky, “A theory of asynchronous circuits”, Proc.Int.Symp.Theory of Switching, pp.204-243(1959)
- [5] 山村良憲, 南谷崇, “非同期式制御モジュールと組合せ回路の一構成方法”, 信学技報, FTS91-17 (May 1991)