

1 D-5

マルチプロセッサシステムにおけるプロセッサの誤り検出法

小山田 英夫, 志賀 稔

三菱電機 (株) 情報電子研究所

1 はじめに

近年、マイクロプロセッサの高速化技術の進展がめざましい。昨年は CMOS プロセスで動作周波数 50MHz が達成され、1, 2 年のうちに CMOS プロセスで動作周波数 100MHz の壁も崩される勢いである。その一方で、マイクロプロセッサ応用市場は高信頼性を要求している。ハードウェア構成を分類すると、プロセッサ、メモリ、バス等があるが、ここではシステムの中核であるプロセッサの誤り検出法に焦点を当てる。

本稿で提案するプロセッサ誤り検出法は、以下に示す二つの目的を持つ。

1. 動作周波数が高いプロセッサでも、プロセッサの誤り検出が可能であること。
2. 高速化・低コスト化・低ノイズ化のため少ハードウェア量で実現すること。

本稿は、高周波数動作領域のプロセッサ誤り検出法を述べるものである。

2 提案方式の基本的考え方

2.1 比較法の採用

従来のプロセッサ誤り検出法を大きく分類すると、タイムアウトチェック法、比較法、多数決法がある。タイムアウトチェック法は、一定時間毎に正しくプロセッサが動作しているかをチェックする方法である。この方法は簡単なハードウェアの付加により優れた効果があるが、誤り検出時間が長い (数十 msec 以上)。比較法は 2 個のプロセッサの出力を比較して不一致であれば誤りがあるとする方法である。この方法はハードウェア量が大いだが、誤り検出時間が数十 ns である。多数決法は 3 個以上プロセッサの出力を比較して一致しているものが多い値を正しいとする方法である。この方法は誤り検出時間がほぼ比較法と同等であるが、ハードウェア量が比較法の 1.5 倍以上必要である。そこで、提案方式では、上記の目的、つまり少ハードウェアで高周波数領域のプロセッサに適した比較法を採用する。

2.2 提案方式の基本仕様

ここでは、提案方式の基本仕様として二つの項目を挙げる。

1. 二重化するのにはプロセッサのみ

比較誤り検出法の基本的な考え方は、同一動作するモジュールを完全二重化することである。しかし、提案方式では二重化するのにはプロセッサのみにする。これは以下の二つの理由による。

- (a) 完全二重化するとハードウェア量が倍になる。
- (b) メモリ、バスインタフェース等は符号理論による誤り検出が有効である。

2. 通常系と誤り検出系

第一プロセッサはシングルプロセッサと同様な動作をする通常系にする。第二プロセッサは誤り検出系とし、第一プロセッサの高速性を維持しながら誤り検出を行なう。

なお、本提案方式はマルチプロセッサシステムを想定しており、誤りが発生した場合には待機系に切替えることが前提になっている。

3 提案方式の構成

図 1 は提案方式のプロセッサモジュール図である。

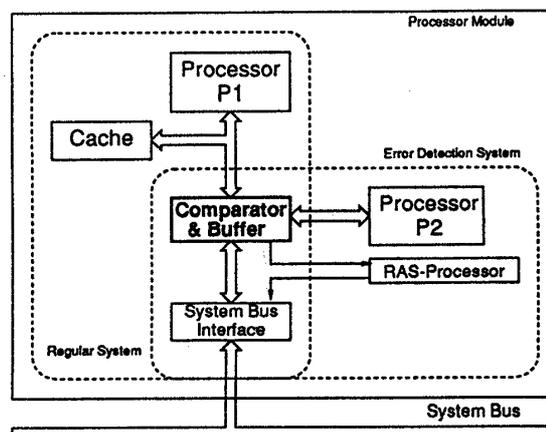


図 1: 提案方式のプロセッサモジュール図

通常系は、一般のマルチプロセッサのプロセッサモジュールに搭載するシステムである。構成は通常系プロセッサ P1 (以後、P1)、キャッシュ、システムバスインタフェース等である。

誤り検出系は、P1 の高速性を維持しながら誤り検出を行なうシステムである。構成は以下の要素からなる。

1. 誤り検出系プロセッサ P2
誤り検出系プロセッサ P2(以後、P2) は P1 よりある一定時間 T 遅れて動作する誤り検出専用プロセッサである。
2. 比較&バッファ回路
比較&バッファ回路は、アドレスまたは書き込み時のデータを比較して誤り検出する比較機能と読み出し時のデータをキャッシュから P2 へ送り出すためのバッファ機能を持つ。
3. RAS プロセッサ
RAS プロセッサは比較&バッファ回路が誤りを検出した後の処理を行なう。
4. システムバスコントローラ
システムバスコントローラは、システムバスとのデータ転送を制御し、誤りを検出した場合にこのモジュールを切り離すなどの機能を持つ。

4 動作シーケンス

4.1 基本シーケンス

P1 と P2 は、ある一定時間 T [基本クロックの整数倍] ずれて動作する。比較&バッファ回路は P1 から入力されるアドレスとデータ及びキャッシュから入力されるデータを時間 T の間保持する。P1 はアドレスまたはデータを比較&バッファ回路に受け渡した後、P2 と独立に動作を継続する。P1 から入力されたアドレスとデータは P2 からの入力されるアドレスとデータとそれぞれ比較され誤り検出を行なう。キャッシュからのデータは P2 へ出力される。

4.2 ライト・シーケンス

図 2 は、比較&バッファ回路内部のアドレス及びデータの流れを示している。

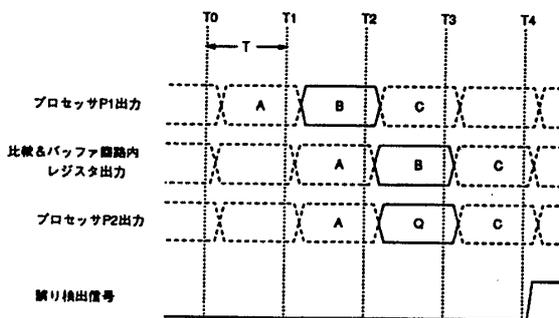


図 2: ライト・シーケンス

P1 がアドレス B をキャッシュと比較&バッファ回路に出力する。時刻 T2 には比較&バッファ回路は P1 からのアドレス B を受け取っており、その後、P1 は次の処理に移行する。P1 と P2 がずれて動作している時間 T の

間、比較&バッファ回路内レジスタはアドレス B を保持する。P2 がアドレス Q を比較&バッファ回路に出力する。比較&バッファ回路は時刻 T3 で P2 よりアドレス Q を受け取りアドレス B と比較して誤り検出をする。ここで、アドレス Q がアドレス B と不一致の時、時刻 T4 で誤りが認識され、RAS プロセッサが他にこの影響が及ばないように動作する。アドレス Q がアドレス B と一致すれば、そのまま処理が続けられる。

アドレスについての誤り検出が終了後、データについても誤り検出が同様に行なわれる。

4.3 リード・シーケンス

P1 がキャッシュと比較&バッファ回路にアドレスを出力する。読み出し時のアドレスについては、ライト・シーケンスと同様に誤り検出を行なう。次にキャッシュは P1 と比較&バッファ回路にデータを出力する。比較&バッファ回路内部のデータの流れを図 3 に示す。

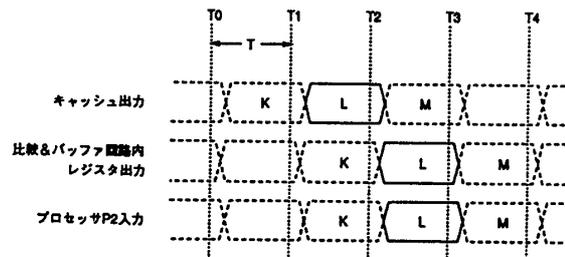


図 3: リード・タイミング

読み出し時には、比較&バッファ回路はバッファ機能を果たす。キャッシュから入力されたデータは比較&バッファ回路内レジスタにより時間 T 遅らせて P2 に出力される。

5 まとめ

本稿では、高速なプロセッサ誤り検出方式を提案した。プロセッサは比較法による誤り検出を、キャッシュとバスインタフェースは符号理論による誤り検出を採用したため、提案方式は少ハードウェア量で実現できる見通しを得た。P1 に対し P2 が一定時間 T ずれて動作し、比較&バッファ回路が各プロセッサの出力のタイミングを合わせて比較して誤りを検出する方法を採用した。その結果、P1 は出力を比較&バッファ回路に渡し P2 と独立に動作することが可能になるため、提案方式ではプロセッサの動作周波数が高くても誤り検出が可能である。

参考文献

- [1] 向殿政男編：「フォールト・トレラント・コンピューティング」, 丸善, 1989