

6 J-4

フリーチャネルゲートアレイの配置手法

徳山 弘毅 佐々木 哲雄 檜山 徹 石井 建基 長尾 葉介 佐藤 康夫 竹内 久博  
(株)日立製作所

1. はじめに

近年、ワークステーション等の高性能化が進んでいる。これらの機器に用いられているフリーチャネルゲートアレイ<sup>1)</sup>のレイアウトシステムに対しても配線性能を確保しつつ、ディレイ等の電気的特性を考慮したレイアウト結果を短時間で提供することが求められている。この要求を満足する配置結果を提供することを狙い、ブロック保存チップ一括配置手法を開発したので報告する。

2. ディレイ管理手法

L S Iの内部での配線負荷容量、配線抵抗に依存するディレイは、配線長の関数として表現される。従って、あるバスが与えられた時、そのバスの始点から終点までのディレイが満足されるためには、L S Iのディレイ特性から定まるある距離があって、その距離の範囲内にバスを構成する論理素子を配置すればよい。

一般にL S Iの配線は縦方向と横方向の互いに直交する2方向を用いて行われる。このためL S Iの2つの論理素子間の距離は図2.1に示すように直交距離が用いられる。

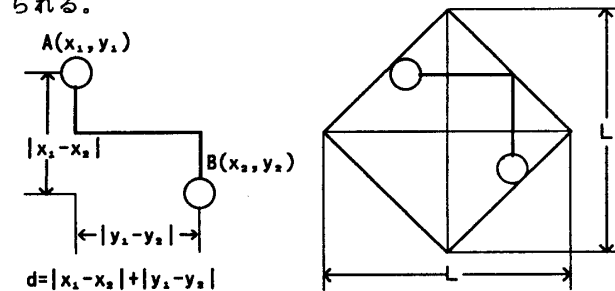


図2.1 直交距離

図2.2 直交距離一定の範囲

直交距離がL以下の範囲とは、図2.2に示すように、対角長がLの菱形の内部である。従って、図2.3に示すようにディレイの目標値を実現するのに充分小さな矩形の内部であればその内部にどのように論理素子を配置してもディレイは満足される。そこで、チップをディレイがある値以下となるように分割しておき、更に1つ1つの分割にあてはまる大きさに論理を分割して、配置す

Placement Algorithm for CMOS Free Channel Gate Array

Hirotake Tokuyama, Testuo Sasaki, Tooru Hiyama, Tastuki Ishii, Yousuke Nagao, Yasuo Satou, Hisahiro Takeuchi

る。このように配置すると各論理分割の中で閉じるバスについて、ディレイを満足することが出来る。複数の論理分割をまたがるバスにはバッファを置くなどの手段を用いてディレイを保証するとチップ全体でディレイが閉じた配置が実現出来る。

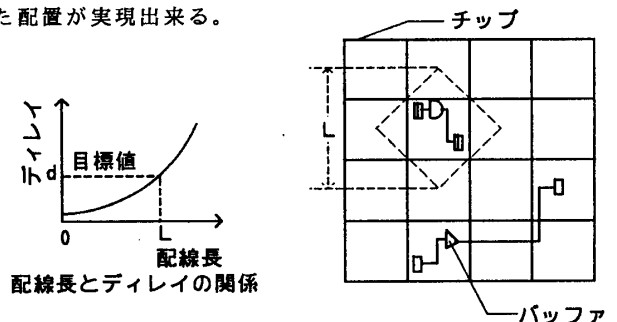


図2.3 ディレイ管理の概念

3. ブロック保存配置

3.1 論理分割

従来から大規模CMOSゲートアレイの論理設計は、チップ全体を複数のブロックと呼ばれる単位に分割し、各ブロック毎に論理設計を進める階層設計方式が採られている。論理設計の容易性に着眼すると、論理分割に対して満足すべき条件は、論理設計上の1単位とディレイ管理上の1単位が一致していることである。従って、前章で述べたディレイ管理手法における論理分割の単位をブロックと考え、各ブロック毎にディレイの目標値を設定し、最大ディレイ目標値以下とするよう実装設計を進めるとよい。

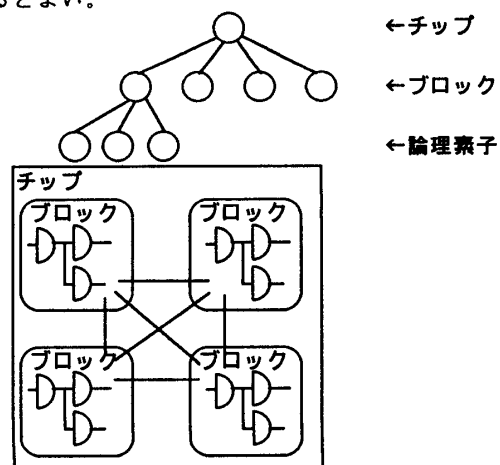


図3.1 論理分割

### 3.2 ブロック保存配置

前節で述べたようにディレイ管理上の1単位としてブロックを用いると、ディレイ管理を行う上でのポイントは、配線性能を確保しつつ、同一ブロック内部に属する論理素子同士を固めて配置するという点である。配線性能を確保するという観点から従来より2次元クラスタリング初期配置手法<sup>3)</sup>が用いられて来た。この手法では論理分割とチップの分割を繰り返しながら2次元配置を実現していることに着目すると、論理分割を行う際にブロックを考慮し、出来る限り同一のブロックに属するセルが同一の分割の中に入る様にする。もし、ブロックが分割された場合には分割されたものが近接するように制御する。

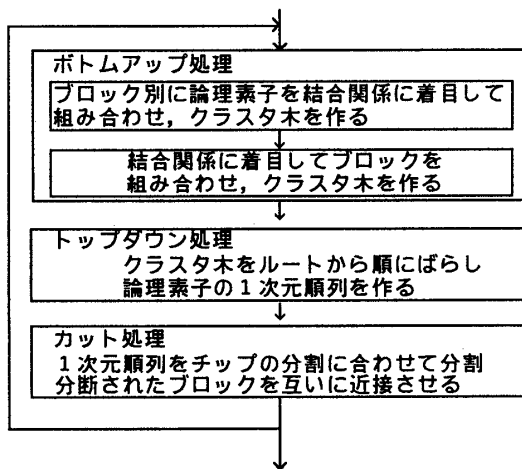


図3.2 ブロック保存配置のアルゴリズム

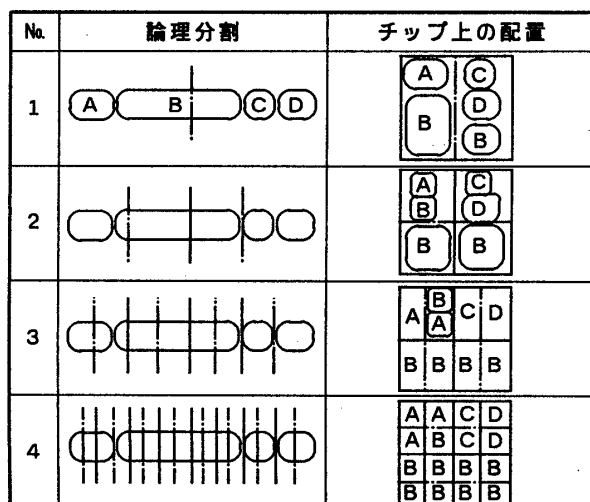


図3.3 ブロック保存配置手法

### 4. 適用結果

65kゲートフリーチャネルゲートアレイ3種について適用した結果を表4.1に示す。結果は従来用いていた分割階層設計方式<sup>3)4)</sup>との比較により論ずる。

表4.1 適用結果

項目	品種1	品種2	品種3	平均	
<b>実配線長</b>					
一括設計/分割設計	90.9%	89.9%	87.1%	89.3%	
未配線数	一括設計	4本	5本	23本	対分割比
	分割設計	3本	1本	1本	
<b>処理時間</b>					
分割設計/一括設計	4.5倍	10.7倍	27.5倍	14.2倍	

### 5. 結論

分割階層設計方式と同等のディレイ管理方式を採用した大規模CMOSゲートアレイ向け一括配置手法を開発し、分割階層設計方式による実装結果以上の性能が確保出来ることを確認した。

### 6. 参考文献

- 1) Toshiro Takahashi et al.; A 1.4M Transistor CMOS Gate Array with 4ns RAM; IEEE/ISSCC89 pp178-179; 1989
- 2) B.W. Kernighan et al.; An Efficient Heuristic Procedure for Partitioning Graphs; Bell Systems Technical Journal, pp291-307, 1970
- 3) 寺井他; 大規模フルカスタムLSIの自動レイアウト設計方式; 情学論文 Vol.126 No.1 pp.76-84, 1984
- 4) 横川他; フリーチャネル方式ゲートアレイレイアウトシステム; 情学全大第40回, 1990