

Rectangular Dualに基づくマクロセル配置手法

6 J-2

田宮 豊、藤田 昌宏、角田 多苗子、松永 裕介
(株)富士通研究所

1. はじめに

カスタムLSI、Sea-Of-Gate等のレイアウト設計では、任意形状マクロセルの配置問題を解くことが必要となる。このマクロセル配置問題に対する従来手法として、Sechenら[1]の手法と、Uptonら[2]の手法が報告されている。両者は共にsimulated annealingを用いた繰り返し改善手法である。

Sechenら[1]は、マクロセル同士のオーバーラップを認めながら配置変換を行なう。この際、マクロセルのオーバーラップをコスト関数に組み込み、オーバーラップを解消するように最適プロセスを方向づける。しかし、オーバーラップを持った配置は、面積・ネット長の評価が正確ではない。さらに、オーバーラップを導入することにより解空間が広がるため、オーバーラップを認めない手法に比べ、最適解を探索するための手数が大きくなる。

Uptonら[2]はマクロセルの相対配置をslicing木で表現する。しかし、slicing木で表現できない(non-slicing)配置が多数存在する。

本手法は、rectangular dual (矩形双対グラフ)を用いて、マクロセルの相対配置を表現する。これによって、オーバーラップが無く、non-slicingな配置を簡潔に表現することが可能となった。さらに、rectangular dualを使った、マクロセルの配置変更が定義可能である。本配置手法では、この配置変更法を基に、simulated annealingによる繰り返し配置改善を行なう。

2. 配置表現手法

本手法のrectangular dualは、水平方向または垂直方向の有向エッジにより矩形領域の隣接性を表現する有向グラフである(図1-aおよび図1-b)。これは、Kozminskiらのrectangular dual[3]の拡張になっている。水平(垂直)エッジで結ばれたノードのペアに対応する矩形領域ペアは、水平(垂直)方向に隣接する。無限遠平面に相当するものとして、4つの極(東極、北極、西極そして南極)を設ける。図1-aにおいてノードbは4本のエッジ(Wから来る水平エッジ、cへ行く水平エッジ、eから来る垂直エッジ、およびaへ行く垂直エッジ)を持っている。このことは、図1-bにおいて次のように反映される: bの西側には全く矩形領域は隣接せず、東側にはc、南側にはe、そして北側にはaがそれぞれ隣接する。

各々の矩形領域にマクロセルを1つずつ割り付ける。マクロセルは、それぞれの配置パラメータ(回転、裏返し、マクロセル原点位置)に従って、矩形領域内部に自身を配置する。

なお、矩形領域の寸法・位置計算は、レイアウトコンパクションの最長経路法を応用する。rectangu-

lar dualは、水平エッジに注目すればレイアウトコンパクションにおける水平方向制約グラフに、垂直エッジに注目すれば垂直方向制約グラフにみなせるからである。

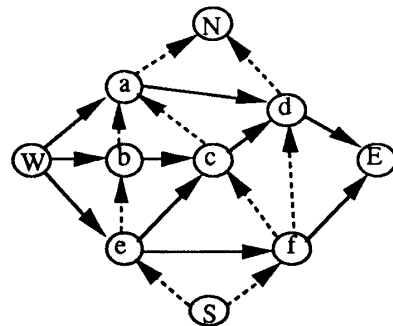
3. 繰り返し配置改善アルゴリズム

simulated annealingにおける配置変更手段は以下のとおりである:

- (1) マクロセルの矩形領域内部配置パラメータ変更
- (2) 矩形領域に割り付けられているマクロセル交換
- (3) rectangular dualのトポロジ変換

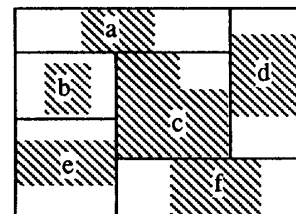
この内、(3)は矩形領域の隣接性を局部的に変更する変換である。回転・裏返しの変換を施して、図2のa~cの左側のグラフと同型なrectangular dualのサブグラフを見付ける。そのサブグラフに対して、各図のようなエッジの種類変更・付け替えを行なう。これらの図において、ノードを省略しているエッジは、0本以上の同種類のエッジが存在することを意味する。そして、これらのエッジの省略した方のノードとの接続は変換後も保存される。同じことを矩形配置においてはメッシュ模様で示す。

我々は、この変換に関して重要な結果を導いた:



エッジ
 —▶ 水平エッジ
 - -▶ 垂直エッジ

ノードa~f: それぞれマクロセルに対応
 E, N, W, S: 極 (東極、北極、西極、南極)
 a) rectangular dual



□ 矩形領域
 // マクロセル

b) a)のrectangular dual に対応するマクロセル配置

図1 rectangular dualとマクロセル配置の関係

トポロジ変換の完全性

図2に示した変換の有限回の繰り返しのよ
り、ノード数が等しい全てのrectangular dual
は相互変換可能である。

この結果から、理想的なsimulated annealingのスケ
ジューリングによって最適配置が求められることが
保証される。

4. 評価および今後の課題

本手法のプロトタイプを制作し、MCNCベンチマ
ーク回路[4]に対して評価を行なった。但し、配線領
域は全く考慮していない。コスト関数は次式で定義
する。

$$\text{コスト} = C1 * \text{面積} + C2 * \text{総見積もりネット長} \\ + C3 * \text{ネット制約違反}$$

: C1, C2, C3 は定数

この式の見積もりネット長とは、half perimeter、す
なわち、ネットに属する端子を包含する最小矩形の
高さとの和とする。

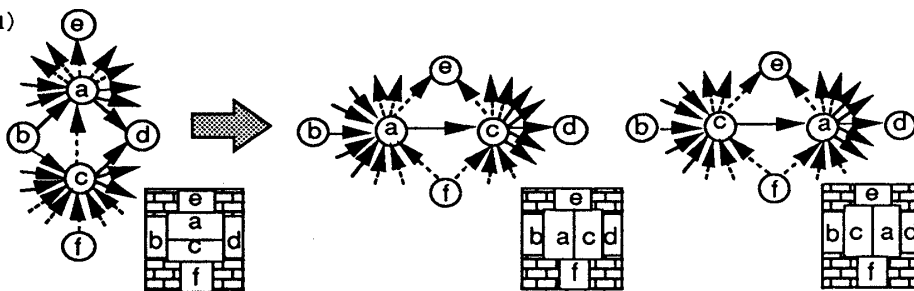
表1に示すように、本手法は、配置の質におい
ても、実行時間においても良好な結果を得ている。

今後の課題は、simulated annealingの過程で概略配
線評価を行なうことである。rectangular dualのエッジ
は2つの矩形領域に挟まれた領域、つまり配線
チャンネル領域に対応する。従って、これを用いるこ
とによって概略配線を行なうことが可能である。

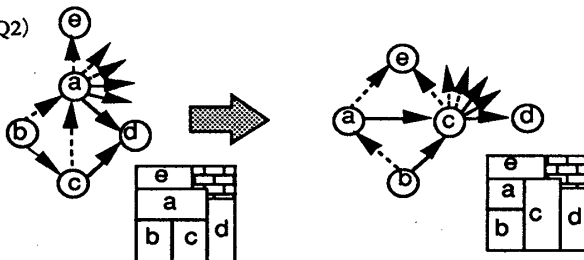
参考文献

- [1] W. Swartz and C. Sechen, "New Algorithm for the Placement and Routing of Macro Cells," Proc. ICCAD-90, 1990, pp. 336-339.
- [2] M. Upton, K. Samii and S. Sugiyama, "Simulated Annealing Placement for Mixed Macro Cell and Standard Cell Layouts," Proc. International Workshop on Layout Synthesis, 1990, session 2.1.
- [3] K. Kozminski and E. Kinnen, "Rectangular Duals of Planar Graphs," Networks, Vol. 15, 1985, pp. 145-157.
- [4] K. Kozminski, "New Layout Synthesis Benchmarks," Proc. International Workshop on Layout Synthesis, 1990, session 3.1.

a) 変換1(タイプQ1)



b) 変換2(タイプQ2)



c) 変換3(タイプQ3)

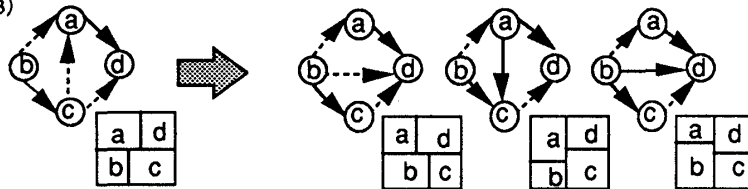


図2 rectangular dualのトポロジ変換方法

表1 配置結果

circuit	#block	area*[mm ²]	net length**[mm]	aspect ratio	CPU time***[sec]
ami33	33	1.42	53.0	1.38	442
ami49	49	43.44	772.4	1.19	1276
apte	9	52.24	351.2	1.11	264
hp	11	10.93	139.9	1.29	305
xerox	10	24.38	473.7	1.08	689

* 配線領域無し ** 見積もりネット長 *** Sun 4/370