

5 J-4

VLSIチップ周辺設計支援システム

後藤和昭* 是澤 孝* 灘岡 満**
 *瀬沖マイクロデザイン宮崎 **沖電気工業㈱

1. はじめに

L S I レイアウト設計では、プロセス設計基準ばかりでなく、ボンディング基準（アセンブリ時の歩留まり向上のために定めたボンディングワイヤー長、パッド間隔等に関する基準）も満足するように設計しなければならない。しかし、このボンディング基準は、各メーカーのアセンブリ工程や、パッケージの形状に依存するため、市販システムの導入で対応することは難しい。

そこで、著者らは、アセンブリ工程を考慮したL S I レイアウト設計をサポートする「VLSIチップ周辺支援システム」を開発し、実用化しているので報告する。このシステムの特徴は、パッケージデータを統一管理していること、スタンダードセル、カスタムL S Iをはじめとする全A S I Cを対象にしていること等である。

本稿では、システムの全体構成とその主要ツールであるチップ周辺レイアウトについて述べる。

2. システムの構成

システムの構成を図1に示す。

このシステム構成要素は、パッケージデータベースを核にボンディング基準、チップ周辺レイアウト、ボンディング基準チェッカ、製造ドキュメント出力である。

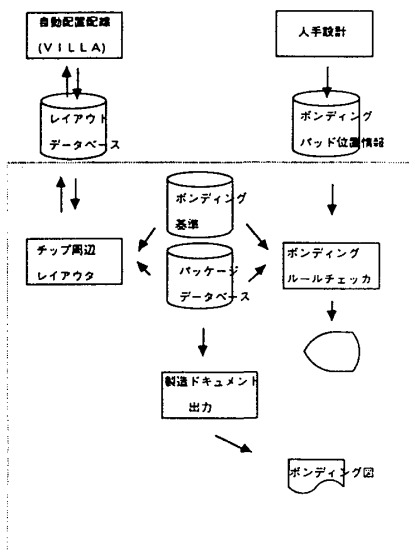


図1 システム構成図

① パッケージデータベース

このデータベースの特徴は、スタンダードセルL S IやカスタムL S Iをはじめとする全てのA S I C用のパッケージを統一的に管理していることである。このためパッケージ管理作業が簡素化される。また、アプリケーションツールの開発工数も削減される。

② チップ周辺レイアウト

本ツールの目的は、スタンダードセルL S Iの設計期間を短縮することである。

このツールの入力は、ボンディング基準とパッケージデータ及び自動配置配線(VILLA^[1])後のレイアウトデータである。ボンディング基準の影響を受けるチップ周辺部のレイアウトを自動で設計することにより、全ての基準を満足したL S Iを短時間で開発できる。

③ ボンディング基準チェッカ

スタンダードセルL S Iは納期優先であるのに対し、カスタムL S I設計では、チップ面積縮小が最優先のため、設計自由度を活かした人手設計に頼る場合が多い。チップ周辺部のレイアウト設計も同様である。そこで、人手設計の場合にはボンディング基準をチェックする検証ツールを開発した。

このツールの入力、チップレイアウトデータより取り出したボンディングパッドの位置情報、ボンディング基準、パッケージデータの3つである。基準違反に対してはどのパッドであるか、どの程度の違反であるか等をグラフィック表示可能である。

④ 製造ドキュメント出力

L S Iをパッケージングするために必要なドキュメントーボンディング図ーを出力する。このツールは、全てのA S I Cの製造ドキュメント出力のために使える。

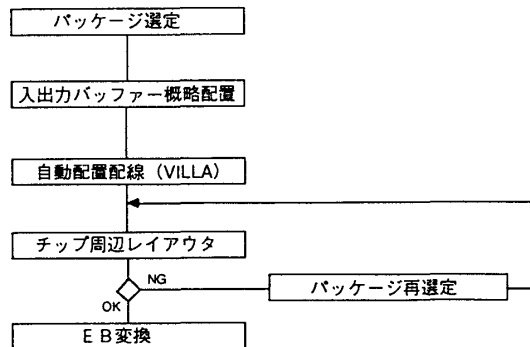


図2 レイアウト設計フロー

A Design Support System for VLSI Chip Peripheral Layout
 Kazuaki Gotoh*, Takashi Koresawa*, Mitsuru Nadaoka**
 *Oki Micro Design Miyazaki Co., Ltd. **Oki Electric Industry Co., Ltd.

3. チップ周辺レイアウト

本章では、このシステムの主要ツールであるチップ周辺レイアウトについて述べる。まずこのツールを用いたスタンダードセルLSI設計フローを示しレイアウトモデルと機能について述べる。

3.1 レイアウト設計フロー

図2に、スタンダードセルLSIのレイアウト設計フローを示す。

はじめに、LSIのチップサイズの見積りを行い適合するパッケージを選ぶ。

つぎに、入出力バッファの概略位置を決める。その方法は、接続するボンディングパッドの配置などをチップ周辺レイアウトで行うときチップサイズが最小になるように決める。

3番目に、VILLAで自動配置配線を行い、同時に、入出力バッファの詳細位置も決める。

最後に、ボンディング基準も満足するように周辺部のレイアウト設計を行う。もし、はじめに見積ったサイズより実際にレイアウトしたチップサイズが大きくなり、パッケージに適合しなくなったらパッケージを再選定して周辺部レイアウトを行う。

EB変換まで人手設計なしに行える。

3.2 レイアウトモデル

図3にチップ周辺部のレイアウトモデルを示す。この図は、LSIチップ全体のうちコーナー部を示している。

チップ周辺レイアウトの対象要素は、ボンディングパッド、周辺配線、コーナーセルである。ボンディングパッドと入出力バッファを別々の要素として扱った理由は、自動配置配線の対象を入出力バッファの内側に限定することで、自動配置配線のレイアウト問題を簡単にし、ボンディング基準を考慮すべき領域を入出力バッファより外側のみとするためである。コーナーセルには、製品名、合わせマーク等が挿入されている。また図2には、ボンディング基準の例も示してある。実際には、10種以上の互いに相関関係にある項目より構成されている。

3.3 機能

本ツールの機能は、自動配置配線後に、プロセス基準、ボンディング基準を満足し、チップサイズが最小になるように、完全自動で以下の作業を行うことである。

- ① ボンディングパッドの配置
- ② ボンディングパッドと入出力バッファ間の周辺配線
- ③ コーナーセルの配置

4. 実行例

図4にチップ周辺レイアウトを用いて設計したスタンダードセルLSIのボンディング図を示す。ダイスボンディングしているのは、120ピンパッケージであるが、そのうち7ピンは使用していない。チップサイズは人手設計と同等であり、レイアウト設計期間は約2割短縮された。

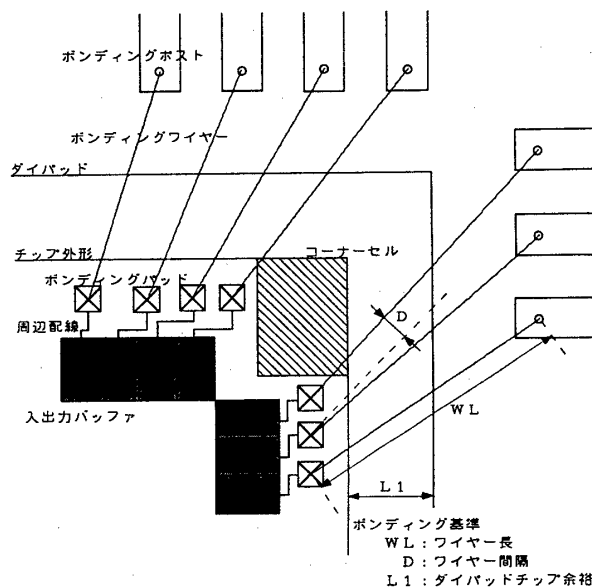


図3 レイアウトモデル

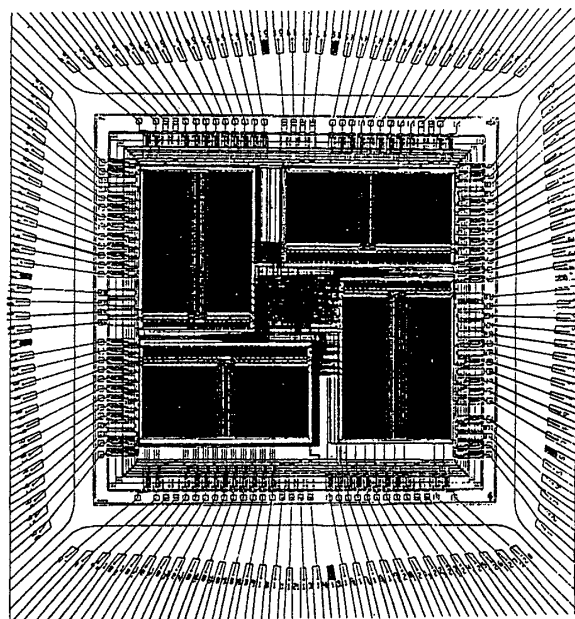


図4 ボンディング図

5. まとめ

「VLSIチップ周辺設計支援システム」の開発により、アセンブリ工程を考慮したASICのレイアウト設計を統一にサポートすることができた。

現在、全てのスタンダードセルLSIと一部のカスタムLSIに適用され、TAT短縮に効果をあげている。

参考文献

- [1] 荘司, 他: "VLSIレイアウトシステム(VILLA)の構成" 情報処理学会第29回全国大会論文集 pp1671-1672, 1984